

静止形電力用3通倍装置

— 自然転流型のゲート制御回路について —

東 克彦*・高橋 賢一郎*

Static Power Frequency Tripler

— on the gate control circuits of the naturally commutated tripler —

by

Katuhiko HIGASHI and Ken-ichiro TAKAHASHI

(Department of Electrical Engineering)

The new firing scheme for an analog trigger circuit of a naturally commutated tripler is described. This static power frequency changer is used to produce triple frequency 1-phase output from a 60Hz 3-phase supply.

Compared with what it was, the working transformer is smaller roughly 1/10 times than transformers using a conventional tripler. By using this trigger circuit, the tripler is operated stably in a wide range of R or L loads.

Consequently, it doesn't need the current limiting reactors and has a quickly response for a load variation. The power efficiency is high but the input power factor is inherently low as a lagging current operation. The low power factor will be generally corrected to close to unity by using capacitors or a pair combination of leading current type triplers.

1 まえがき

近年、省資源、無公害などの点より燃焼加熱よりも誘導加熱が目目され、その1例としての180 Hz低周波誘導炉は非鉄金属、鋳鉄などの加熱、溶解に大容量のみならず中小容量のものまで多く用いられている。これらの各種誘導加熱装置は工場作業現場の片隅に設置される必要性から、小形軽量であることが主条件として要求される。

誘導炉は加熱溶解、焼入れ、電気炉のアーク安定化などに直接式と間接式周波数変換回路が用いられている。直接式には磁気式3通倍器が古くから用いられ、数十MW級の大容量のものも作られている。(1)~(3) この装置は頑丈で保守管理を余り必要としない長所をもち、効率は75~95%、総合力率も無効電力調整をし

て1に近いものもあるが、本質的に低総合力率で比較的大形容積である欠点をもっている。またサイリスタ式3通倍器もほぼ同じ特性をもち、可飽和リアクトルをサイリスタに置換した部分は非常に小形化できるが、入力側の Δ -Y変圧器を含めると、その容積は大幅には小形化されない。(4)~(6)

本稿は3相電源周波数を直接単相3通倍する単一小形変圧器による静止形電力用周波数変換装置について述べたもので、その動作原理、寸法容積軽減、新しいゲート制御回路による動作安定化方式にふれ、実験結果、問題点について解明したものである。

図1に示す3通倍主回路は変圧器の1次側3巻線に各々逆並列接続サイリスタ或はトライアックなどの交流スイッチを介在させて Δ 結線し、2次巻線より通倍

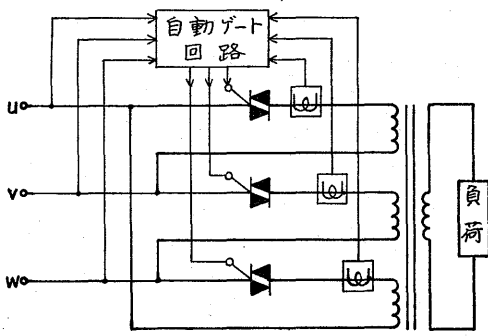


Fig. 1 Basic circuit of tripler

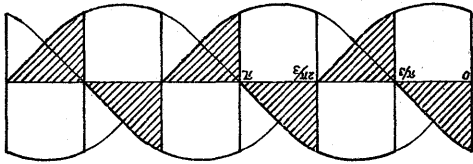


Fig. 2 Output waveforms of naturally and forced commutated tripler

周波数電力を直接取り出すものである。3相1次電圧の各半波の終り60°区間の電圧波形片を切り取った後に1次3巻線の単相変圧器で合成するため、磁束変化は $\frac{1}{4}$ ですみ従来型に比べ重量比で $\frac{1}{12} \sim \frac{1}{6}$ 、床面積比で $\frac{1}{6} \sim \frac{1}{3}$ と変圧器を小形軽量化できる。この直接式3通倍回路には図2のように自然転流型と強制転流型の2型式が考えられるが、ここではまず自然転流型の場合について実験を行った。

本稿の3通倍主回路の注意すべき点は負荷変動、電源電圧変動、負荷の種類の変化により「転流重なり」期間を生じることである。この期間中は線電流に大きな突入電流を生じ、それを抑制するため従来型では限流リアクトルを線路に挿入し、またコンデンサと組合わせて高調波電流の発生を吸収している。しかし、ここでは限流リアクトルを用いるよりも先に点弧位相角をずらして自動的に転流重なりを無くす方式を採用し、高調波吸収、力率改善を考慮することにした。限流リアクトル削除は出力インピーダンス小となり、出力電圧、電圧変動率および負荷電流応答の速応性が向上するなど3f電源としての利点が多い。⁷⁾ この転流重なりを無くすゲート制御回路は現在のIC技術を用いれば容易に可能である。

この新しい3通倍装置は小形変圧器、限流リアクトル削除の点より小形軽量化、床面積縮小また効率、電圧変動率、速応性も良く、回路構成も単純であるなど種々の利点をもっている。

2 主回路変圧器の概略重量比

主回路の周波数通倍の動作原理、誘導性負荷における点弧角の限界条件および通倍出力電圧波形の高調波成分については先の論文⁸⁾で述べているので省く。

ここでは主回路通倍用変圧器の実効出力電圧と磁心の体積を材質と電氣的仕様から概算する。

実験ではカットコアを用いたが、その透磁率を μ 平均磁路長を l 、実効断面積を S 、巻線数を N としたときの自己インダクタンス L は $L = \mu SN^2 / l [H]$ となる。磁心の磁束密度変化分を ΔB とすれば $\Delta B = \int v dt / SN$ となり磁心体積は $M = lS = \mu (SN)^2 / L = \mu (\int v dt)^2 / L \Delta B^2$ で大略計算できる。

いま本実験の自然転流型と従来の磁気飽和型3f通倍器の磁心体積と出力実効電圧(抵抗負荷時)を比較すれば以下ようになる。

(1) 自然転流型の磁心体積 M_n と出力実効電圧 E_n

この場合磁束密度変化分 ΔB_n は最も大きい抵抗負荷時について計算すればよく、図2の斜線部分に相当する。

$$\Delta B_n = E_m \int_{2\pi/3}^{\pi} \sin \theta d\theta / \omega NS_n = E_m / 2\omega NS_n$$

$$NS_n \text{ を消去して } M_n = l_n S_n = \mu E_m^2 / 4\omega^2 L_n \Delta B_n^2$$

$$E_n = E_m \left(\int_{2\pi/3}^{\pi} \sin^2 \theta d\theta / \pi \right)^{1/2}$$

$$= E_m \{ 3(\pi/3 - \sqrt{3}/4) \}^{1/2} = 0.542 E_m$$

(2) 磁気飽和型の磁心体積 M_s と出力実効電圧 E_s

同じく図2より磁心は $\theta = 2\pi/3$ 以後を飽和させるから $\Delta B_s = E_m \int_0^{2\pi/3} \sin \theta d\theta / \omega L S_s = 3E_m / 2\omega NS_s$

$$M_s = l_s S_s = 9\mu E_m^2 / 4\omega^2 L_s \Delta B_s^2$$

磁気飽和後 $2\pi/3 \sim \pi$ 期間が出力電圧となるので(a)と同じく $E_s = 0.542 E_m$

同じ出力実効電圧を与える各型の磁心体積を比較すれば $M_n : M_s = \mu E_m^2 / 4\omega^2 L_n \Delta B_n^2 : 9\mu E_m^2 / 4\omega^2 L_s \Delta B_s^2 = 1 : 9$

(但し ΔB , μ , L は各々等しいと仮定)

単相トランス3台の磁束変化 $\frac{1}{4}$ とみて単純計算で $\frac{1}{12}$ 、更に3相トランスと比べても約 $\frac{1}{6}$ の小形トランスでよいので、上記の値はその中間値になっている。このように $\frac{1}{6}$ と小形軽量化で、据付床面積も約 $\frac{1}{4}$ と狭く3f電源としての操作は手軽になる利点をもつ。

3 ゲート制御回路の動作原理と設計

自然転流型ゆえに強制消弧回路は不要で点弧位相のみを制御すればよい。先述のように負荷の大小や種類また電圧源変動によって無制御時に、合成出力電流波形の正負各半波の転流時に重なり期間を生じる場合がある。この期間中、変圧器1次側2巻線には逆向き電流が同時に流れて変圧器作用を失い、入力2端子は短絡に近い状態になる。この転流重なり時には、3通倍

回路や多相整流回路などでは限流リアクトルや相間リアクトルを用いて過大突入電流を抑制している。

本研究では前述の3φ電源としての利点から限流リアクトルを用いず、自動的に点弧位相を制御して転流重なりを無くす方式をとり、このゲート制御回路の設計目標を以下のように考えて作成した。

- (1) 純誘導負荷に対してもスイッチ投入直後から重なりをほとんど生ずることなく動作すること。
- (2) 導通角が60°になってからは、その臨界状態を定常的に維持できること。
- (3) 重なり逆である隙間 (gap) に対しても早く応答し、導通角を早く60°に近づけること。
- (4) 重なり幅、隙間幅に比例して点弧角を移相できること。

これらを実現するための全ブロック線図を図3に示す。電流検出部は変流器を用い、その電流波形を比較器に入れ、電流時間幅と同じ幅の矩形波を作る。その

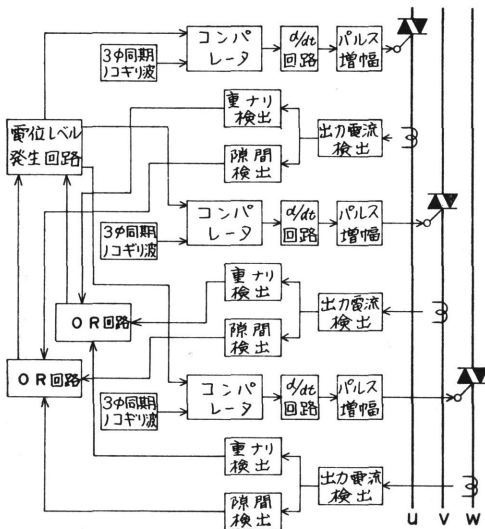


Fig. 3 Block diagram of gate control circuit

際、時間幅を正確に等しくするために波形補正回路を設ける必要がある。また重なり幅の逆現象である「隙間」(gap)を検出し、その信号を使ってコンデンサ電位レベルを降下させ、隙間を減少させる速度を早める。重なり信号或は隙間信号は3相分をOR回路で各々1つにまとめ、その重なり幅或は隙間幅に比例して1つの電位レベルを昇降させるため、当然に定電流充放電を行う。電位レベルの変化に線形比例して点弧角が移相するよう、比較器の⊖入力端子に各相夫々の直線性のよい鋸歯波を入力する。なお重なりも隙間もない臨界定常状態では、コンデンサの電位レベルは変化しないようレベル保持回路も設けた。以上がゲート回路の主な点で、次節に各部の動作原理と設計を示す。

3・1 改良型電流時間幅検出回路

電流検出法としては変流器、ホットクーパー、ダイオードなどがあるが、主回路に与える影響をなるべく小さく、損失を低くまた正確な電流時間幅を得るために変流器 (CT) を用いる。主回路相電流と類似の電流波形を歪なく検出しようと試みたが自作のCTを密結合にすることが困難で電流波形に歪を生じた。この検出電流波形と実際の主回路相電流とを図4に示す。図の歪はかなり誇張してあり、実際に生じた歪は図5の

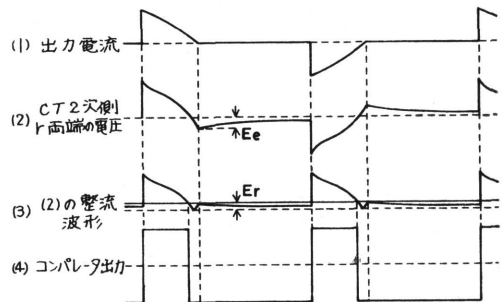


Fig. 4 Waveforms of current detector

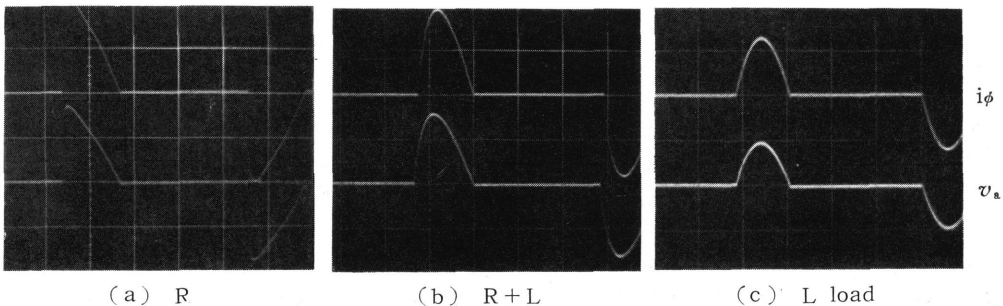


Fig. 5 Oscilloscope of Fig 4 waveforms

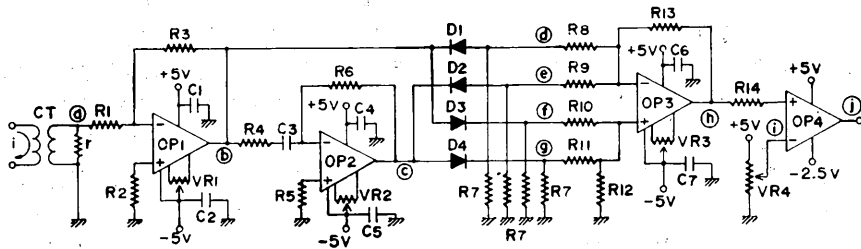
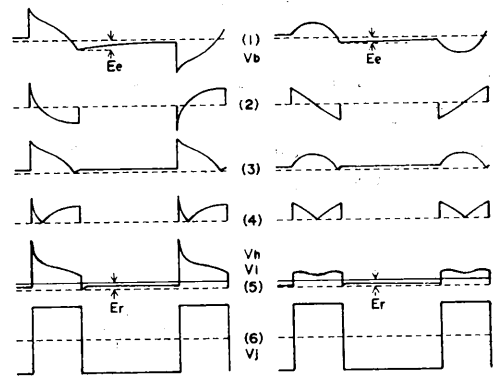


Fig. 6 Improved circuit of current detector, differentiator and adder

ようにごく小さい。この波形を増幅し全波整流した波形とある小さな電位レベル E_r とを op. amp による比較器に入れ電流時間幅と同じ幅の矩形波を得ようとする。この時 $E_r > E_c$ でなければならない。当然実際の電流時間幅よりも幅の狭い矩形波しか作れない。このような半波不連続な電流波形の時間幅を正確に求めることは本質的に不可能である。このままでは極く小さな重なり幅は検出できなくなり危険であるので、この補正回路として op. amp による微分加減算回路を利用した改良型電流幅検出回路を構成し、実際と同じか或は僅か広い幅の矩形波を作る方法をとった。図6にこの回路の1相分を示す。まずCTは1次40ターン、2次400ターン、巻数比1:10で、1次巻線は主回路の各相に接続し2次側には $r = 0.5\Omega$ の抵抗が並列接続され、その1次換算値は 0.005Ω となり電流時間幅検出回路が主回路に及ぼす影響はほぼ無視できる。主回路に I (A) の電流が流れているとき r の両端には $V_a = rI/n$ (v)。たとえば $I = 1$ (A) で $V_a = 0.05$ (v) と小さく、オペアンプ op_1 で増幅する。 op_1 の増幅度 $A_{v1} = -R_3/R_1 = -100k/5k = -20$ (倍) となる。 VR_1 は入力電圧が小さいのでオフセットの影響を除くための調整用可変抵抗であり、 C_1, C_2 は電源ラインを通じての帰還発振を防ぐための雑音吸収用コンデンサである。

直接比較器に入れたのでは実際よりも狭い時間幅の矩形波しか取り出せないので、CT 2次側の電流波形を微分して全波整流した波形と、電流波形をそのまま全波整流した波形とを重ね合わせたものを比較器に入れることで時間幅を正確に取り出すことができる。図7の(1)はCT 2次側の電流波形で、これを微分して(2)の波形を得る。(1)、(2)の波形を整流したものが各々(3)、(4)である。(3)と(4)を合成して(5)の波形が得られる。これを比較器の⊕入力端子に、またある小さな電位レベルを⊖入力端子に入れると(6)のような殆んど電流幅に等しい矩形波を得ることができる。このとき比較する電位レベル E_r は主回路の最大最小出力電流範囲にも正常に動作するよう調整を必要とする。 op_2 は



(a) R load (b) L load

Fig. 7 Waveforms of differentiator and adder

オペアンプ微分増幅器で VR_2 はオフセット調整用、 C_4, C_5 は発振防止用である。 op_3 はオペアンプによる加減算回路である。 op_1 と op_2 の出力波形の正値は op_3 の⊕入力端子に、負値は⊖入力端子に入れたことで図7(a)、(b)のようなR、L負荷の場合の補正波形を得ることができる。 R_7 は D_{1-4} が正常動作するためのダミー抵抗である。 op_4 は比較器で、 VR_4 は⊖入力端子に入る電位レベル $v_i (=E_r)$ を決定する。ただし次段が TTLIC なのでレベル一致のため +5V、-2.5V 電源を用い、 R_{14} は電流制限用抵抗である。

これ以後 v_{\circ} は添字 (例えば v_{a}) の瞬時電圧を表わす。各種負荷に対する $v_a, v_b, v_c, v_d, v_e, v_f, v_g, v_h, v_i$ および v_j の実際の波形写真を図8に示す。

3・2 電流重なり幅および隙間幅検出回路

uv 相と vw 相の電流重なり幅および隙間幅検出回路の1相分を図9に示す。

前段 op_4 の出力 v_j を直接 TTL 論理 IC に入れる。重なり検出は uv 相と vw 相の電流時間幅の矩形波を直接 AND 回路に入れることで重なり幅が検出される。これを図10(a)に示す。重なりでなく逆に隙間が生

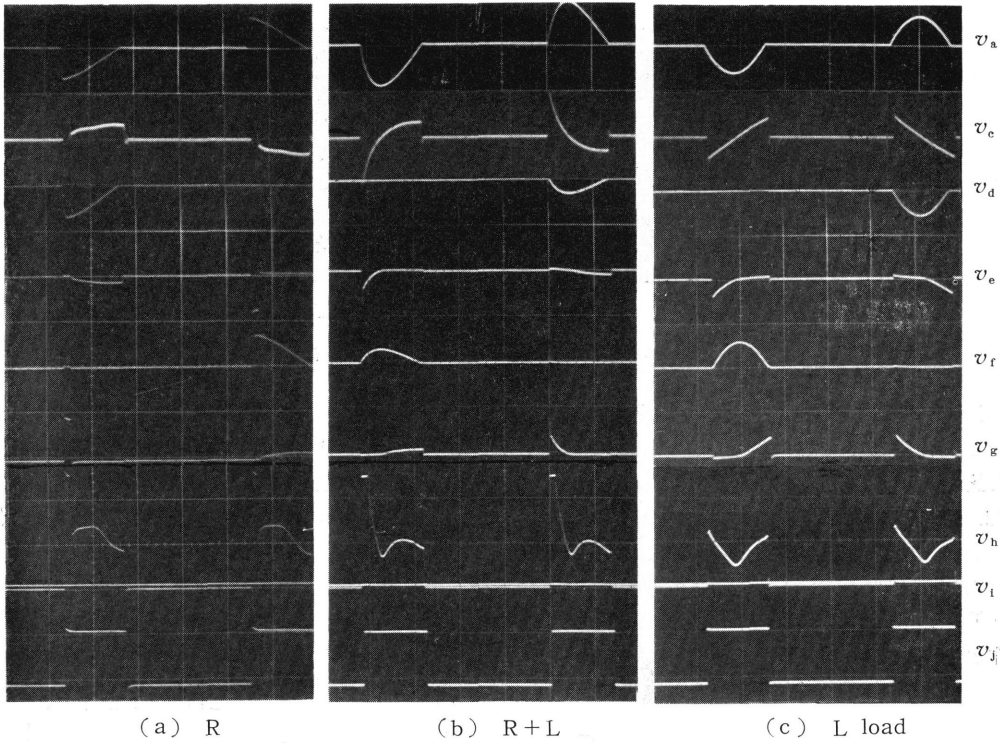


Fig. 8 Oscillograph of fig 7 waveforms

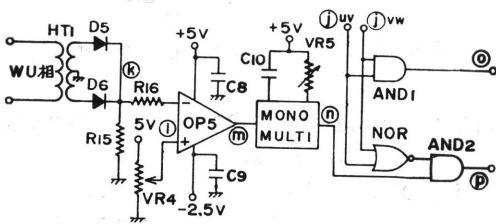


Fig. 9 Overlap and gap detector

じた場合の隙間幅検出の原理を同図b)に示す. この図の(3)は uv 相と vw 相の電流時間幅の矩形波を NOR 回路に入れたときの出力パルスである. これは必要とする隙間以外の信号 (影線部分) も含んでいるので (4) のような選択信号との AND をとることで, 必要な隙間幅信号だけを取り出す. (4) の選択信号を作る方法を図10.c)に示す. この図で, 降圧された線間電圧の全波整流した v_k を op_5 の三入力端子に, VR_5 により作った電位レベル v_l を \oplus 入力端子に加え (c) 図に示す矩形波 v_m を得る. この矩形波の立ち下りで単安定マルチを動作させ, そのパルス幅は $T_s = 0.7CR$ で決まり, $T_s \doteq 1.4\text{ms}$ (30° 区間) を得るために $C_{10} = 0.22 F \doteq C$, $VR_6 = 9k\Omega \doteq R$ とした. 試験のため故意に重なり, 隙間を作ったときの波形写真を図11に示

す. ただし回路が正常に動作中は, 重なりも隙間もほとんど生じない.

3・3 鋸歯波回路

図12は FET 1 定電流源を用いた直線性のよい鋸歯波回路で, C_{13} の端子電圧は定電流 I_d では $v = I_d t / C$ となり, 時間比例の電圧波形となる. 半周期 $t = (1/60)$

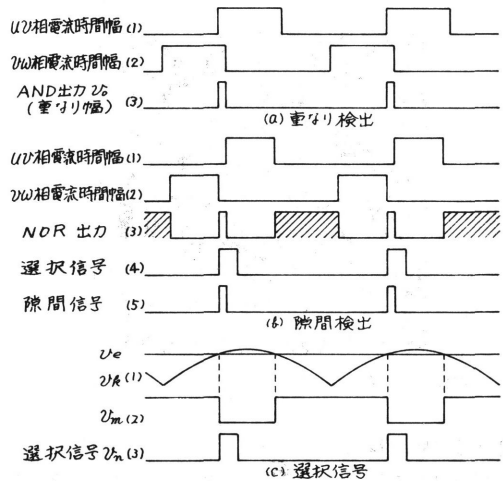


Fig. 10 Overlap, gap and selected signal

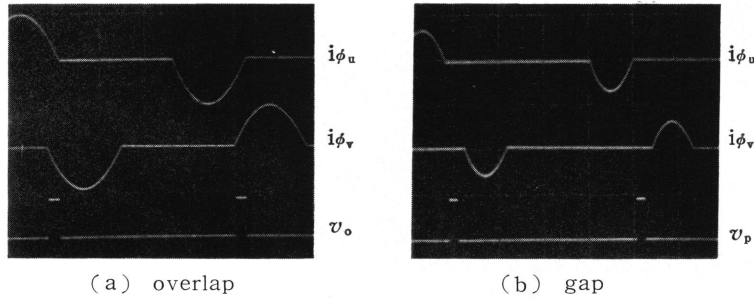


Fig. 11 Oscillograph of overlap and gap signal

・ $(\pi/2\pi) = 8.3\text{ms}$ において $v = 12(\text{V})$ 程度にするため $I_d = 1\text{mA}$, $C = 0.68\mu\text{F}$ とする.

また比較器 op_6 の \ominus 入力端子に HT_1 , D_7 , D_8 , R_{17} によって得る全波整流波形 v_q を, \oplus 入力端子に VR_6 で得る小さな電位レベル v_r を加える. op_6 の出力は非常に幅の狭い矩形波のリセット信号となり, これを Tr_1 のベースに入れて C_{13} を瞬時に放電させる. 図13にその実際の波形写真を示す.

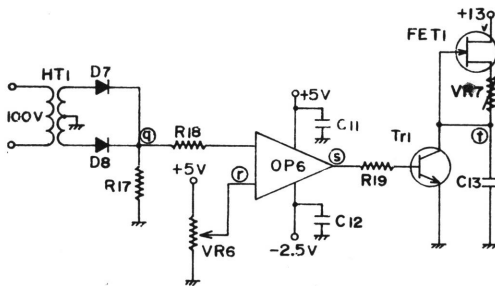


Fig. 12 Sawtooth generator

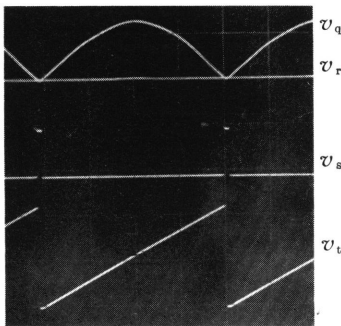


Fig. 13 Sawtooth wave oscillograph

3・4 電位レベル発生回路

図14は点弧位相角を決める電位レベル発生回路である. 3相分の重なり幅信号或は隙間信号を OR 回路で

各々集積してコンデンサに加えれば, 昇降する1つの電位レベルが生じる. これを各相夫々の鋸歯波と比較して各相のトリガパルスの点弧位相角を決定する. この方法では鋸歯波の傾きさえ同じにすれば3相の点弧

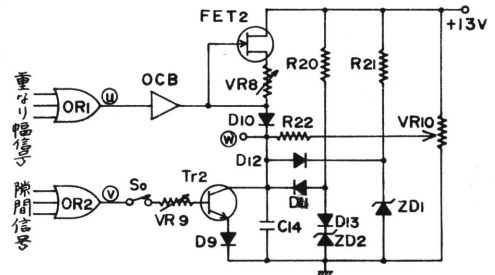


Fig. 14 Potential level generator

位相角は夫々平衡のとれた状態になる. FET_2 は前節と同じく定電流源である.

3相分の重なり信号は OR_1 で集積され TTL オープンコレクタのバッファゲート OCB に加えられる. OCB は Tr_1 の2段スイッチで, 重なり信号時にはその出力は *off* 状態になり, このとき FET_2 のドレイン電流 I_D は D_{10} を通して C_{14} を充電し w 点の電位 v_w を $v = I_D t_0 / C_{14}$ だけ直線的に上昇させる. ここで t_0 は重なり信号の時間幅ゆえ, 重なり幅に比例して C_{14} の電位レベル v_w は上昇し, それに比例して点弧位相角は遅れ, 電流重なりはなくなる. このときの上昇直線の傾きにより, 電流重なりに対するゲート回路の過渡応答速度が決まる. また電流重なりがない時にはバッファゲート OCB が *on* 状態になっているので FET_2 のドレイン電流は OCB のコレクタを通過してアースへ流れるので電位 v_w は変化しない. D_{10} は C_{14} から OCB への逆流阻止用である.

重なりが無く逆に隙間信号がある場合は Tr_2 が *on* して v_w を $v = I_c t_g / C_{14}$ だけ直線的に降下させる. ここで I_c は放電定電流, t_g は隙間信号の時間幅であ

る。つまり隙間幅に比例して v_w が降下し、それにつれて点弧位相角は進み、隙間は無くなる。なお I_D は VR_9 の調整で決まり v_w を上昇させる傾きを各相の鋸歯波の傾きの $\frac{1}{2} \sim \frac{1}{4}$ に、また v_w の降下する傾きを $\frac{1}{4}$ 以下になるように VR_9 で調整する。

ZD_1, D_{12}, R_{21} は v_w の上限レベルを決めるリミッタで、 v_w が ZD_1 のツェナ電圧と D_{12} の順方向電圧降下を加えた電圧以上になると放電して、それ以上には上昇しない。 R_{21} は ZD_1 にバイアス電流を流すための動作設定用抵抗である。

また $ZD_2, D_{11}, D_{13}, R_{20}$ は v_w の下限レベルを決めるリミッタで、 v_w は ZD_2 のツェナ電圧と D_{13} の順方向電圧降下の和から D_{11} の順方向電圧降下を差し引いた電圧 (D_{11} と D_{13} は同じ S_1 ダイオードなので結局 ZD_2 のツェナ電圧) より低くなることはない。 R_{20} も ZD_2 と D_{13} にバイアス電流を流すための抵抗である。

R_{22}, VR_{10} は誘導性負荷の場合、電源投入時に重なりを生じさせないためのプリセット回路である。そのためには主回路電源投入直前に点弧位相角が 150° 以上になるように、 C_{14} を充電しておけばよい。しかし漏れ電流によってすぐ電圧が降下してしまうので常に R_{22} を通して充電し、漏れ分を補充してやる。漏れ電流は非常に小さいので R_{22} は大きくでき、 R_{22} に流れる電流は FET 2 の I_D や T_{22} の I_C に比べて非常に小さいのでゲート回路全体の動作には影響を与えない。

なお3相電源投入直後、主回路に電流が増加し始めるまでの間、隙間検出回路は電流が極小の状態を隙間と検出して、 v_w を降下させプリセットを狂わしてしまう。そこで主回路電源投入時はスイッチ S_0 を開いておき、投入数 H_z 後 S_0 を閉じて隙間検出回路を働かせるようにして、ゲート回路の動作を完全にする方法をとる。以上の動作で電位レベル発生回路は v_w が約 $6 \sim 4$ (v) の電位レベルで重なり幅、隙間ともに無くなるように自動的に働くことになった。

3・5 比較微分回路およびパルス増幅回路

1例として uv 相の点弧位相角決定の仕方について考えてみる。図15の比較器 OP_7 の入力端子に wu 相からのリセットパルスで作った鋸歯波を、 \oplus 入力端子に v_w を入れる。ここで v_w のレベル限界は上限が鋸歯波の最高値の $\frac{1}{2}$ よりやや大きい所、下限が約 $\frac{1}{3}$ となるよう調整する。よって比較器の出力 v_x は図16のようになり、これを微分して作った負パルスのみをフォトカプラのダイオードに通す。これによる点弧パルス

は uv 相の正弦波の場合、 $120^\circ \sim 150^\circ + \delta$ の間を移相させる。フォトカプラで絶縁された点弧パルスは、そのままでは不足なのでパルス増幅器に加える。 R_{25}, D_{15} を通して T_{13} のコレクタ電流が分流しトリアックを on させる。パルス増幅部の電源は実験上電池を用いたので瞬間的パルスにも十分な電流を供給するために電解コンデンサ C_{17} を図の位置を入れ、 C_{16}, C_{18} は雑音吸収用コンデンサである。

以上をまとめたゲート制御回路の全回路図を図17に示す。

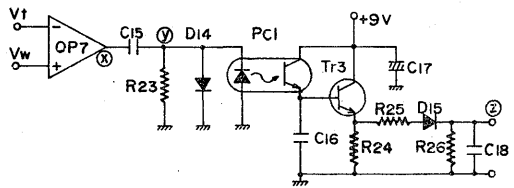


Fig. 15 Comparator and pulse amp

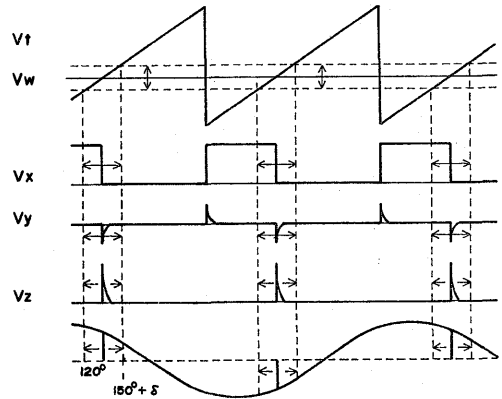


Fig. 16 Waveforms of comparator and pulse amp

4 実験結果

主回路とゲート制御回路の動作特性に分けて実験結果を検討す。

4・1 電力効率

図18は3f通倍装置の電力効率曲線であり、静止形であるため、かなり高い効率 (97.5% max) を示している。

(1) 変圧器の鉄損……使用した磁心は内鉄型カットコアで、2次巻線は 2.0 mm ϕ 銅線を2本並列使用200ターン、その外側に1次巻線は同じく 2.0 mm ϕ を

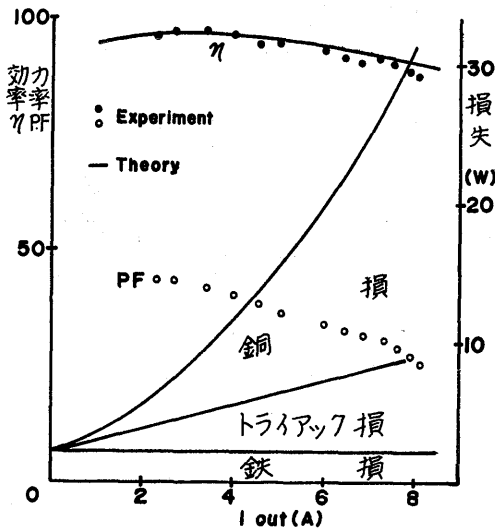


Fig. 18 Efficiency, power losses and input power factor

3本まとめて200ターン巻き夫々の相端子につなぐ。

一般に磁心の断面積 S (m^2) 端子電圧 E (v) 周波数 f (Hz) 巻数 N (巻) とすると $B = E/4.44NSf$ で磁束密度が表わされる。ここでは端子電圧 E は等面積正弦波電圧の実効値として近似計算している。そこで $E = 75$ (v) $f = 180$ (Hz) $S = 2.72 \times 10^{-3}$ (m^2) を代入すると $B = 0.173$ (wb/ m^2) となる。

標準的な磁心 1 kg 当り損失 w_r は $w_r = B^2 \{1.7 (f/100) + (f/100)^2\}$ であるから $B = 0.173$, $f = 180$ を代入して $w_r = 0.189$ (w/kg) 磁心の重量は $G_r = 12.4$ (kg) であり、鉄損 $W_r = G_r w_r = 2.34$ (w) となる。

(2) 変圧器の銅損……出力電流実効値を I とすると銅損 W_c は $W_c = I^2 R_0 + 3 \cdot (I/3)^2 R_1 = I^2 (R_0 + R_1/3)$ ここで出力巻線抵抗 $R_0 = 0.20$ (Ω) 入力巻線抵抗 $R_1 = 0.44$ (Ω) を代入して $W_c = 0.347 I^2$ (w) をうる。

(3) トライアックの損失……使用トライアック (AC10DGT) の実効オン電流に対する順方向電圧降下による電力損失を図19に示す。1/3における損失 (トライアック1個分) を3倍してトライアックの損失 W_T とする。

またトライアックのスイッチング損失はこの場合ターンオン損失のみであり、ターンオン過渡時の電圧電流を夫々 v_T , i_T とすると $w_T = v_T \cdot i_T$ だけの損失を生じる。180 Hz の半サイクル (2.77ms) に対し1回ターンオン損失が生じ、 w_T は瞬時値で比べると W_T

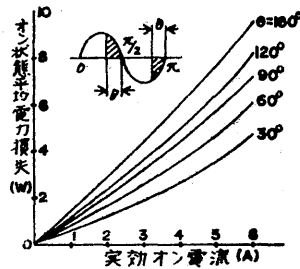


Fig. 19 Triac element loss (AC10DGT)

に対してはるかに大きい、立上り時間は数 μsec であるので無視できる程小さいと考える。

以上が主回路の全損失であり、これより全損失と効率の理論値を計算すると図18ようになる。実測値は負荷電流が大きい部分で理論値よりもいくぶん低い。この原因の大部分はやはりスイッチング損失の存在で、それに歪波形電流による銅損の幾分の増加と見られる。

4・2 総合力率

入力電圧は正弦波であるから総合力率は

$$PF = \frac{\sqrt{2} E/T \int_0^T i_p \sin \omega t dt}{E (1/T \int_0^T i_p^2 dt)^{1/2}} = \frac{E I_1 \cos \varphi_1}{E (I_1^2 + I_3^2 + \dots)^{1/2}}$$

$$= I_1 \cos \varphi_1 / I = \cos \varphi_1 / (1 + k^2)^{1/2}$$

$$= \{(\pi - \alpha) + \sin \alpha \cos \alpha\} / \pi^{1/2}$$

但し $k = (I_3^2 + I_5^2 + \dots)^{1/2} / I_1$: ひずみ率
 α : 点弧位相角

基本波力率と電流の基本波含有率との積で示され、負荷が誘導性では当然力率は低下する。

抵抗負荷時の本装置の総合力率の実測を図18に示す。変圧器1次1相分の電流波形は対称波ゆえに奇数次のみ存在し、次式で表わされる。

$$i_p = \sqrt{2} I_1 \sin(\omega t - \varphi_1) + \sqrt{2} I_3 \sin(3\omega t - \varphi_3) + \dots$$

$$= E/R \{0.436 \sin(\omega t - 50.7^\circ) + 0.338 \sin(3\omega t + 30^\circ) + 0.195 \sin(5\omega t + 120^\circ) + 0.097 \sin(7\omega t + 240^\circ) + \dots\}$$

$$\text{電流実効値 } I = (I_1^2 + I_3^2 + \dots)^{1/2} = 0.441 E/R$$

$$\text{基本波成分 } I_1 = 0.436 E / \sqrt{2} R = 0.308 E/R$$

よって総合力率 PF は計算では

$$PF = 0.308 \cos 50.7^\circ / 0.441 = 0.442$$

となる。 ($\alpha = 2\pi/3$ の計算値に相当)

4・3 過渡応答特性

主回路とゲート制御回路とを共に含んだ本装置の応答特性において、負荷電流をステップ状に2倍または

$\frac{1}{2}$ にした場合また R から L 負荷にした場合でも殆んど $3f$ の 1 Hz 以内で追従している．また電源側にインダクタンスが含まれているときには図20のように電流応答するはずであるが，ホトグラフではそのような変化は認められなかった．自動的なゲート回路を作動させることにより限流リアクトルを削除した結果と考えられる．

4・4 ゲート制御回路の動作特性

前述のようにスイッチ投入直後，主回路に極く小さな電流しか流れていない過渡状態では隙間検出回路が先に働き，プリセットを狂わしてしまうので，起動時には隙間検出回路は電位レベルとの間をスイッチ S_0 によって分離しておく．したがって起動後しばらくすれば図21のように隙間がかなり広いままで一時安定している．この状態の後スイッチ S_0 を入れれば隙間検出回路は正常に動作し，次第に隙間が減少して殆んど隙間がなくなる臨界状態になり，そこで安定する．スイッチ S_0 を入れ隙間も重なりもない臨界状態にはいる時間は約 30ms であった．

電位レベル発生回路の充放電の昇降速度と鋸歯波の

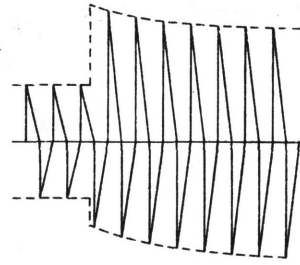


Fig. 20 Step response of output current for limiting reactor

傾きは可変であり，設定はかなり自由で，より早い動作も可能である．しかし隙間に対して応答を早くすることは，重なりに対しての応答ほど重要でなく，安定性の点より多少遅めに設定してある．

最後に，各種負荷に対する出力電圧，出力電力，相電流および線電流の波形写真を図22に示す．極く小さい隙間は存在するが，ゲート制御回路の自動的な動作はほぼ期待通りであることが分る．

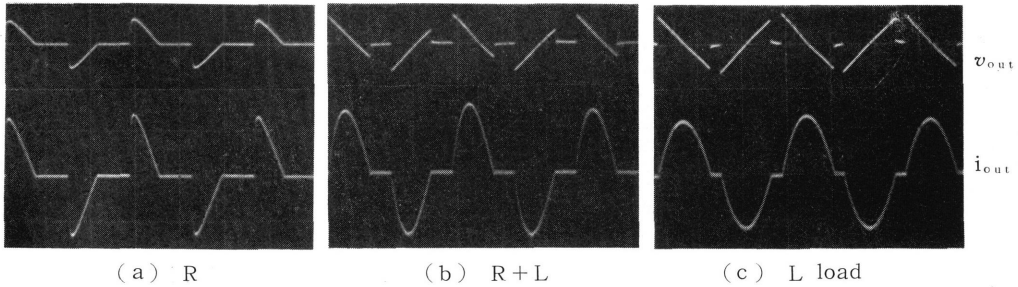


Fig. 21 Output voltage and output current before pre-set (S_0 open)

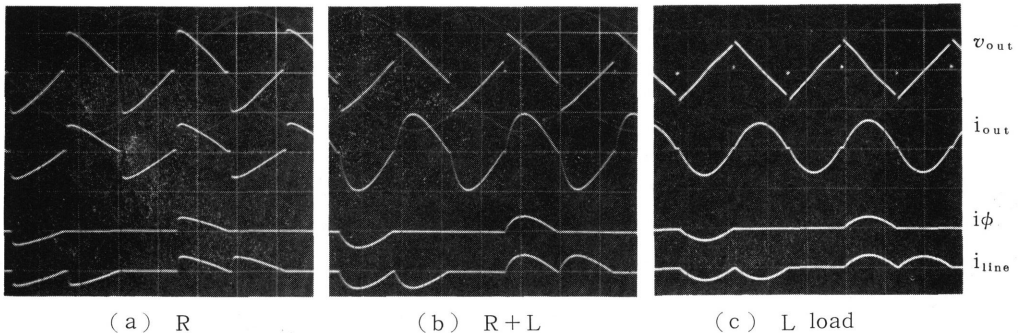


Fig. 22 Desired waveforms of output voltage, output current, phase current and line current

5 あとがき

本実験の電源としての重要な特性、すなわち重量当り出力、出力インピーダンス、電力効率、総合効率および速応性について、どのような特性をもっているのか、考察を行う。

(1) 主回路について……今回はトライアックによる自然転流型だが以前の強制転流型の場合¹⁰⁾と原理的には全く同様に、位相制御された電圧片を電源変圧器で合成することで小型化が達成され、重量当り出力は増加している。ただし自然転流型なので電源利用率は3相100V入力に対し単相78V実効出力と低くなる。また出力インピーダンスは主回路にはトライアックのみで電流検出はCTを用い限流リアクトルも除き、当然低くなっている。総合効率は44%前後と余り良くなく、コンデンサによる補償または進み電流をとる3f通倍器との対結合による効率改善の問題点を残している。強制転流型の場合、主回路のサイリスタ、ダイオードの数が1相当り5個だったのが今回トライアック1個ですむため、これら素子のon状態損失も少なくなり、また強制転流時の消弧損失も無いため電力効率はかなり高くなる。

(2) ゲート制御回路について……本装置が誘導加熱の電源としても考えられている以上、必ず達成しなければならない純誘導性負荷に対する安定な動作についてはゲート制御回路の完成によってほぼ完全となった。すなわち本装置はR、R+L、L負荷に対して全て自動的に最適な点弧位相角で動作でき、限流リアクトルを用いずに、負荷変動また負荷の種類の変化に対し過渡応答は殆んど瞬間的に数Hz以内となっている。なおR+C、C負荷の進み負荷電流に対しても、このゲート回路の少しの改良で対応できると考えられる。

正確な電流時間幅を検出する微分加減算回路と隙間幅検出回路および臨界位相で安定に静止させる回路が今回新しく付加した所である。

以下本ゲート回路のさらに改良すべき点を上げる。

① 出力電流範囲が限定される原因は電流幅検出回路にあり、最大最小値に対して回路が動作しうる範囲内でなければならない。図7の基準直流レベル v_i は一定で、それと比較される信号 v_h の大きさはある範囲に限定される。よって出力電流の大きさが変わっても v_h がほぼ一定となるようにすればよい。 v_h の波高値を検出し、ある限界値以内に入るように前段の増幅部の利得を段階的に自動調整する回路を設けることで対応できる。ただし無負荷もしくは極く小さな負荷電流に対しては、また検出困難であるから、その時はプリセット状態に退避させるようにする必要がある。

② スイッチ S_0 の代わりに、この操作をTTLロジックに行わせることで始動を簡便かつ安全にする。

③ 基準直流レベル v_i 、 v_o 、 v_r などは定電圧源を用いるより、安定なツェナ電圧を直接抵抗分割して用いるほうがよい。

④ 電流幅検出回路中でオペアンプ1個で微分増幅を同時に行っているが、多少不安定で発振をおこしやすいのでRC微分の後オペアンプで増幅した方がよいと思われる。

最後に本研究で得られた主な結論は次の通りである。

(1) 電源変圧器に加わる電圧は単相180Hzとなり、磁心の利用率は良く、小型の磁心で良い。

(2) R負荷、R+L負荷、L負荷全てに対して安全に動作できる。

(3) 限流リアクトルを用いていないため過渡応答特性が良い。

(4) 電力効率は高いが、総合効率の改善を必要とする。

なお信頼性、作製、調整容易の点よりゲート回路はデジタル化することや効率改善、また限流リアクトルを用いた従来型との性能数値比較など、さらに検討する問題が残っている。

なお、多大の努力をされた本学卒論生三浦大介君、および常に御指導を頂いている九州大学工学部原田耕介教授に感謝の意を表する。

参考文献

- 1) L. J. Johnson, S. E. Rauch: AIEE Trans. C&E Vol 73 pp. 448 (1954)
- 2) W. McMurray: AIEE Trans. C&E Vol 75 pp. 384 (1956)
- 3) P. P. Biringer: IEEE Trans. VolMAG -5, No.3 pp. 330 (1969)
- 4) P. P. Biringer, J. D. Lavers: IEEE Trans. VolMAG-12, No. 6 pp. 823 (1976)
- 5) P. P. Biringer: IEEE Trans. VolMAG-3, No. 1 pp. 29 (1967)
- 6) 上妻外: 明電時報 No. 122 (75 No. 3) pp. 44 (1975)
- 7) たとえば L. J. Lawson: IEEE Trans. Vol IGA-4, No. 2 pp. 141 (1968)
- 8) 東: 長崎大学工学部研究報告第6号 pp. 35 (昭50)
- 9) たとえば NEC編: サイリスタ整流器ハンドブック pp. 347 (昭53)
- 10) 東, 高橋: 九州支部連大 No. 320 (昭52)