

スイッチング方式電力変換回路の
デジタル制御に基づく故障予測に関する研究

2018年 7月

長崎大学大学院工学研究科

中尾 宏

目次

目次	1
数式記号・略称	3
まえがき	6
第1章 緒論	9
1.1 研究の社会的背景	9
1.1.1 ICTにおける電源故障予測の必要性	9
1.2 研究の技術的背景	14
1.2.1 電源の故障予測技術	14
1.2.2 故障予測へのアプローチ - AI的手法と実測的手法	14
1.2.3 電源の故障モードと寿命部品	15
1.2.4 各寿命部品の故障予測	16
1.2.5 電源のデジタル制御化とモデルベース開発	23
1.3 まとめ	33
第2章 電解コンデンサの劣化検出および故障予測	36
2.1 先行研究の紹介	36
2.2 過渡応答における電圧変動量検出による故障予測	38
2.2.1 提案する ESR 劣化検出法	39
2.2.2 SPICE シミュレーションによる検討	42
2.2.3 RCP による評価	50
2.2.4 まとめ	57
2.3 過渡応答時の制御不安定性検出による故障予測	57
2.3.1 ESR 増加による制御不安定性発現	58
2.3.2 リンギング回数計数による ESR 劣化検出	65
2.3.3 まとめ	67
2.4 まとめ	67
第3章 Duty 比のトレンド監視による故障予測	68
3.1 損失等価抵抗の概念の導入	68
3.2 信号検出用フォトカプラの故障予測	70
3.2.1 背景と従来の対策	70
3.2.2 提案する検出方法	72
3.2.3 結果と考察	75

3.2.4	まとめ.....	81
3.3	効率低下検出によるパワー半導体の故障予測.....	81
3.3.1	検出方法の検討.....	81
3.3.2	まとめ.....	86
3.4	まとめ	86
第4章	本研究のまとめと今後の展開.....	87
謝辞	91
参考文献	92

数式記号・略称

V 電圧	V, mV, ...
V_{In} 入力電圧	V, mV, ...
V_{Out} 出力電圧	V, mV, ...
V_{Ripple} リップル電圧	V, mV, ...
ΔV_{Out} 出力電圧の変動量	V, mV, ...
$ave(V_{Out})$ 出力電圧の時間平均値	V, mV, ...
$\Delta^2 V_{Out}$ 劣化前後の電圧変動量の差分 $\Delta^2 V_{Out} = \Delta V'_{Out} - \Delta V_{Out}$	V, mV, ...
V_{Conv} 損失等価抵抗を含む出力電圧	V, mV, ...
V_F ダイオードの順方向電圧降下	V, mV, ...
I 電流	A, mA, ...
I_{In} 入力電流	A, mA, ...
I_{Out} 出力電流	A, mA, ...
I_{Ripple} リップル電流	A, mA, ...
ΔI_{Out} 出力電流の変動量	A, mA, ...
C 容量	F, mF, μ F, ...
C' 劣化後の容量	F, mF, μ F, ...
R 抵抗	Ω , m Ω , $\mu\Omega$, ...
$\tan\delta$ コンデンサの損失角 $\tan\delta = 2\pi fCR$	無次元量
R_{ESR} コンデンサの等価直列抵抗	Ω , m Ω , $\mu\Omega$, ...
R'_{ESR} 劣化後のコンデンサの等価直列抵抗	Ω , m Ω , $\mu\Omega$, ...
ΔR_{ESR} 等価直列抵抗の変化量 $\Delta R_{ESR} = R'_{ESR} - R_{ESR}$	Ω , m Ω , $\mu\Omega$, ...
R_{Loss} 損失等価抵抗：全損失を抵抗損とした場合の仮想的な抵抗	Ω , m Ω , $\mu\Omega$, ...
L インダクタンス	H, mH, μ H, ...
L_{ESL} コンデンサの等価直列インダクタンス	H, mH, μ H, ...
f 周波数	Hz, kHz, MHz, ...
f_{Sw} スイッチング周波数	Hz, kHz, MHz, ...

f_c	電源のクロスオーバー周波数～応答周波数	Hz, kHz, MHz, ...
T_{Sw}	スイッチング周期	s, ms, μ s, ...
τ	時定数	s, ms, μ s, ...
T_{On}	On 時間：スイッチが On している時間	s, ms, μ s, ...
T_{Off}	Off 時間：スイッチが Off している時間	s, ms, μ s, ...
D	Duty 比 $D = \frac{T_{On}}{T_{Sw}} = \frac{T_{On}}{T_{On}+T_{Off}}$	無次元量
D_{Ideal}	損失がないと仮定した場合の理論上の Duty 比	無次元量
D_{Loss}	損失がある場合の理論上の Duty 比	無次元量
$D_{Degraded}$	電源劣化後の実 Duty 比	無次元量
$\frac{T_{On}}{T_{On0}}$	劣化後の Duty 比と初期状態の Duty 比、On 時間の比と等価	無次元量
$life$	寿命	年
T_{Max}	最高温度	$^{\circ}$ C
T_a	環境温度	$^{\circ}$ C
P	エネルギー	J, mJ, μ J, ...
P_{In}	入力電力	J, mJ, μ J, ...
P_{Out}	出力電力	J, mJ, μ J, ...
P_{Loss}	損失 $P_{Loss} = P_{In} - P_{Out}$	J, mJ, μ J, ...
ε	電源効率 $\varepsilon = P_{Out}/P_{In}$	無次元量
IoT	Internet of the Thing：物のインターネット	
ICT	Information and Communication Technology：情報通信技術	
MPU	Micro Processing Unit：小型演算ユニット	
DSP	Digital Signal Processor：MPU の一種、デジタル数値演算に特化	
FPGA	Field-Programmable Gate Array	
ADC	Analog-Digital Converter：AD 変換器	
IPC-9591	重要部品委員会の策定した電子機器用冷却ファンの安全規格	
MTTF	Mean Time To Failure：平均故障時間	

- ISO281 ······ Rolling bearings -- Dynamic load ratings and rating life: 転がり軸受けの動定格荷重及び定格寿命
- PFC ······ Power Factor Correction : 力率改善
- MBD ······ Model Based Design: モデルベースデザイン、モデルを用いたシミュレーションベースの設計方法
- MILS ······ Model in the Loop Simulation: 制御モデルと被制御物モデルを用いた動作シミュレーション
- RCP ······ Rapid Control Prototyping : 制御エミュレータと実際の被制御物を用いた制御モデルの実機検証法
- HILS ······ Hardware in the Loop Simulation: 被制御物エミュレータと MPU に実装したファームウェアを用いたファームウェアの動作検証法

まえがき

IoT (Internet of the Thing : 物のインターネット) 技術の拡大による通信データ量の増加は ICT (Information and Communication Technology : 情報通信技術) システムとそれを支える電源システムへの要求をより厳しいものになっている。電源システムへの要求は、効率向上だけでなく、応答性、可用性、保守性を含め多岐にわたる。中でも設置数が多い大規模データセンタや、山中に点在する携帯基地局などでは、可用性、信頼性と保守コストのバランスが大きな問題となっている^{(1), (2)}。現状、可用性は電源系多重化およびスポット保守によって担保されているが、動作中に負荷に影響を与えること無しに動作可能 (以下オンライン動作可能) な劣化検出、故障予知機能が低コストで実現できれば、効果的な予知保全が可能となり、信頼性向上、保守費用削減が期待できる^{(5), (6)}。特に、動作条件の厳しい携帯基地局においては、多重化された電源系双方が同時に劣化、故障することも想定されるうえに故障発生箇所への保守要員の派遣そのものが容易でないことが多く、劣化検出、故障予知の効果は大きい。

スイッチング電源の構成部品のうち、故障の原因となる寿命部品としては、電解コンデンサ、パワー半導体、制御用半導体の順に高い故障率を持つことが知られており^{(9), (11)}、そのそれぞれについて様々な劣化検出技術が検討されてきている。最も寿命の短い電解コンデンサに関しては、電源断後の放電時定数から容量変化を検出して交換指示のアラームをあげる手法^{(71), (72)}、コンデンサの表面温度を監視し、経時的な温度履歴から寿命を推定する手法^{(69), (70)}がすでに実用化、商品化されているが、前者は動作中の劣化検出ができず、後者はあくまで推定レベルであるうえ、いずれも追加回路、追加部品が必要でありコストアップにつながってしまう。パワー半導体、制御用半導体の劣化検出に関してもオンライン動作可能、追加コスト無しという条件を満たすものは存在しない。

従来、スイッチング電源のデジタル制御化は、アナログ制御回路の単なる置き換えから、スイッチングタイミングの精密制御による電力変換効率向上、外部システムとの通信機能による状態監視、ロギング、さらには出力電圧を含む設定変更といった新機能

を追加しながら進められてきた。

本論文ではデジタル制御電源ならではの新機能としてソフトウェア実装の故障予測機能を検討する。オンライン動作可能かつ追加コスト無しに実装可能な劣化検出および故障予測技術の実現を目的として、制御用 MPU (Micro-Processing Unit) が制御のために取得している入出力電流、電圧情報の時間依存性の傾向を元に故障予測を行うことを提案する。

具体的には、電解コンデンサの劣化およびパワー半導体、制御半導体の劣化は、それぞれ電源の過渡応答特性の劣化、静特性（効率低下、電圧ドリフト）の劣化として現れるため、これを制御における Duty 比のトレンド変化として検出する。SPICE および MATLAB/Simulink を用いた MILS (Model in the Loop Simulation: 動作シミュレーション) および RCP (Rapid Control Prototyping: 制御エミュレータによる実機評価) による実回路検証により、電解コンデンサの ESR (Equivalent Series Resistance: 等価直列抵抗) 劣化に関して初期値に対して 50%以上の分解能、効率低下、電圧ドリフトに関してそれぞれ数%、1%の分解能で検出できることを示した。これは、電源構成部品の劣化検出には十分な感度であり、基本動作は検証できたことになる。

本論文で提案する劣化検出および故障予測技術はいずれもオンライン動作可能で、デジタル制御電源のファームウェアとして追加回路、追加コスト無しに実装可能という特徴をもっており、ICT システムの信頼性向上、保守コスト低減に寄与すると信じる。今後は、製品化を目的として、故障予測対象部品拡大と製品レベルの電源に組み込んでのフィールド検証を進めていく。

最後に本論文の構成について紹介する。

第 1 章では、本研究の位置づけとして電源の故障予告技術の社会的意義と故障モードの分析および先行研究の紹介、加えて本論文で提案するデジタル制御電源の故障予測技術の概要について述べる。

第 2 章では、過渡応答特性の劣化検出による電解コンデンサの故障予測技術について述べる。

第 3 章では、静特性の劣化検出によるパワー半導体、制御用半導体の故障予測技術

について述べる。

第 4 章では、ここまで述べてきた電源の故障予測技術と今後の展開についてまとめる。

第1章 緒論

本章では、本研究の位置づけとして、電源の故障予告技術の社会的意義と故障モードの分析および先行研究の紹介、加えて本論文で提案するデジタル制御電源の故障予測技術の概要について述べる。

1.1 研究の社会的背景

まず、本研究の社会的背景として、予知保全と故障予測技術の必要性について述べる。

1.1.1 ICT における電源故障予測の必要性

近年、IoT 技術の普及とそれによって集められたビッグデータを処理する大規模クラウド環境の進展により、データを転送する無線通信インフラ⁽¹⁾やデータを処理する大規模データセンタ⁽²⁾といった ICT 関連システムへの給配電システムへの要求もますます厳しいものとなっている。要求は、必要とされる総電力の増加に対応するための大電力対応、給配電効率の向上による省エネ化、24 時間 365 日稼働に対応する高信頼性、高可用性、さらには少子化による熟練エンジニアの減少に対応するための保守性の向上と多岐にのぼるが、要求されるだけの信頼性、高可用性を確保した上で、総コストを圧縮

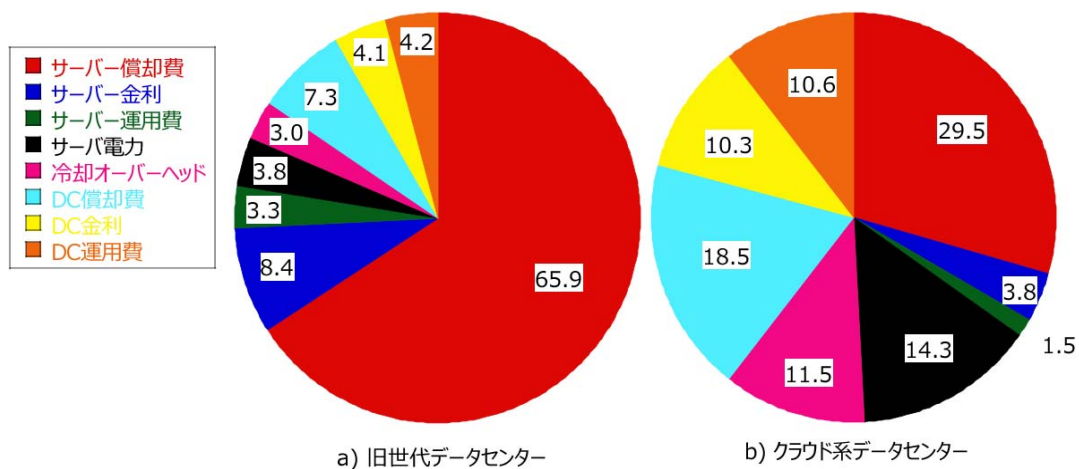


図 1.1 データセンタのコスト配分の変化

しつつ、設備、エネルギー、保守、それぞれにかかるコストバランスをどう取っていくかが一つの課題となっている。

コストバランスの変化を示す一例として、図 1.1 に Google が提示したデータセンタの総コスト配分を示す⁽²⁾。a) の旧世代データセンタではメインフレームを含む比較的少数の高コストサーバを設置運用しており、コストの大半を設備コスト、特にサーバの調達コストがしめていた。それに対し、近年のクラウド世代の大規模データセンタ b) では、コモディティ化した安価なサーバを大量設置することでサーバに関するハード費用を圧縮しており、その分、冷却コストや電力コストが示す割合が増加している。この試算では、運用（保守）コストは設備コストの一律 5%として計上しており、後に述べるような保守そのものが困難な状況では、保守コストの割合はより大きな物となる。

当然、冷却、電力コストの圧縮を目指す努力も継続して行われている。特に給配電効率の向上による省エネ化に関しては、国内では 2011 年の東日本大震災をひとつのきっかけとして急速に進んでおり、2010 年以前に危惧されていたデータセンタ毎に原子力発電所が必要になるとまでいわれた過大電力による給電危機の発生はひとまず回避された。図 1.2 は、米国におけるデータセンタの総消費電力のトレンドであるが、2000 年

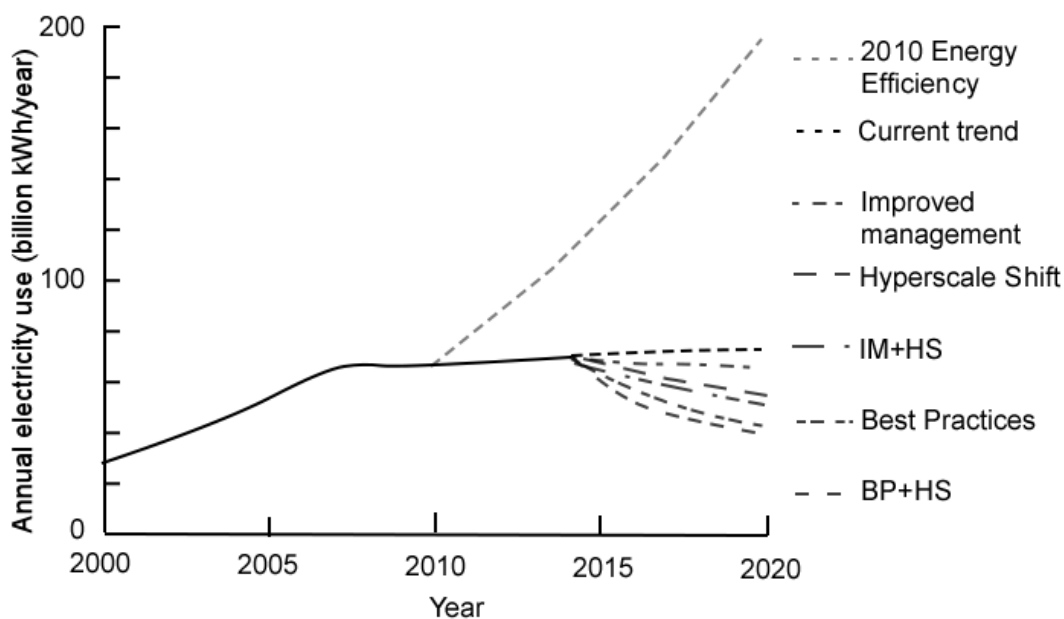


図 1.2 米国のデータセンタの総電力の変遷

代初期と比較するとデータセンタの総処理能力そのものは遙かに向上しているにもかかわらず、総消費電力は2010年以降横ばいか、むしろ低下しつつある⁽³⁾。これは、パワーエレクトロニクス的发展による電源を含む給配電効率の向上だけでなく、多数の仮想マシンを少数のサーバに集約することでハードウェアの使用率を向上させるクラウド化の流れや、外気冷却、アイル構造の適用といった冷却システムの最適化等すべての面でエネルギー効率を向上させて来た成果といえる⁽²⁾。

パワーエレクトロニクスにおける給配電効率の改善トレンドの一例として、図1.3にICT用AC-DC電源の効率規格である80 PLUS⁽⁴⁾への登録電源数の推移を示す。ここではサーバ用AC230V入力冗長電源の登録数をグラフ化した。本カテゴリは、80PLUS規格の中でも最も高効率が要求されるカテゴリであり、一般パソコン用を想定したAC115V非冗長入力電源等と異なって最下位の80PLUS Standard規格は設定されていない。2010年以降Platinum認証(最高効率94%以上)品が急速に増加し、Gold認証(最高効率92%以上)品に変わってコモディティ化していった様子が伺える。一方で最高効率規格であるTitanium認証(最高効率96%以上)品に関しては、2011年に規格化された後、2012

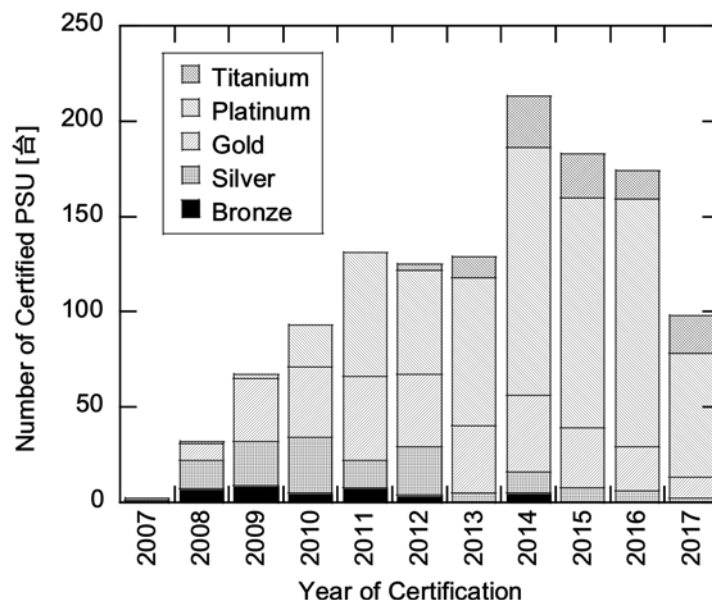


図 1.3 80 PLUS 登録 AC-DC 電源の登録数の変遷

年に最初の登録が行われているが、その後も毎年登録が続いているもののその数は非常に限られたものとなっている。これは、AC-DC 電源に関してはほぼ限界効率に近づいており、これ以上の効率向上は、技術アピールとしての意味はともかくとして、効率向上に必要なコストに見合わないものとなってしまっていることを示している。もちろん、電源の小型化、高電力密度化には、限られた冷却能力を満たすための高効率化が必須で

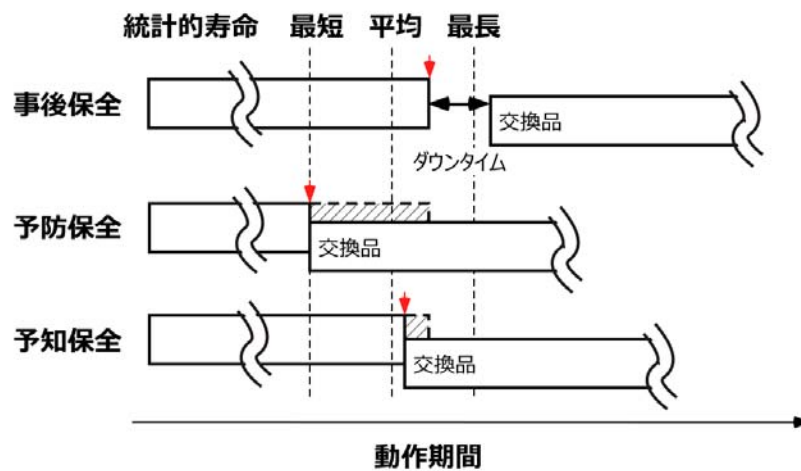


図 1.4 非冗長の場合の事後保全、予防保全、予知保全の保守時期（赤矢印で表示）の比較。真の寿命をハッチで示した。故障発生後に交換する事後保全では、個々の電源の使用期間は最長になるが交換までにダウンタイムが生じる。

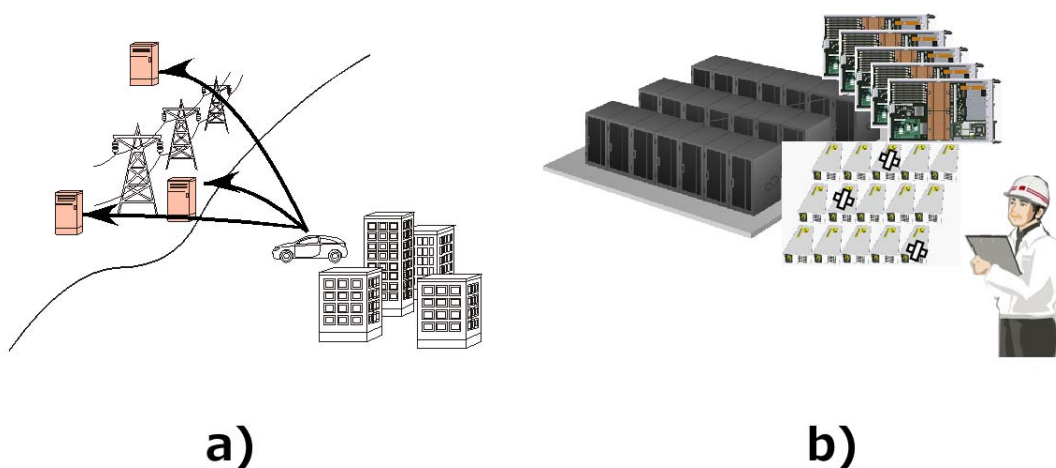


図 1.5 故障予測、予知保全の適用例 a) 山中に配置された携帯、放送基地局、b) 大量の設備が設置された大規模データセンタ

あり、高効率のみを追いもとめる方向から、小型化、高電力密度化のための高効率化に研究、開発の方向も変わってきている。

クラウド系データセンタにおけるコモディティ化したサーバの大量設置による設備コストの圧縮、および、省エネによるエネルギーコストの削減が限界に近付いている中で、信頼性、可用性を保持したうえで、設備、保守コストを削減する手法として注目されているのが、故障予測技術に基づいた予知保全^{(5),(6)}の考え方(図 1.4)である。実際に故障が発生してから保守作業を行う事後保全では故障発生時のダウンタイムを容認するか、あるいは、ダウンタイムを避けるための冗長構成を組むための設備コストが発生する。予防保全では、統計的な寿命到達前にあらかじめ部品交換を行うことで冗長設備を圧縮するが、一方で本来ばらつきをもっている部品を、統計情報上最も短い寿命にあわせて交換時期とせざるを得ず無駄が生じる。それに対して予知保全では、装置に設置されたセンサが収集した情報を元に故障が発生する予兆を検出し、実寿命到達の前に保全作業を行うことによりダウンタイムと保全コストの双方を同時に最小化することを目指す。

24時間365日の可用性が求められるICT機器においては、故障時のダウンタイムが容認されないため、事後保全運用においても電源装置の冗長化や充電機によるバックアップが採用されている。しかしながら、冗長構成が取られている場合でも故障発生から保守完了までは信頼性は低下しており、可能な限り短期間での保守が必要になる。特に山中、離島を含む各所に点在する携帯基地局⁽⁷⁾や放送中継局⁽⁸⁾等では、スポット保守による現場への技術者即時派遣そのものがコスト要因となり、移動に困難を伴う冬期の豪雪地帯や山奥に設置された装置における予防保全、予知保全の効果は大きい(図 1.5)。コストパフォーマンスに優れた故障予測技術を確立することができれば予防保全で問題とされる寿命マージンの過小評価を低減することが可能となりさらなる保守コストの圧縮が可能となる。以上の観点より本研究では、低コストで実装可能なICT機器向けデジタル制御電源用故障予測技術を確立することを目的とした。

1.2 研究の技術的背景

ここでは、本研究の技術的背景として先行研究を紹介し、本研究の位置づけを明らかにする。

1.2.1 電源の故障予測技術

本項では ICT 機器用電源の故障要因について述べた後、各原因に対する故障予測技術に関する先行研究を紹介する。

1.2.2 故障予測へのアプローチ – 統計学的手法と実測的手法

故障予測法としてこれまでに大きく分けて二つの手法が提案されている。一つは、統計学的手法で、装置の設置環境の温湿度等を元に、高温環境に設置された装置は寿命が短いといった判断を行う手法である。それをさらに発展させた手法として、負荷装置および電源に取り付けたセンサ群によって取得されたビッグデータを元に深層学習させた AI を用いて故障予測する手法も各社から提案されている(例えば一般的な工場への適用例^{(53), (54)}) が、追加すべきセンサの配置、データの蓄積、深層学習の実施方法等個別検討事項も多く、低コストで適用できるようになるにはまだ時間がかかるものと思われる。

装置状態の遠隔監視に関しては、保守が困難な宇宙機を扱うことから NASA による研究が早くから進められている⁽⁵⁵⁾⁻⁽⁶¹⁾。宇宙機のシステムでは、基本的にオペレータによる交換修理が不可能なことから、2000 年代までは故障発生後の検知とシステムの再起動、再構築によるリカバリーが中心となっており、故障予測までは至っていない。一方で後述するモデルベースデザインを用いて、冗長制御⁽⁵⁷⁾、コスト計算⁽⁵⁹⁾、故障解析^{(55), (57)}等が検討されている。

2010 年代に入ると、制御システムの中に故障予測層が見られ出す⁽⁶¹⁾が、多数のセンサからの情報を組み合わせて診断することで予知が可能になるだろうという将来の課題レベルの記述である。

日本でも遠隔監視システムの研究が盛んになるのは、2000 年代からであり、保守コストの削減、信頼性の向上を目的として、複数のカメラを用いた遠隔監視システム⁽⁶²⁾非

常用バッテリーの監視システム⁽²³⁾、ビルのファシリティの遠隔監視システム^{(63), (64)}等が報告され、それらによって取得、蓄積されたデータを元に統計学的手法による故障予測技術が検討されている。

ICT 機器の故障予測に関しては、近年、Hayasaka⁽⁶⁵⁾ら、Kanetani⁽⁶⁶⁾らが、過去の保守データから設備装置のロット不良の予知、さらには温湿度環境の影響まで含めた故障予知技術を提案している。

もう一つの手法として、故障要因となる部品の特性を動作中に実際に測定して故障の予兆を捉える手法がある。回路に追加したセンサにより故障部品に流れる電流電圧情報を測定し特性の劣化を検出する（例えば Lahyani ら⁽⁹⁾）方法が提案されている。個々の部品の特性を評価するためには、追加すべきセンサ数が増加し、回路規模も増加するというデメリットもあるが、部品毎の寿命ばらつきに対応して寿命予測ができるという点で統計的手法よりも精度を上げられる可能性がある。また、追加したセンサから取得したデータを元に統計的手法、AI 的手法で寿命予測を行うことも可能であり、上記 2 つの手法は互いに相補的に使用することができる。

本論文中では主に後者の故障部品の特性を動作中に直接測定して故障予測を行う手法に関して検討する。

1.2.3 電源の故障モードと寿命部品

図 1.6 は、ICT 機器用の電源装置中で故障の原因となる部品を模式的に示したものである。主な故障の対象となる部品を点線で囲んだ。Lahyani ら⁽⁹⁾は、MIL 規格⁽¹⁰⁾を元に各部品の故障率を見積もり、故障率の高いものから電解コンデンサ、パワー半導体の順でそのうちの 7 割を電界コンデンサが占めることを示している。また、米国で電源装置の修理を専門に行っている Power Clinic 社の David Hill⁽¹¹⁾も実際に修理してきた電源の故障原因として、電解コンデンサ、ファン、パワー半導体、その他制御用半導体および自然災害を挙げている。

いずれにせよ、電解コンデンサが電源装置の故障要因の内最大のものとして認識されていることは事実であり、様々な劣化検出および故障予測方法が提案されている。

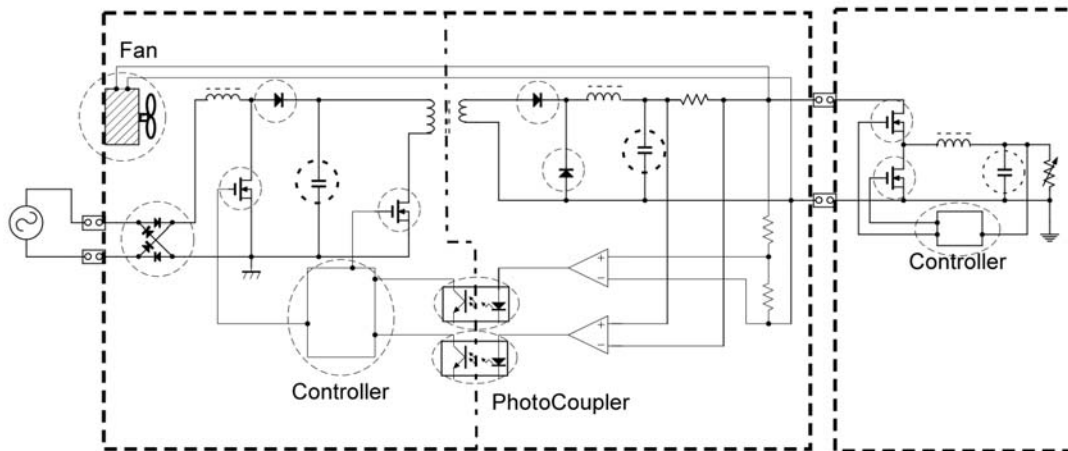


図 1.6 ICT 機器用 AC-DC 電源の模式図と寿命部品

1.2.4 各寿命部品の故障予測

1.2.4.1 電解コンデンサの故障予測

1.2.1.1 で述べたように、電解コンデンサは電源装置中最大の故障部品の一つであり、様々な故障予測法が提案されている。

図 1.7 に a) 正常、b) 経年劣化後の電解コンデンサの模式図と c) 等価回路を示す^{(67)、(68)}。電解コンデンサは、正負の電極となる 2 枚のアルミ箔で絶縁用のセパレータを挟んだもの間に電解液を注入した構造となっている。実際のコンデンサでは、シートをロール状に巻くことにより体積当たりのシート面積を増加させている。陽極側には陽極酸化により多孔質酸化膜が形成されており、金属アルミニウムと真の電極である電解液が誘電体であるアルミ酸化膜を挟み込むことでコンデンサを形成する。酸化膜の厚みにより高耐圧、多孔質構造による表面積増加によって大容量を実現している。

酸化膜は陰極側にも形成されているが、膜厚は自然酸化膜レベルで陽極側と比較して薄く、耐圧も低い物となっている。電解コンデンサに逆バイアスをかけてしまうと、D1 がオン、D2 がブレイクダウン状態となりショート状態となる。電解コンデンサに極性があるのはこのためである。

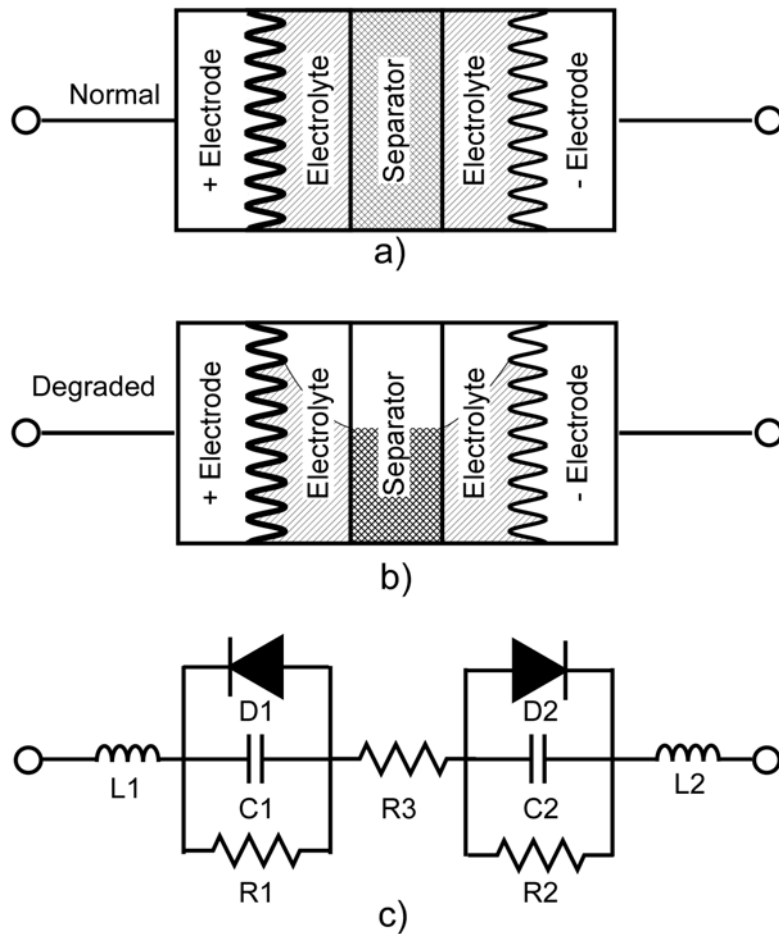


図 1.7 電解コンデンサの模式図 a) 正常、 b) 経年劣化後の電解コンデンサの模式図、 c) 電解コンデンサの等価回路

長寿命化を目指して、フィルムコンデンサ、積層セラミックコンデンサ等への置き換えも検討されているが、現状、コスト、耐圧、サイズ、容量のすべてで電解コンデンサを置き換え可能なコンデンサは存在しない。

陽極側に正バイアスを与えた場合、負極側のダイオード D2 はオン状態になり、L1、C1、R3、D2、L2 の順で電流パスができる。このとき D2 は順方向電圧降下 V_f を含む非線形抵抗と考えることができる。一方、正極側のダイオード D1 はオフ状態で、C1 に並列接続された容量成分として動作する。R1、R2 はリーク電流の電流パスで通常 $M\Omega$ 以上のオーダーであり、スイッチング方式電源では無視できる。結果として電界電解コンデンサは容量成分 (C1+D1)、抵抗成分 (R3+D2)、インダクタンス成分 (L1+L2) の直列回路と

して扱うことができ、このときの抵抗成分を ESR (Equivalent Series Resistance: 等価直列抵抗)、インダクタンス成分を ESL (Equivalent Series Inductance: 等価直列インダクタンス) と呼ぶ。電解コンデンサでは、ESL はリード線長によるものが支配的で、通常数 mm の長さ、数 nH オーダであり、直列につながった数十～数千 μF の容量に対しては無視できることが多い。

図 1.8 に電解コンデンサの寿命試験での各パラメータの経過時間依存性を示す^{(68), (73)}。容量 C 、損失角 $\tan\delta$ 、周波数 f 、等価直列抵抗 R_{ESR} の間には、

$$\tan\delta = 2\pi f C R_{ESR} \quad \dots(1.1)$$

の関係があり、図中の ESR は式(1.1)より換算したものである。

電解コンデンサの劣化は、電解液が自己発熱によって蒸発、分解することによって進行する。図 1.7-b) に模式的に示したように、電解液の減少は、コンデンサの電極面積および電流パスの断面積の減少につながり、容量 C の減少、 $\tan\delta$ 、ESR の上昇として検出される。 $\tan\delta$ 、ESR に関しては、電流パス断面積の減少に加えて、電解液の劣化による抵抗率上昇の影響も受けるため、容量 C と比較してより大きく変化する。一般に容量 C の変化率が保証寿命時点で -20% 程度なのに対し、ESR は数倍に増加する。

上に述べたように電解コンデンサの寿命は、熱による電解液の蒸発によって進行するため、使用温度に関してアレニウス則が成立し、一般にはそれを簡略化した 10°C 2 倍則と呼ばれる近似式 (式(1.2)) によって推定寿命 $Life$ が見積もられる。

$$Life = Life_0 \times \frac{T_{max} - T_a}{10} \quad \dots(1.2)$$

ここに、 T_{max} : 電解コンデンサの最高保証温度、 $Life_0$: T_{max} での保証時間、 T_a : 使用時の周辺温度であり、使用温度が 10°C 下がるごとに推定寿命が 2 倍に増加する。設計時にはマージンを含め電源システムとしての設計寿命よりもコンデンサの推定寿命が十分に長くなるよう熱設計およびコンデンサの選択を行っているが、実使用時には周

辺環境によって、想定外の温湿度の上昇や塵埃による冷却効率の劣化等も発生するため、実働中の実寿命の把握は非常に重要な課題である。

電解コンデンサの劣化検出法としてすでに実用化され、商品化されているものとしてはインバータの直流カップリング用コンデンサに採用されているものが知られており、コンデンサに接続した温度センサより温度履歴を監視し 10°C2 倍速から寿命を推定する手法^{(69), (70)}、電源オフ時の電圧降下の時定数から実容量を検出する手法^{(71), (72)}がある。

前者は統計的手法の改良であり、部品ばらつきに対するマージンを過大評価する必要があるという課題は解決し切れていない。後者は実容量の測定評価が可能であるが、時定数の測定のためには一定期間内に一度電源を停止する必要があるため、定常動作中の劣化状態は監視できない。特に僻地、山中に設置された携帯基地局や風力発電所、メガソ

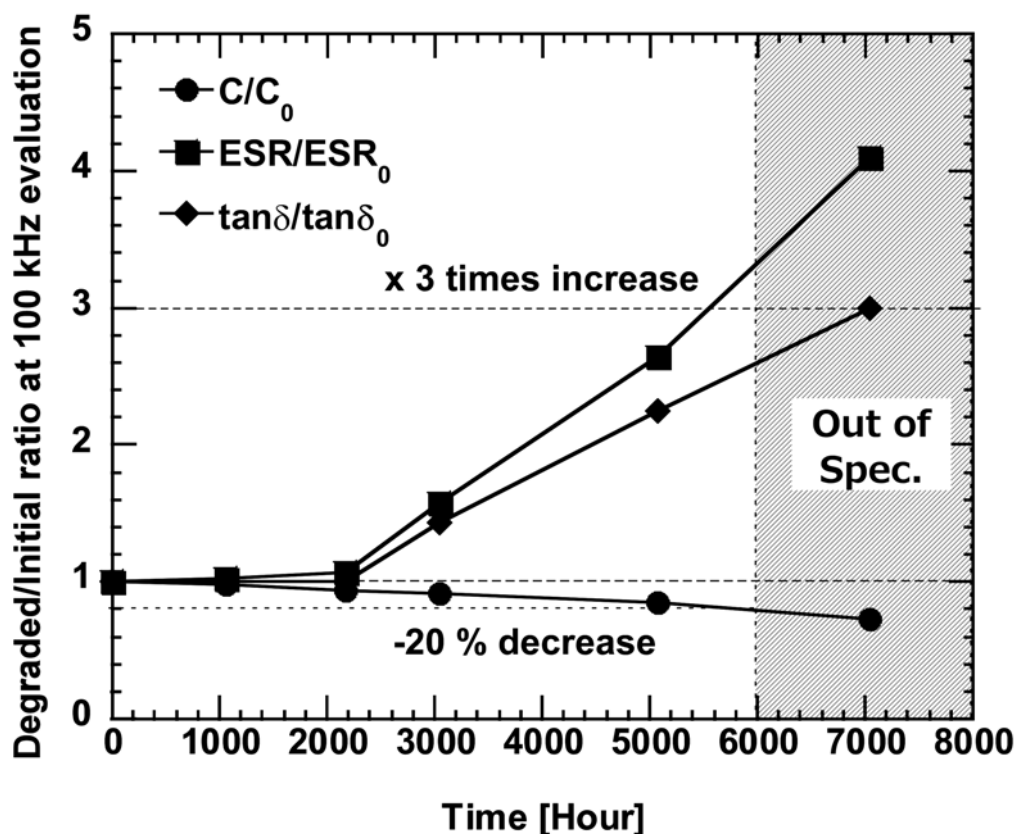


図 1.8 コンデンサの寿命試験における各パラメータの劣化

一ラ一等の 24 時間、365 日動作が必要でメンテナンス要員の常駐が困難なシステムにおいては、電源装置の定常動作中に劣化状態を常時監視する手法が求められており、本論文の第 2 章にてコンデンサの劣化状態を電源動作中にリアルタイムで監視し故障予測を行う方法に関して提案する。

1.2.4.2 半導体素子の故障予測

スイッチング方式電源装置に使用される半導体素子は、実際に電力を伝送するパワー半導体と制御、通信等を行う制御用半導体に分けられる。その中でも電圧、電流の大きなパワー半導体の故障率は制御用半導体よりも高くなっている。

制御用半導体の故障予測に関しては、高集積度のロジック LSI を目的とした物で、ロジック反転時の誤動作を防ぐためのガードバンドを短くした寿命センサを回路中に準備しておき、エラーの発生率を指標として故障予測を行う手法⁽⁴⁴⁾、メイン、サブの 2 回路を用いそれぞれのクロックをずらして出力値を比較することでロジックの操作速度の劣化を検出する手法⁽⁴⁵⁾等が提案されているが、特に高集積で信頼性が要求されるチップ用であり、安価な電源制御用 IC にはまだ採用されていない。

制御用半導体の中でも消耗部品として考えられている物に、絶縁境界を超えた信号伝送に用いられるフォトカプラ⁽⁸⁸⁾がある。図 1.9-a) にフォトカプラの模式図を示す。

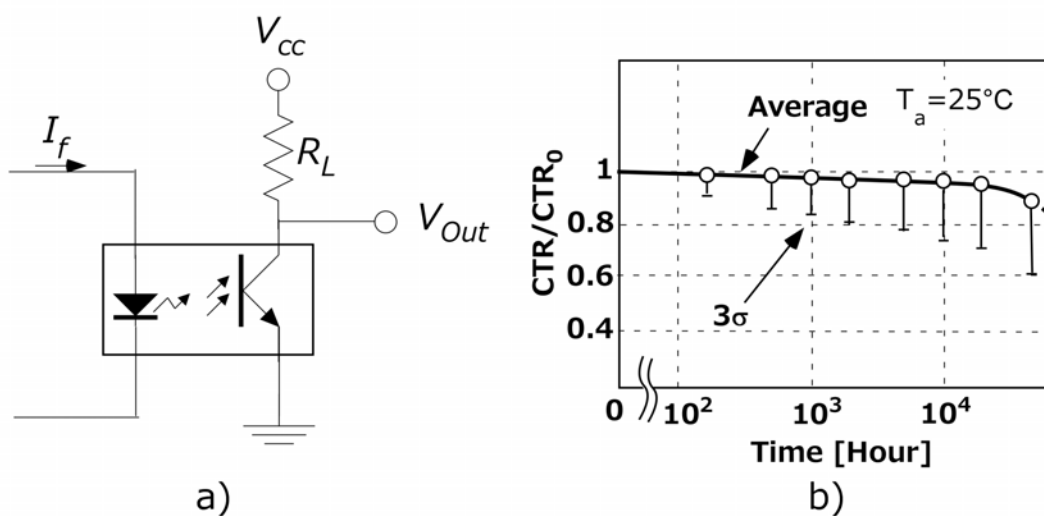


図 1.9 フォトカプラの劣化の模式図。a) フォトカプラの模式図、b) CTR の経年劣化⁽⁸⁸⁾

使用時に必要となる周辺部品も同時に表記した。フォトカプラは発光ダイオードとフォトダイオードまたはフォトトランジスタがペアでモールドされており、フォトダイオード側に電流 I_F を流すことで、フォトトランジスタ側のコレクタ電流 I_C が変化して信号を伝送する。発光ダイオード側とフォトトランジスタ側に一定バイアスをかけたときの入力側電流 I_F に対する出力側フォトトランジスタのコレクタ電流 I_C の比をCTR (Current Transfer Ratio: 電流伝導率)とよぶ。CTRは、フォトダイオードの経時劣化にしたがって低下(図1.9-b)し、アナログ信号伝送時は伝送された出力電圧 V_{out} の低下、デジタル信号伝送時は立ち上がり、立ち下がり速度の低下といった形で現れる。通常、CTRが初期値の50%になった時を素子の寿命として定義している。特にフィードバックループ内でアナログ信号を伝送する場合には、CTRの低下は直接制御電圧のドリフトにつながるため注意が必要で、ドリフト補償のために様々な方式が提案、製品化されている⁽⁸⁹⁾⁻⁽⁹¹⁾。筆者らが提案するフォトカプラの劣化検出法については、第3章 3.2項で詳述する。

一方、パワー半導体の故障モードは主にゲート酸化膜の欠陥や組み立てミス等が原因となる物とヒートサイクルによる熱ストレスが原因になるボンディングワイヤやダイボンディングへのダメージにわけられる。前者は一般に初期不良として現れ、デバイスメーカーでのバーンイン試験および電源くみ上げ後のエージング試験によって製品出荷後の故障率は十分低い物とできる。摩耗故障期の故障原因は主に後者で熱ひずみによるボンディングワイヤの剥がれ、ダイボンディングに使用される半田へのクラックという形で発生する。劣化の評価法として半田内へのボイド発生による熱抵抗の増加からくるジャンクション温度の上昇をオン抵抗の増加として検出する方法が提案されている⁽⁴⁷⁾⁻⁽⁵²⁾が、電源動作中にオン抵抗を評価することは容易ではなく、現状、実用化されたものは見当たらない。著者が提案するフィードバック時のDuty比を監視することによるパワー半導体の劣化検出法に関しては、第3章 3.3項で詳述する。

1.2.4.3 ファンの故障予測

コンデンサに次ぐ故障率を持つ部品として、駆動部を持つ冷却ファンが上げられて

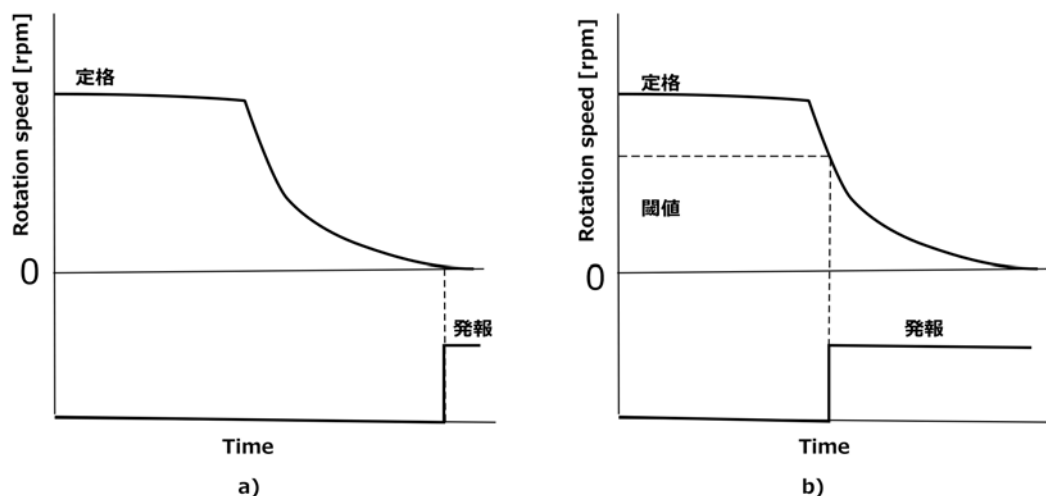


図 1.10 停止時アラーム a) および 回転数低下アラーム b) 付きファンの例⁽¹⁷⁾

いる。電子機器用のファンの安全規格としては IPC-9591⁽¹²⁾があり、定格動作時の回転数、消費電流、ノイズに関して故障と見なす閾値が定義されている。回転軸ベアリングに充填されている潤滑油の消耗や塵埃の付着による回転数低下が劣化の主な原因とされている。しかしながら、Hyunseok らは IPC-9591 と ISO281⁽¹³⁾を元に計算した MTTF (Mean Time To Failure: 平均故障時間) と実際の故障時間を比較し、IPC-9591 から見積もった MTTF と実際の故障時間の間には数百%の乖離があることを指摘し、より現実に即した推定寿命の計算方法が必要なことを報告している⁽¹⁴⁾。そのため、実測的手法による故障予知の意味は大きな物となっている。

ファンの劣化を検出する方法としては、ベアリング劣化による異音を検出して劣化の指標とする方法^{(15), (16)}等が提案されている。また、パルスカウンタにより回転数を監視する方法に関しては、停止時だけでなく、回転数低下時に発報するアラーム付きファン⁽¹⁷⁾等も商品化されている (図 1.10)。

1.2.4.4 インダクタの故障について

MIL 規格⁽¹⁰⁾ における故障率データから Lahyani ら⁽⁹⁾は、インダクタも典型的な電源の故障部品の一つとしてあげているが、その故障率は電解コンデンサと比較して 1/10 程度である。また、実際の故障モードは過電流による断線が最も多く、その中には冷却

不足によるコアの磁気飽和や巻き線の絶縁低下によるものが含まれる⁽¹⁸⁾⁻⁽²¹⁾。振動、落下等によるコアの物理破損等を含めると、真性の摩耗故障はまれで部品選択ミスや他の部品の劣化による二次被害と考えるべき物が多い。温度特性および熱ストレスへの耐性はメーカー、型格による差も大きく^{(20), (21)}、電源の信頼性向上には設計時の部品選択が最も重要である。パワー半導体の劣化と同様、インダクタの劣化の影響も電源内部の温度上昇や効率低下として現れることから、本論文中ではインダクタ単体を対象とした故障予測技術は不要と考え、第3章にてパワー半導体の劣化検出方法に含めてとり扱う。

1.2.4.5 蓄電池の劣化検出

図 1.6 に示した ICT 機器用電源の模式図には表記されていないが、以前より劣化検出、故障予測の研究が進められているものに蓄電池がある。谷口ら⁽²²⁾は、鉛蓄電池の劣化検出法として、蓄電池に方形波のパルス電流を印可し、そのときの電圧応答波形から容量劣化を検出する方法を提案した。また、辻川ら⁽²³⁾は、ICT 機器用鉛蓄電池の遠隔監視用として、10°C2 倍則を元にした統計的手法とパルス放電時の電圧低下から鉛蓄電池の内部抵抗を評価する実測的手法の双方を搭載した監視システムを紹介している。

Li イオン蓄電池の寿命評価に関しても多数の先行研究が報告されている⁽²⁴⁾⁻⁽²⁹⁾。充放電時の電流、電圧波形をデジタルフィルタで処理することで、蓄電池の残容量を推定するものが多く、フィルタの種類、充放電プロファイルに関して様々な提案がなされている。いずれにせよ Li イオン蓄電池の微小な内部インピーダンスの変化をいかに評価するかが課題であり、著者が検討している電解コンデンサの劣化検出法と共通点も多い。検討中の故障予想法の蓄電池への適用も将来の課題と考えている。

1.2.5 電源のデジタル制御化とモデルベース開発

前項では、電源に使用される個々の部品に関して、その劣化モードと劣化検出、故障予測に関して、先行研究を紹介した。本項では、本論文で検討するスイッチング電源の制御における Duty 比のトレンド評価による故障予測法の基礎となるデジタル制御スイッチング電源の動作原理と設計手法について述べる。

スイッチング方式電源回路の動作原理に関して簡単に述べた後、デジタル制御の特徴およびモデルベースデザイン (Model Based Design: MBD) によるデジタル制御電源の開発について紹介する。

1.2.5.1 スイッチング方式電源回路

最も基本的な降圧型スイッチング方式電源回路として図 1.11 に、Buck 型 DC-DC コンバータの模式図 a) および動作モードの一例として連続電流モードでの動作 b) を示した。ハイサイドスイッチ Sw_H とローサイドスイッチ Sw_L を交互に On/Off することで入力電圧 V_{In} を出力電圧 V_{Out} に変換する。ハイサイドスイッチ Sw_H が On している ($0 < t < T_{On}$) とき、インダクタ L は入力電圧 V_{In} に接続され、①の経路で電流が流れる。インダクタ L に流れる電流 I_L は、負荷抵抗 R_{Load} とインダクタ L によって制限され、出力電圧の平均値を $ave(V_{Out})$ として、

$$V_{In} - V_{Out} = L \frac{dI_L}{dt} \quad \dots (1.3)$$

$$I_L = 1/L \cdot (V_{In} - V_{Out}) \cdot t + ave(V_{Out})/R_{Load} \quad \dots (1.4)$$

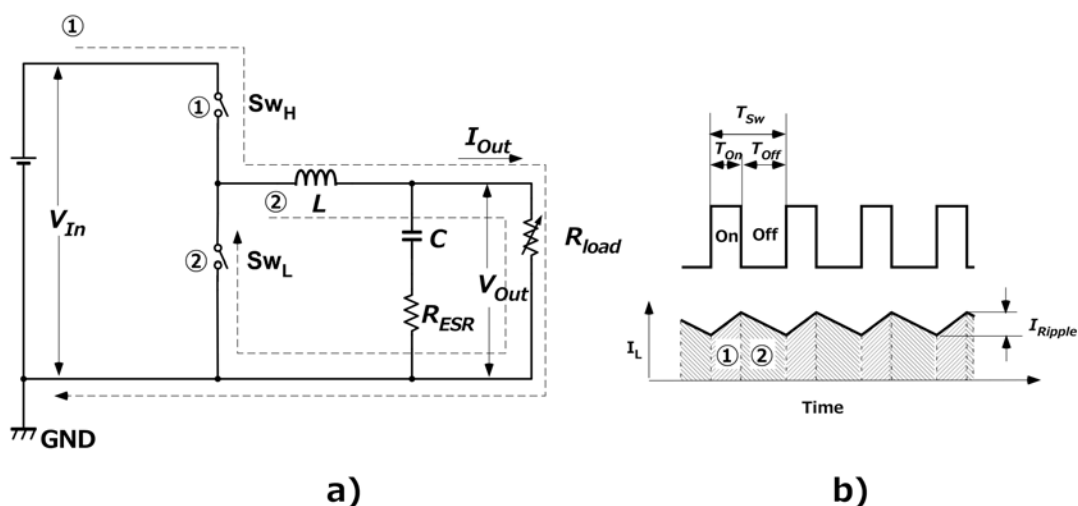


図 1.11 スイッチング電源の動作。a) Buck 型降圧 DC-DC コンバータの回路図、b) 連続モードでの動作の模式図

の関係になる。リップル電流 I_{Ripple} 、リップル電圧 V_{Ripple} は $t = T_{On}$ の時の電流で決まり、

$$I_{Ripple} = 1/L \cdot (V_{In} - V_{Out}) \cdot T_{On} \quad \dots(1.5)$$

$$V_{Ripple} = I_{Ripple} \cdot R_{ESR} \quad \dots(1.6)$$

となる。

ハイサイドスイッチ Sw_H が Off され、ローサイドスイッチ Sw_L が On する(と、インダクタ L およびコンデンサ C に貯まったエネルギー $\frac{1}{2}LI_{Ripple}^2$ と $\frac{1}{2}CV_{Out}^2$ によって出力電流は②の経路で流れ続ける。スイッチング周期 T_{Sw} とオン時間 T_{on} の比を Duty 比 D と呼び、損失を無視した理想状態の定常時には、

$$D = \frac{T_{On}}{T_{Sw}} = \frac{V_{Out}}{V_{In}} \quad \dots(1.7)$$

の関係がある。スイッチング周期 T_{Sw} を一定としてオン時間 T_{On} を変更することで V_{Out} を制御する方式を、PWM (Pulse Width Modulation) 方式と呼ぶ。一方オン時間 T_{On} 一定、または Duty 比 D 一定の条件でスイッチング周期 T_{Sw} を変更して V_{out} を制御する方式をPFM (Pulse Frequency Modulation) 方式と呼ぶ。

1.2.5.2 アナログ制御とデジタル制御

一切の損失のない理想定常状態での Duty 比 D と入力電圧 V_{In} 、出力電圧 V_{Out} の関係は式(1.7)で表されるが、Duty 比 D 一定の条件で動作させた場合、回路損失および負荷変動によって出力電圧 V_{Out} は変動する。出力電圧 V_{Out} を一定に保つため、目標電圧 V_{Ref} と出力電圧 V_{Out} の差(エラー値) V_{Err} をゼロに近づけるようにフィードバック制御が行われる。従来は図 1.12-a)のように、エラーアンプによって取得した V_{Err} を、アナログ回路による比例・積分 (PI: Proportional and Integral) 演算によって Duty 比 D に変

換し、さらにノコギリ波と比較することで PWM 波形の矩形波とする。このような制御回路をアナログ回路で形成されていることからアナログ制御器と呼ぶ。

一方、図 1.12-b) に示すデジタル制御回路では、出力電圧 V_{out} は制御用 MPU (Micro-Processing Unit) に内蔵された ADC (Analog-Digital Converter : AD 変換器) により、離散的なデジタルデータとして取り込まれ、MPU 上のプログラムとして実装されたデジタル制御器によって Duty 比に変換される。アナログ制御器では、出力電圧に含まれるリップル電圧およびスイッチングノイズ (図 1.13-a) は比例・積分演算時にアナログフィルタによって同時に除去される。デジタル制御電源では、リップル電圧は主にアナログの Anti-Aliasing Filter により、制御周波数で ADC の LSB (Least Significant Bit: 最小有効 Bit) 以下になるように抑制 (図 1.13-b) され、さらにサンプリングをスイッチングノイズの影響が少ないスイッチ on/off の中間で行うことでノイズの影響を低減する (図 1.13-c)。

デジタル制御器は、従来のアナログ制御器と比較して、

1. 電源動作中の制御パラメータの変更が容易で高効率電源が作りやすい
2. 部品点数が少なく、プログラムそのものは経年劣化の影響を受けないので信頼性が高い

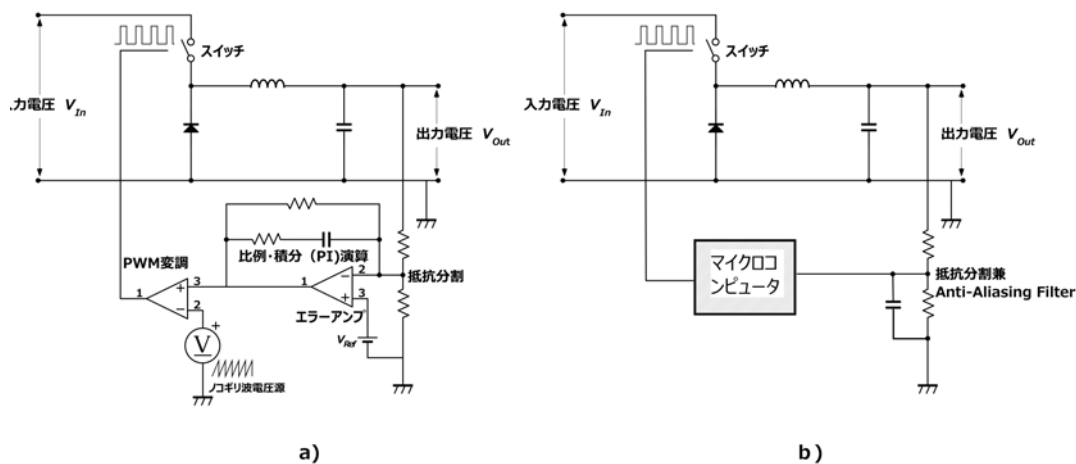


図 1.12 制御方式の模式図。a) アナログ制御電源回路、b) デジタル制御電源回路

3. マイコンを通じて外部との通信が可能で上位システムや冗長電源との連係動作が可能
4. データを時系列で蓄積、比較するトレンド評価が可能で状態変化の検出が容易
5. 回路、部品の追加なしに新たな機能をプログラムとして追加できるので拡張性が高く高機能化が容易

といった特徴を持っている。

以下、電源のデジタル制御の歴史に関して簡単に紹介する。Krein⁽³⁰⁾³⁰⁾は、デジタル制御電源に関し、電源制御のどこでデジタル処理が行われているかによって3世代に分類している。

第1世代のデジタル制御電源では、デジタル処理は制御ループの外側で動作し、電源の監視、通信、設定変更等を担当するものでデジタル制御電源というよりは、デジタル電源と呼ぶべきものである。現在、セミデジタル制御、デジタルアシスト制御電源とよばれているものがこれにあたる。

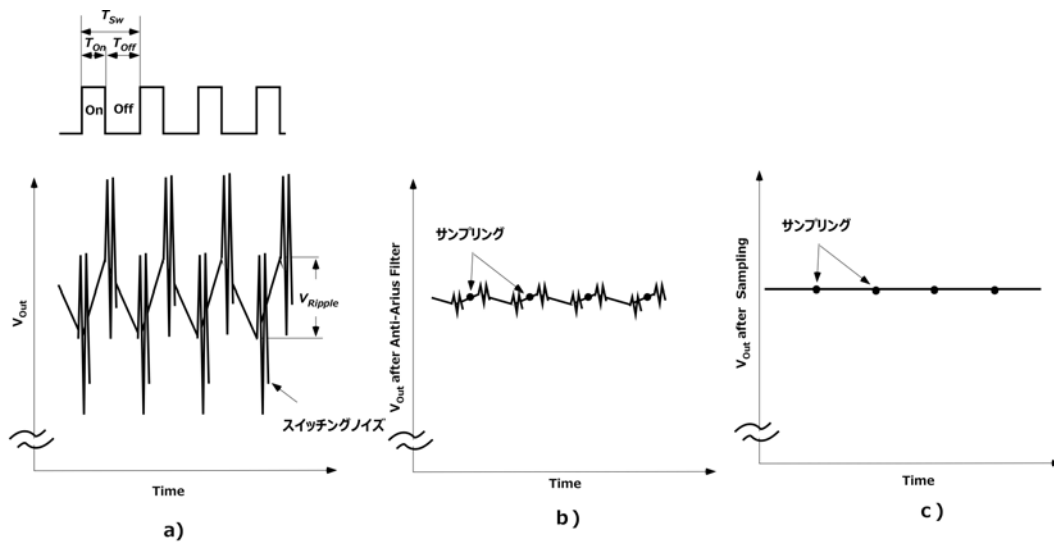


図 1.13 デジタル制御電源でのスイッチングノイズ除去。a) スwitchingタイミングと出力電圧 V_{out} 波形、b) Anti-Aliasing フィルタ通過後の出力電圧 V_{out} 波形、c) サンプリング後の出力電圧 V_{out} 波形

第2世代のデジタル制御電源では、デジタル処理が制御ループ内で動作し、制御周期内での Duty 比計算処理を行う。いわゆるフルデジタル電源といわれるものがこれにあたる。

第3世代のデジタル制御電源では、デジタル処理でリアルタイムにスイッチング素子を制御する。フィードバック制御の制御周期よりも短い周期での制御が行われる。デジタルコントローラに要求される計算リソースが非常に大きいため、現在でも実用化された物は見当たらず、むしろデジタル制御をアナログでアシストするような実装が行われている。

最初のデジタル電源は 1970 年代にベル研で開発された VCO (Voltage-Controlled Oscillator: 電圧制御発信機) とデジタルカウンタを組み合わせたもの^{(32), (33)}である。VCO を ADC として使用しており、VCO の出力に接続されたデジタルカウンタが、VCO の入力電圧が高くなるほど高速にカウントアップすることを利用している。回部供給のクロックに同期させて、カウンタのリセットとスイッチのオンを行い、カウンタが閾値を超えたところでスイッチをオフすることで T_{on} を制御し、出力電圧を制御する。デジタルカウンタを用いていることでデジタル制御といわれているが、ソフトウェアによる制御ではない、サンプルホールドによる無駄時間が無いという点ではアナログ制御に近い物となっている。Krein の定義においては第1世代以前のデジタル電源というべきだと思われる。

MPU を用いたソフトウェア制御では、90 年代に TI の DSP (Digital Signal Processor) TMS320E15 を用いたフルデジタル制御 DC-DC コンバータが報告されている⁽⁴⁶⁾。当時は AD コンバータも外付けで、クロックも 5 MHz と低速でありスイッチング周波数 50 kHz でも、1 周期以内に Duty 比の計算が間に合わず、アナログ制御と比べても応答特性は限られたものとなっていた。また、DSP そのものの価格も高価であったため、デジタル制御電源の実用化には DSP の高性能化、低価格化を待たなくてはならなかった。

現在では、ADC、PWM モジュールといった周辺回路を内蔵した電源制御用 DSP の低価格が進み、コンシューマ電源にもデジタル制御が適用されるようになってきている。

特に第1世代のデジタル電源は広く使われており、ICT 機器用電源の大半に PMBUS⁽³¹⁾

を初めとする通信機能が搭載されている。アナログ制御の応答性とデジタル制御のフレキシビリティを兼ね備えた制御方法としてデジタルアシスト制御とよばれている電源では、フィードバックループはアナログ制御で行い、外部機器との通信や出力電圧の調整、校正等を安価なマイコンを通じて行う（例えば⁽³⁷⁾）ものや、比較的低速の電圧制御をデジタルで、高速が必要な電流制御をアナログで行う PFC (Power Factor Collection: 力率改善) 回路⁽³⁸⁾等が提唱されている。

第 2 世代のフルデジタル制御電源は、第 1 世代のセミデジタル制御電源と比較しても普及が遅れており、特に高性能、高効率電源を中心に適用が始まっている。電源動作中のデッドタイム精密制御による高効率化⁽³⁴⁾、効率最適化のための自動校正⁽³⁵⁾、⁽³⁶⁾等はフルデジタル制御ならではの技術であり 80 PLUS を初めとする高効率電源の実現に大きく貢献している。

著者の提案するデジタル制御に基づく故障予測技術も第 2 世代のフルデジタル制御ならではの技術となる。デジタル制御器自身に、自分が計算した Duty 比を監視させ部品の劣化、故障予兆を検出させる。これまで電源制御用 MPU が常時取得していたにもかかわらず、捨ててしまっていた情報を有効活用することで、追加部品なしに電源に新たな価値を与える物であると考えている。

デジタル制御の弱点である高速応答を実現するための研究も進められている。単純に AD のサンプリング周期および制御周期を上げるだけでは、超高速、高クロックの ADC および MPU が必要になり、コストおよび消費電力の点で現実的でないため、オン直後の電流値とその傾きから、ピーク電流値を計算で予測して制御を行うもの⁽³⁹⁾、過渡状態では出力容量と電流から計算される電圧が定常値に戻るまでの時間まで、スイッチの状態を固定しその後通常制御に戻す方法⁽⁴⁰⁾、Duty 比から求めた T_{On} と遅延バッファを用いスイッチがオフする寸前のピーク電流を測定して制御する⁽⁴¹⁾、⁽⁴²⁾手法等が提案されている。

最新の制御方式を実装するにあたり、電源制御用 DSP では演算能力が足りない場合には、より高速な FPGA による実装⁽⁴²⁾、⁽⁴³⁾も検討されているが、現状 DSP と比較して高コストであり、商用の電源に採用されるには、DSP 同様の低価格化が望まれる。

以上、述べてきたように、電源のデジタル制御化の研究および実用化は、高効率化、高速応答化を中心に進められてきた。本研究では、その適用範囲を高信頼性、保守コストの低減へと広げ、追加部品なしに電源制御用 MPU への実装可能な故障予測技術の確立を目指している。

1.2.5.3 電源のモデルベース開発技術

前項で述べたように、デジタル制御は高性能、高効率、高機能な電源装置の実現のためには有効な手法であるが、設計、開発が容易ではなくデバッグが長期化しやすいという問題がある。アナログ制御電源では、制御半導体メーカーに提供されたリファレンスデザインを元に設計を行うことができるが、デジタル制御電源ではハードとソフトの開発を同時に行わなくてはならず、個別に開発したハード、ソフトの結合試験で問題が発生した場合、原因がソフト側にあるのかハード側にあるのかを切り分けるのが非常に困難になるのである。

特に新制御方式や新機能を搭載した電源を開発する際には、既存のアナログ制御チップそのものがないため、すべてを新規に作成せざるを得ない。通常の組み込みソフトウェアであれば、デバッグを用いて任意の箇所でソフトの実行を停止することで、変数や条件分岐の確認が可能であるが、電源において制御の停止は電源の破壊に直結するため、停止可能なタイミングが非常に限られてしまう。デバック用のプログラムを追加することで観測したい瞬間の変数を一旦不揮発性メモリに待避し、安全に停止させた後で任意の瞬間の変数値を確認することも不可能ではないが、リソースの限られた MPU 上では、不揮発性メモリへの書き込み処理や変更したプログラムそのものが新たな問題の原因になることも多く容易ではない。

このような観点から米澤らは、新たな設計、開発スキームとして、従来、航空機や自動車の開発に使われてきたモデルベース開発技術⁽⁹²⁾⁻⁽⁹⁴⁾をデジタル制御電源の開発に適用した⁽¹⁰⁹⁾⁻⁽¹¹⁵⁾ (図 1.14)。

モデルベース開発技術は、モデルによるシミュレーションを最大限に活用して開発を進める所に特徴がある。図 1.14 に示したように、デジタル制御電源のモデルベース

開発においても、航空機、自動車のモデルベース開発と同様、Vプロセスに従って、MILS (Model in the Loop Simulation)、RCP (Rapid Control Prototyping)、PCG (Production Code Generation)、HILS (Hardware in the Loop Simulation)、最終結合テストの順で開発を進める。その中でも、デジタル制御電源の開発では特に MILS、RCP、PCG の工程に特徴がある。

まず制御系 (ソフトウェア) と回路系 (ハードウェア) をすべてモデル化して動作設計を行う MILS (Model in the Loop Simulation) から開始し、回路動作と制御モデルの妥当性を評価する。電源回路のモデル化に用いられる回路シミュレータとしては、スイッチング時の過渡現象を扱うことのできる SPICE 系のシミュレータ⁽¹⁰⁵⁾と PSIM⁽¹⁰⁶⁾、PLECS⁽¹⁰⁷⁾等の理想素子を使うことで忠実度は劣るもののより高速な動作が可能なシミュレータが存在する。

電源設計において電源効率の最適化が必要な場合は、制御設計を行う前に、寄生容量、寄生インダクタンスまで考慮した基板レイアウトの評価、スイッチング損失と抵抗損のトレードオフの評価が可能な SPICE シミュレーションを実施し、最適な基板レイアウトと部品選択を行う⁽¹¹⁴⁾。一方、制御設計ではより長時間のシミュレーションが必要なことが多く、理想素子を用いたシミュレータが適している。そこで、電源効率の最適化には、SPICE の中でも電源シミュレーションに特化して高速な LTSPICE⁽¹⁰⁸⁾、制御設計には制御シミュレータ MATLAB/Simulink⁽¹²⁵⁾と統合環境上での連成が可能であることから PLECS⁽¹⁰⁷⁾を用いている。

MILS 工程での動作確認の後、回路モデルのみを実回路に置き換える RCP (Rapid Control Prototyping) 工程を行う⁽¹⁰⁹⁾。ここでは、MILS 工程で動作確認した制御モデルを制御エミュレータ上で動作させ、実回路を制御させる。電源の最終的な製品で用いる MPU による動作と異なり、制御アルゴリズムを特定の MPU 用にコーディングする必要が無いため、新たなバグの混入が防止できる。また、メモリ、クロックともリソースに余裕のある制御エミュレータを用いることで、任意の瞬間に MPU が操作しているデータを取得しての評価が可能となる。RCP 工程で不具合が発見された場合には、すでに MILS 工程で動作確認が済んでいる制御モデルをそのまま使用していることから、回路モデルと

実回路の乖離が原因と考えられ、ハード、ソフトを独立にデバッグすることができる。

RCP 工程で検証された制御モデルは PCG 工程で、電源制御用 MPU に適応したファームウェアに自動変換される⁽¹¹⁰⁾。ここでも RCP 工程と同じく、ハンドコーディングを排除したことで新たなバグの混入を防いでいる。

PCG 工程の後、回路モデルを用いて MPU 上に実装したファームウェアの動作を検証する HILS、MPU で実回路を動作させる結合テストの順で、モデルと実機を順々に置き換えながら開発を行う。各段階で、バグを潰していくことで手戻りを短くし、デバック期間を短縮する。

モデルベース開発技術はもともと自動車や航空機の制御が主目的であったため、要求される応答速度も 10 ms オーダで比較的遅く、既存システムを使った電源への適用も制御周期として kHz オーダのものに限られていた (RCP に関して⁽⁹⁵⁾⁻⁽⁹⁹⁾、PCG に関して⁽¹⁰⁰⁾⁻⁽¹⁰³⁾)。

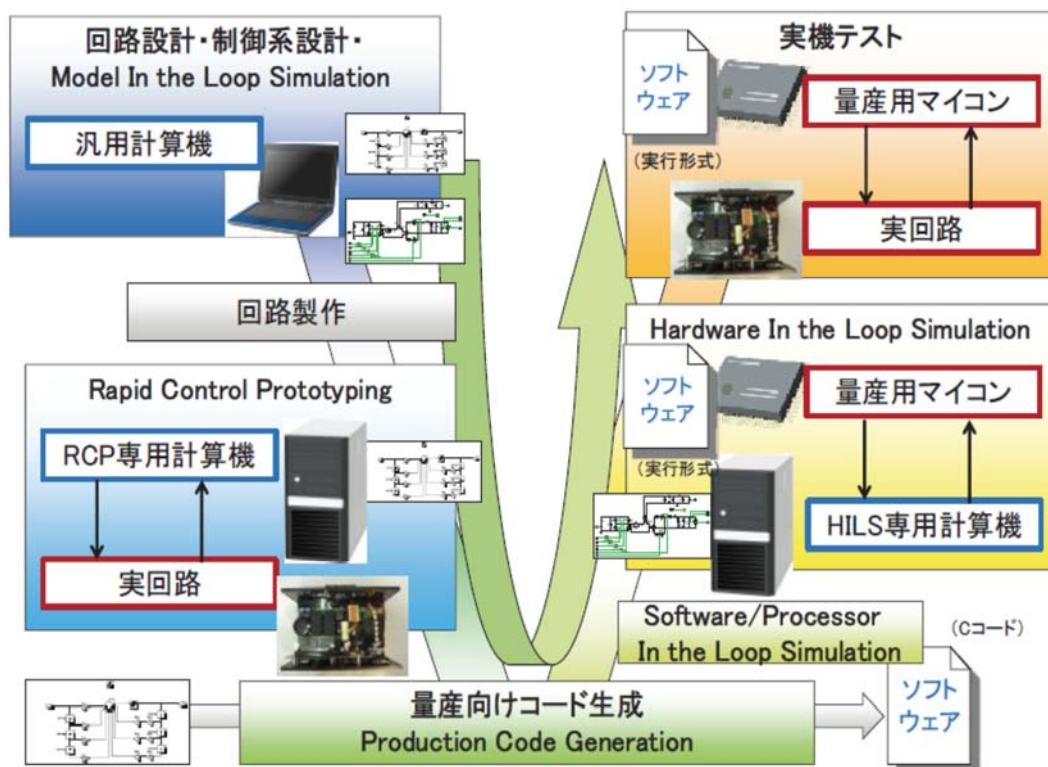


図 1.14 モデルベースによるデジタル制御電源の開発スキーム⁽¹⁰⁹⁾

それに対して負荷変動が大きく、ms オーダの高速応答が要求される ICT 機器用電源の制御には、100 kHz 以上の制御周波数が必要になるため、高周波対応の I/O ボードを開発して市販の RCP システム（制御エミュレータ）⁽¹⁰⁹⁾を高速化した。さらに、PCG システム⁽¹¹⁰⁾においても、MATLAB/Simulink 環境内でモデル内に配置された各ブロックの動作優先度を規定するブロック、および、アセンブラライブラリの呼び出しを可能にするブロックを開発し実電源の動作に対応できる高効率なファームウェアが生成できるようになった。

現在は、電源対応の HILS システムも構築⁽¹¹³⁾済みで、さらに、電源製品の試作、開発^{(114), (115)}にも適用を進めている。

本論文で述べるデジタル制御電源の故障予測技術の開発には、上記電源モデルベース開発システムを使用している。新技術の開発、実装においてモデルベース開発技術の適用は大きなメリットがある。

特に RCP システムを導入したことにより、プロービングによるノイズ混入の懸念を抑えたいうえで、電源動作中の MPU 上の変数、特に実際に取り込んでいるデータをすべて取得しての解析が可能になったことは特筆すべきことと考える。これにより従来の製品用 MPU にファームを実装しての評価では実現できなかった実データを用いた検出アルゴリズム検討が可能になった。さらに新機能を能力の限られた MPU 上に実装する前に、目標とする新技術の実装に必要な AD 分解能、S/N 比、MPU リソースを見積もることが可能になり、これが著者によるデジタル電源の故障予測技術の開発に大きく貢献した。

1.3 まとめ

最後に本章のまとめとして、本論文の構成について述べる。

第 1 章では、まず、従来行われてきた事後保全から、信頼性向上、メンテナンスコスト削減を目指して移行が進んできた予防保全、予知保全の考え方を紹介する中で故障予測技術の必要性を明らかにした。ついで、故障予測を実現するための 2 つのアプローチ、統計学的手法と実測的手法を先行研究とともに紹介した。特に本論文でのアプロー

チである実測的手法に関しては、電源故障の原因となる部品を列挙した上で、そのそれぞれについて先行研究を紹介し、課題を明らかにした。ついで、デジタル制御電源の開発の歴史を紹介した上で、これまでに著者の属する研究グループで開発されてきたデジタル制御電源のモデルベース開発技術を紹介し、デジタル制御電源の故障予測技術の前提条件を示した。

第 2 章では、電源における故障部品の中でも最大の故障率を持つ物として知られている電解コンデンサの故障予測技術について論じた。まず、先行研究の中でも電源動作中のオンライン評価が可能で遠隔監視に向いている物をいくつか紹介したうえでいずれも追加回路が必要でコストアップにつながるものが、実用化の妨げになっているという課題を明らかにした。

ついで、本論文で提案する負荷編同時の過渡応答による電解コンデンサの ESR 劣化検出および故障予測法に関して詳述した。本方式はデジタル制御電源の制御用マイコンが制御のために常時取り込んでいるデータのみで評価が可能で、マイコン上のファームウェアとして実装可能なため追加回路が不要という特徴を持っている。評価方法としては、2 種類の方法を提案した。一つは過渡応答時の電圧変動量増加を使って評価する物で、もう一つは、ESR 増加時の制御不安定性発現を利用して評価する方法である。なお、後者の制御不安定性はデジタル制御時特有のサンプリングから制御値反映までの間のむだ時間に起因するものであり数値解析によりその動作を明らかにした。シミュレーションおよび制御エミュレータを用いた実機検証により、いずれの手法でも電解コンデンサの寿命といわれる ESR 数倍の増加を検出するには十分な感度を持っていることを確認した。現在、実電源での評価を進めている。

第 3 章では、別の故障部品として、制御用半導体、パワー半導体の劣化を取り扱った。制御用半導体の例としては、電流、電圧検出回路用のフォトカプラを題材にした。フォトカプラの劣化は、出力電圧のドリフト、過電圧、過電流の未検出による発火、発煙故障の発生といった重大障害に直結するため、従来から補償回路付きの高機能 IC が使用されているがやはりコスト増の原因となる。制御用マイコンが常時監視しているデータのみでの評価を可能とするため、定常動作中の Duty 比のトレンド監視による劣化

検出法を提案した。同手法によりパワー半導体の劣化を含む電源全体の効率劣化も検出できることを示した。出力電圧のドリフトとして1%以下、効率劣化においても%オーダーの劣化を検出することが可能で、電源の劣化検出法として十分な分解能を持っていることを示した。

第4章では、本論文のまとめとしてデジタル制御に基づく故障予測技術のまとめと今後の展開について述べた。本手法は、デジタル制御用マイコンが常時監視しているデータのみで、ファームウェアとして実装可能という特徴をもち、追加ハードが不要でコストをかけることなくシステムの信頼性を向上できる。今後は、実機に搭載してフィールドデータを収集し、予測精度の向上を目指していく。

第2章 電解コンデンサの劣化検出および故障予測

スイッチング方式電源装置において、電解コンデンサが最大の故障率を持つ部品であり、電源の通常動作中にその劣化を評価する方法が求められていることは第一章で述べた。本章では、著者が開発した負荷変動時の過渡応答劣化を利用した電解コンデンサのリアルタイム劣化評価/故障予測技術^{(81)-(84), (123), (124)} について述べる。

2.1 先行研究の紹介

これまでも電解コンデンサのリアルタイム劣化評価を目指した手法は複数提案されている^{(9), (73)-(80)}。これらは大まかに分けて2種類の手法に分けることができる。

第一の手法は、出力電圧 V_{Out} に含まれるリップル電圧 V_{Ripple} を、スイッチング周波数 f_{SW} に通過帯域を合わせたバンドパスフィルタで抽出、評価することで ESR の劣化を評価する手法である^{(9), (73), (75)}。リップル電圧 V_{Ripple} 、コンデンサに流れるリップル電流 I_{Ripple} と ESR R_{ESR} の間には、

$$V_{Ripple} = I_{Ripple} \cdot R_{ESR} \quad \dots (2.1)$$

の関係があり、1.3.1 で述べたように定常状態で I_{Ripple} は一定になるため、ESR の劣化を V_{Ripple} の変化として検出することができる。

原田ら⁽⁷³⁾は、加速劣化させた電解コンデンサの重量変化すなわち電解液の減少量と容量、ESR の関係を実測し、劣化時には容量、ESR に対してそれぞれ、数十%、数倍以上の変化が起きることをしめした。さらに、劣化前後のコンデンサ（劣化後、容量40%減、ESR23倍）を接続したDC-DCコンバータを用い、出力電圧リップル V_{Ripple} に差が現れこれを劣化指標として用いることができることを示した。

さらに、A. Lahyani ら⁽⁹⁾は、PWM（パルス幅制御：Pulse Width Modulation）タイプと、PFM（周波数制御：Pulse Frequency Modulation）タイプの降圧コンバータに関して、透過周波数の中央をスイッチング周波数 f_{SW} の中央に合わせたバンドパスフィル

タを用いて、スイッチングリップル V_{Ripple} を評価して ESR のリアルタイム評価が可能なことを初めて示した。同時に負荷変動が V_{Ripple} に大きな影響を与える（図 2.1）ため、バンドパスフィルタの設計が重要であることを示した。

Chen⁽⁷⁵⁾らは同様の手法によりコンデンサのリップル電圧のみからでも ESR の評価が可能であることを示しているが、負荷変動の影響には言及していない。

第二の手法はコンデンサに流れる電流 I_c と両端電圧 V_c から直接 ESR を評価する方法である。

Abdennadher^{(76), (77)}らは、ローパス、ハイパスフィルタとカルマンフィルタを組み合わせることでコンデンサに流れるリップル電流 I_c とリップル電圧 V_c を求めそこから ESR を評価する方法を示した。また、Vogelsberger ら⁽⁷⁹⁾はインバータ用の大型コンデンサ用としてではあるが、動作電源、MPU、無線インターフェース、RF アンテナまで含めてスタンダードアローンの 1 モジュールとして基板実装し、既存のインバータ用コンデンサの端子に挟み込む形で後付することを提案している（図 2.2）。

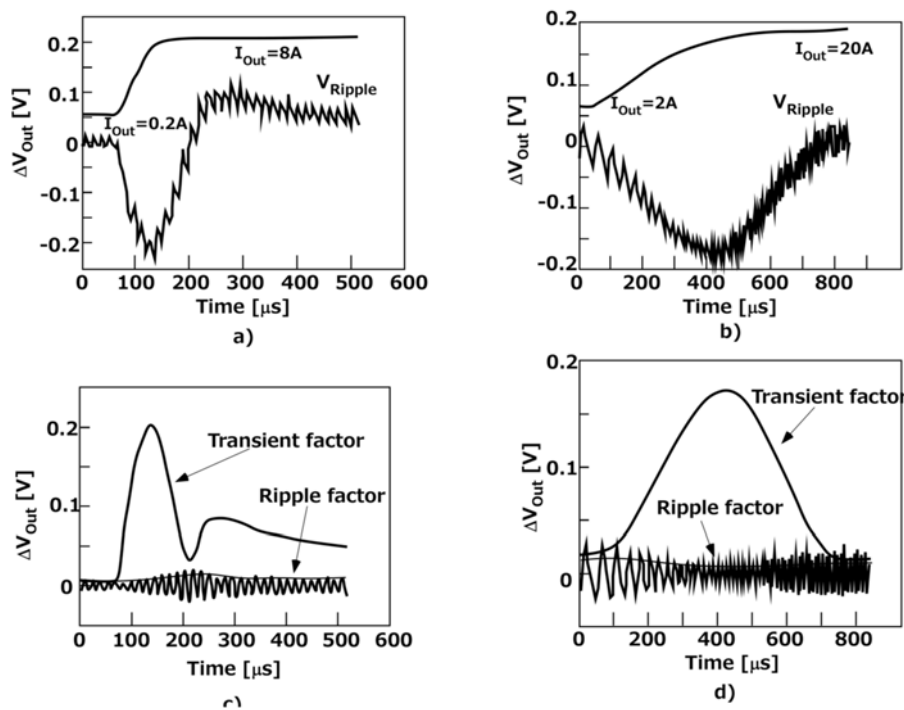


図 2.1 Lahyani らが示した負荷変動がリップル電圧 V_{Ripple} に与える影響。 a), c) PWM 型 DC-DC コンバータ、b), d) PFM 型 DC-DC コンバータの場合

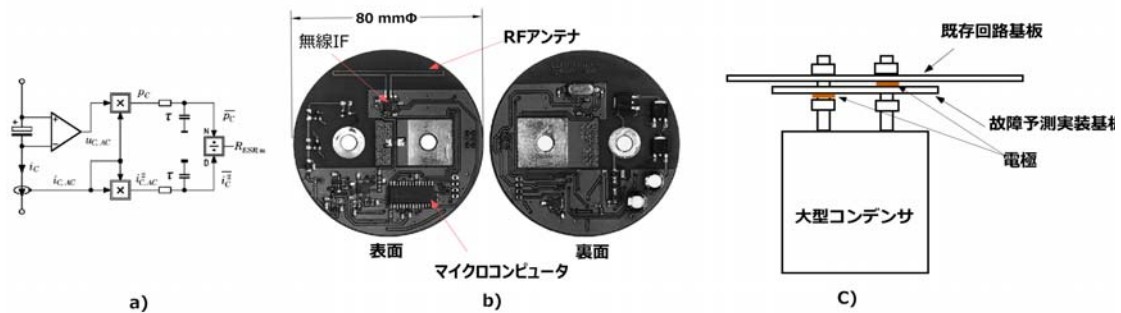


図 2.2 Vogelsberger らによる劣化検出法。 a) ESR の評価方法のブロック図、b) 実装基板、c) 実装方法 (Vogelsberger et al. ©2011 IEEE)

ADC を用いてリップル電流波形 I_{Ripple} 、リップル電圧波形 V_{Ripple} を評価するためにはスイッチング周期 T_{Sw} の中で複数回のサンプリングが必要となるため、高速、高分解能の ADC が必要になる。Pang⁽⁷⁸⁾らは、1 周期毎にサンプリングタイミングをずらすことで複数回のスイッチングからリップル電流 I_{Ripple} 、リップル電圧 V_{Ripple} を再現することを提案している。比較的低速の ADC でも実装可能であり、ADC のポート数に余裕がある場合には有効と思われる。

そのほかにも、電源回路そのものにゲイン-フェーズ評価回路を組み込む手法等も提案されているが、通常動作中のリアルタイム評価に応用することは難しい⁽⁸⁰⁾。

2.2 過渡応答における電圧変動量検出による故障予測

2.1 項では、これまでに提案されてきた電解コンデンサの劣化のリアルタイム評価法を紹介したが、これらには共通して以下のような課題が存在する。

リップル電圧 V_{Ripple} は、通常出力電圧 V_{Out} の 1%以下のオーダーであり、抽出には高ゲイン、高 Q のバンドパスフィルタが必要になる。

1.3.2 項で述べたようにデジタル制御電源ではリップル電圧 V_{Ripple} は、Anti-Aliasing Filter によって遮断されている、さらに、サンプリング回数も通常は 1 回/スイッチング以下であり、リップル電圧 V_{Ripple} 波形の評価には、高速サンプリングが可能な追加の ADC 等が必要になる。

いずれも、実装面積の拡大、コストアップにつながる課題であり、故障予測技術の実用化を妨げてきた理由の一つとなっている。

以上の観点から著者は、負荷変動時の出力電圧過渡応答に着目し、デジタル制御電源が常時出力電圧制御のために取得しているデータのみから、電解コンデンサの劣化検出および故障予測を行う手法を提案した。2.2 項では負荷変動時の最大変動量評価による手法、2.3 項では過渡応答時の不安定性評価による手法に関して詳述する。

2.2.1 提案する ESR 劣化検出法

デジタル制御電源のコントローラーである MPU が出力電圧制御、および過電流、過電圧保護のために常時取得している主なパラメータは、入力電圧 V_{In} 、入力電流 I_{In} 、出力電圧 V_{Out} 、出力電流 I_{Out} の4つであり、この4つのパラメータから劣化検出および故障予測ができれば、追加回路なし、コスト増なしの劣化検出および故障予測が実現できる。

追加回路なし、通常の回路で取り込んでいるパラメータのみという条件のもとで検討した場合、2.1 項でも述べたように、リップル電圧 V_{Ripple} は ADC でデータを取り込む前に Anti-Aliasing Filter とサンプリングによって除去されてしまっているため、リップル電圧 V_c から ESR を評価する手法は適用が難しい。リップル電流 I_{Ripple} およびリップル電圧 V_{Ripple} から直接 ESR を評価する手法も、スイッチング周波数 f_{sw} よりも高速の ADC を用いて MPU 上で IV 波形を再現する必要があり条件を満たさない。

そこで筆者らは、負荷急変時の出力電圧 V_{Out} の変動量 ΔV_{Out} を用いた ESR 評価方法を検討した^{(81), (83)}。

Basso⁽¹⁰⁴⁾らによると、電解コンデンサの ESR R_{ESR} とリップル電圧 V_{Ripple} 、負荷急変時の出力電流 I_{Out} の変動量 ΔI_{Out} 、出力電圧 V_{Out} の変動量 ΔV_{Out} の間には以下の関係がある。

$$V_{Ripple} = I_{Ripple} \cdot R_{ESR} \quad \dots (2.2)$$

$$\Delta V_{Out} = \Delta I_{Out} \cdot R_{ESR} + f(C_{Out}, f_c, \Delta I_{Out}) \quad \dots (2.3)$$

ここに f_c : 電源のクロスオーバー周波数であり、式(2.3)の第1項は負荷急変時にESRを通してコンデンサから流出する電流に関する項、第2項は電源の応答に関する項である(図2.3-a)。

以下、出力電流 I_{out} が増加する場合について論ずる。減少する場合も符号が反転するだけで同等の扱いが可能である。

一般に、 ΔV_{out} は V_{Ripple} よりも一桁以上大きく検出が容易である。さらに、Anti-Aliasing Filterの遮断周波数は、クロスオーバー周波数の2倍以上に設定されているため、リップル電圧 V_{Ripple} と異なり、Anti-Aliasing Filterで減衰されずにMPUに入力されるデータとして評価できる。

一方、式(2.3)の第2項であるが、通常高効率電源では、 R_{ESR} は負荷 R_{Load} と比較して十分小さいため、応答時間 τ は主に負荷 R_{Load} とコンデンサ容量 C に支配される。容量 C の劣化量は1.2.4.1で述べたようにコンデンサの寿命時点でもたかだか20%であり、応答時間 τ の変化量は小さいと考えると、その間にコンデンサから引き抜かれて負荷 R_{Load} に供給されるエネルギー ΔP は、出力電圧 V_{out} からESR成分による電圧降下分を引いた物を V_c 、 V'_c として、

$$\begin{aligned}\Delta P &= \Delta I_{out} \cdot V_{out} \cdot \tau \\ &= \frac{1}{2} C \cdot V_{out}^2 - \frac{1}{2} C \cdot V_c^2 && \text{(劣化前)} \\ &= \frac{1}{2} C' \cdot V_{out}^2 - \frac{1}{2} C' \cdot V_c'^2 && \text{(劣化後)}\end{aligned} \quad \dots(2.4)$$

となる。

このとき、 $f(C_{out}, f_c, \Delta I_{out})$ の項の変化量 $\Delta f(C_{out}, f_c, \Delta I_{out})$ は、

$$\begin{aligned}\Delta f(C_{out}, f_c, \Delta I_{out}) &= V_c - V_c' \\ &\approx \sqrt{\left(V_{out}^2 - 2 \cdot \frac{\Delta P}{C}\right)} - \sqrt{\left(V_{out}^2 - 2 \cdot \frac{\Delta P}{C'}\right)}\end{aligned}$$

$$\approx \Delta I_{Out} \cdot \tau \cdot \left(\frac{1}{C} - \frac{1}{C'} \right) \quad \dots(2.5)$$

となる。

最終的にコンデンサ劣化前後の R_{ESR} の変化量を ΔR_{ESR} 、出力電圧 V_{Out} の変動量 ΔV_{Out} の差分を $\Delta^2 V_{Out}$ と表記すると、

$$\Delta^2 V_{Out} \approx \Delta I_{Out} \cdot \left(\Delta R_{ESR} + \tau \cdot \left(\frac{1}{C'} - \frac{1}{C} \right) \right) \quad \dots(2.6)$$

と表記できる。

式(2.6)より、コンデンサの劣化前後の出力電圧の変化量の差分は、コンデンサ ESR の劣化量 ΔR_{ESR} 、応答時間 τ 、コンデンサ容量の逆数の差分に影響されることがわかる。例えば、コンデンサ容量 $C = 7.5 \text{ mF}$ 、ESR $R_{ESR} = 6.2 \text{ m}\Omega$ 、応答時間 $\tau = 0.1 \text{ ms}$ として、劣化後に容量 20%減、ESR 3 倍になったとすると、 ΔR_{ESR} は10 m Ω オーダの増加、 $\tau \cdot \left(\frac{1}{C'} - \frac{1}{C} \right)$ は1 m Ω オーダの増加となり $\Delta^2 V_{Out}$ では ΔR_{ESR} が支配的であることがわかる。これは、本研究で用いたテストベッドの回路パラメータに合わせたものである。なお、回路パラメータの詳細については、2.2.2 項で記載している。

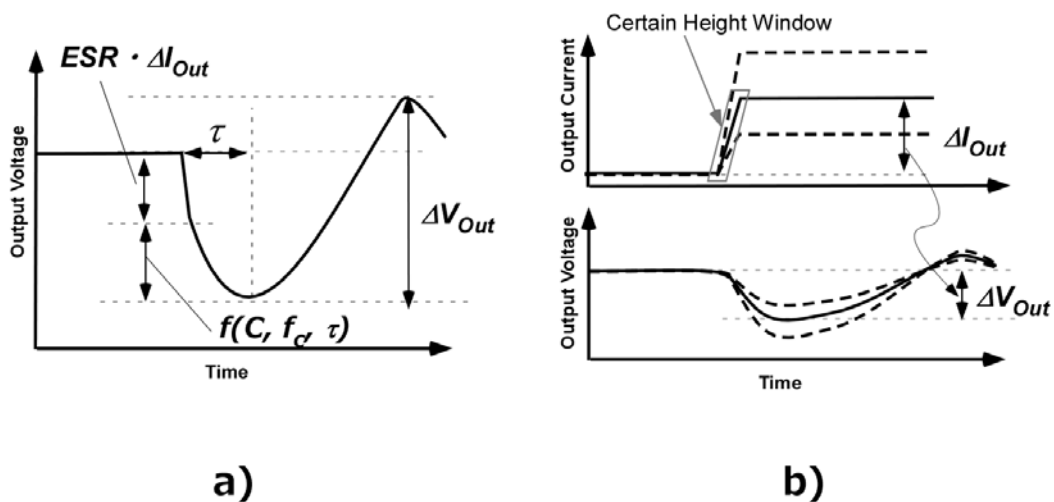


図 2.3 提案する ESR 評価法の模式図。 a) 負荷急変時の電圧応答波形、 b) 負荷急変時の電圧変動量監視による ESR 評価方法

$\Delta^2 V_{Out}$ を使って、ESR の劣化を評価するためには、特定の負荷変動 ΔI_{Out} に対する $\Delta^2 V_{Out}$ を評価する必要がある（図 2.3-b）が、ICT 機器においては、スタンバイから通常動作への切り替え、定時バックアップ、定期的な管理ジョブの起動等、定期的に特定の負荷変動が起きる⁽⁸⁵⁾ことは珍しくない。常時一定負荷で動いているシステムにおいても、冷却ファンの回転数を変える、評価用のジョブを動作させる等の方法により意図的に負荷変動を起こすことも可能であり方法式の適用は難しくない。

2.2.2 SPICE シミュレーションによる検討

前項で示した ESR 評価方法の検証のため、まず SPICE シミュレーションによる検討を行った。テストベッドとしては、図 2.4 に示すフルブリッジ電源回路を使用した。

本回路は、TI 製 デジタル制御電源評価キット TIDM-PSFB-DCDC⁽⁸⁶⁾ を RCP システムに接続できるように改造した物で、2 ステージ型 ICT 機器用電源の PFC (Power Factor Collection) 回路後の DC-DC 変換回路を想定している。

テストベッドの回路パラメータは表 2.1 にまとめた。Anti-Aliasing Filter はサンプリング周波数 100 kHz において、スイッチングリップルが、MPU の 3.3 V フルスケール 12bit ADC の LSB 以下になるよう、16 V フルスケールの出力電圧を分圧するとともに、遮断周波数 20 kHz あわせて設計した。本テストベッドは、本論文における標準テストベッドであり、本章だけでなく 3 章でも同じ環境を使用している。

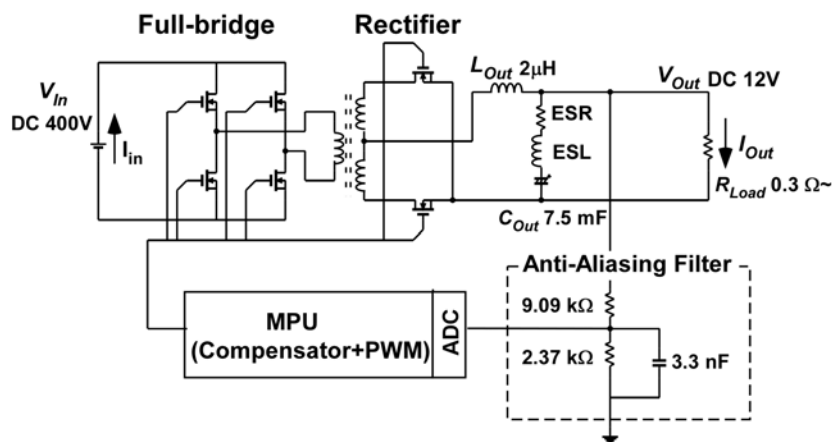


図 2.4 同期整流式フルブリッジ電源回路の模式図

表 2.1
フルブリッジ DC-DC 電源回路のパラメータ (SPICE simulation 時*, RCP 時**)

Item	Specification and parameters
Basic Structure	TI TIDM-PSFB-DCDC ⁽⁸⁶⁾ modified in Fujitsu Labs.
Circuit topology	Full bridge converter with synchronous rectifiers
Input voltage	400 V
Input voltage	400 V
Output voltage	12 V
Output Current	0 to 41.67 A
Output power	0 to 500 W
Input capacitor	330 μ F with ESR 800 m Ω
Output capacitor	7500 μ F Combined ESR is varied from 5 to 20 m Ω * EKY-160ELL152MJ30S 1500 μ F ESR 31 m Ω x 5**
Output inductor	2 μ H
Transformer	21:1 turn
Chopper FET	Infineon SPP20N60CFD
Rectifier FET	Fairchild FDP032N08
Switching frequency	100 kHz
Control frequency	100 kHz
ADC resolution**	3.3 V full-scale 11bit
AAF cutoff frequency	20 kHz
Crossover frequency	2 kHz
Compensator type	Simple integrator* / 3 pole 3 zero (Type 3 equivalent)**
Gain margin	10 dB (designed)
Phase margin	45 degrees (designed)
Controller**	RCP System
Transient load	250 Hz half-load \pm 30% with slew rate 1 A/ μ s* 50 Hz half-load \pm 10, 20, 30% with slew rate 160 mA/ μ s**

図 2.5 はテストベッドの立ち上げ時に米澤ら⁽¹⁰⁹⁾によって作成された MATLAB/Simulink 上で動作する制御モデル a)、および回路モデル b)^{(109), (110)}である。回路モデルは PLECS を用いて構成要素レベルでモデル化している。また、この制御モデルには製品化時に必要な最小限の保護機能（ソフトスタート、過電圧保護、過電流垂下、家電両

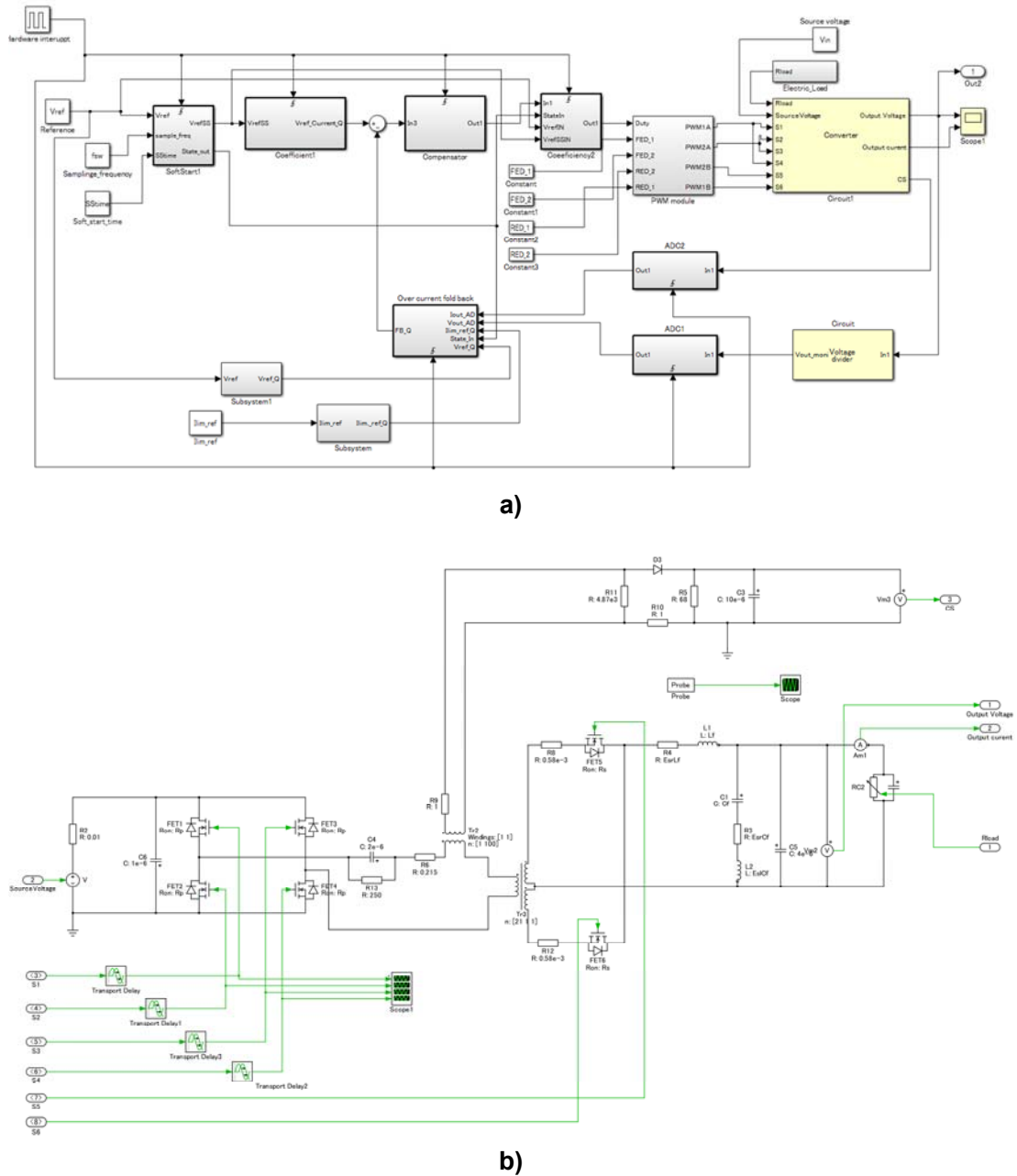
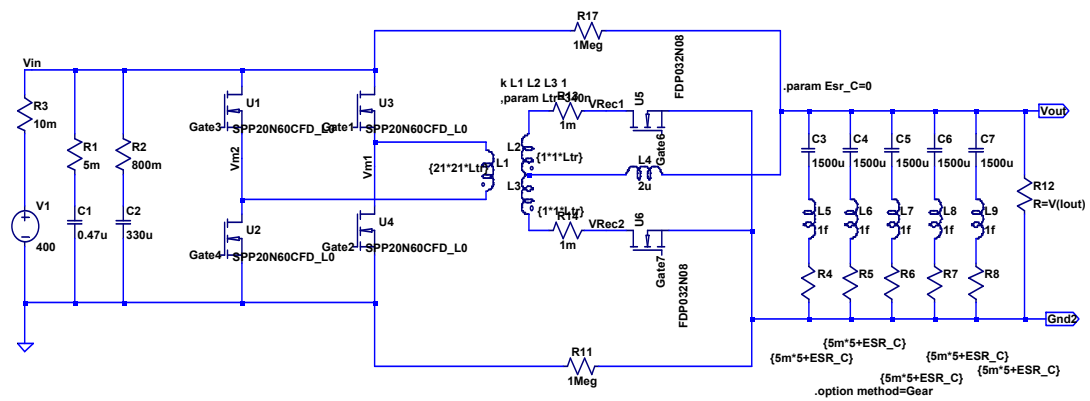


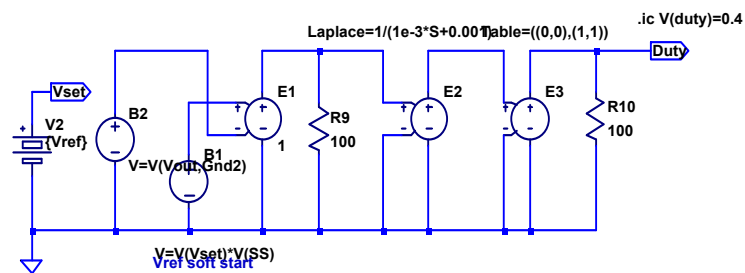
図 2.5 MATLAB/Simulink で作成した標準テストベッドのシミュレーションモデル。
a) フルブリッジコンバーターの制御モデル、 b) 回路モデル

保護) も組み込まれている。著者の行った故障予測技術の検討はこのモデルに故障予測関連のブロックを追加する形で実装した。



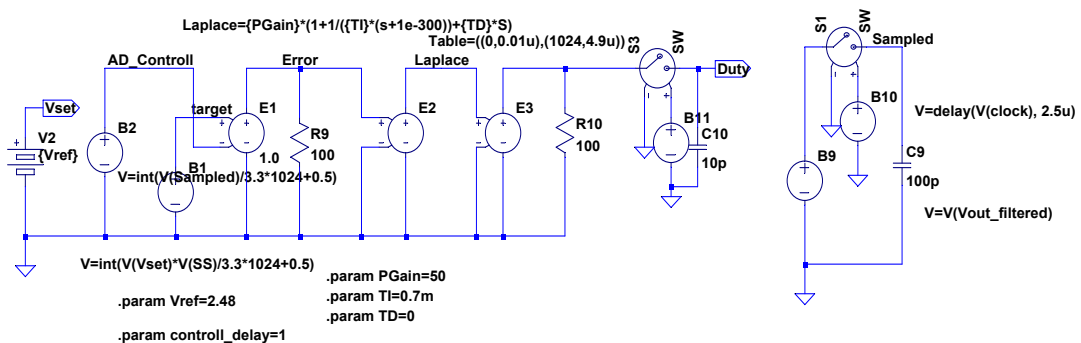
a)

Compensator



b)

Compensator



c)

図 2.6 LTSPICE⁽¹⁰⁶⁾によりモデル化した標準テストベッドのシミュレーションモデル。a) フルブリッジコンバーターの回路モデル、 b) LAPLACE 関数によるアナログ制御モデル (I 制御)、 c) デジタル制御モデル (PID 制御)

図 2.6 は、著者が LTSPICE⁽¹⁰⁶⁾によりモデル化した a) SPICE 回路モデル、b) アナログ制御回路、c) デジタル制御回路である。a) の SPICE 回路モデルでは、配線抵抗、コンデンサ ESR の劣化等も含めてモデル化した。b)、c)の制御回路では LAPLACE 関数を用いた伝達関数モデルで I 制御、PID 制御をモデル化した。c)のデジタル制御モデルでは、サンプル&ホールドを用いて離散的な出力電圧検出と PWM 出力への出力を模擬している。

負荷変動時の過渡応答評価のため 250Hz でハーフロード±30% (20±6 A) の負荷変動を与えた。シミュレーション時間節約のため、実機相当 (50~100 Hz) に対してより高周波で動作させている。ESR を変化させた場合の過渡応答時の V_{Out} 波形の変化を評価した。ESL 成分は、主にコンデンサのリード線長の成分であるが、今回のシミュレーション条件では ESR 成分に比べて十分小さく無視できる。

図 2.7-a)、b)に出力電圧 V_{Out} 波形および Anti-Aliasing Filter 通過後の $R_{ESR} \cdot \Delta I_{Out}$ 、 ΔV_{Out} 、 V_{Ripple} の ESL 依存性を示す。出力電圧 V_{Out} 波形に関しては拡大波形も囲みの中に示している。先に述べたように10 mΩの ESR に対してnHオーダの ESL は影響がないことがわかる。

図 2.7-c)、d)に出力電圧 V_{Out} 波形と $R_{ESR} \cdot \Delta I_{Out}$ 、 ΔV_{Out} 、 V_{Ripple} の ESL 依存性を示す。図 2.7-a)と同じく囲みの中には拡大波形を示している。負荷変動周波数 250 Hzが高すぎたため、ESR 最小の5 mΩ条件では、電源起動時に発生したリングングが収束しきっていないが、式(2.5)で予想される線形な ESR 依存性が確認できている。

図 2.7-e)、f)はAnti - Aliasing Filter 通過後の V_{Out} 波形である。図 2.8-e)のアナログ波形ではAnti - Aliasing Filter後も、リップル電圧 V_{Ripple} がかすかに残っているが、f)に示した100 kHzサンプリング後はリップル電圧 V_{Ripple} 成分は完全に除去されていることがわかる。これが、デジタル制御電源で MPU が取得するデータに相当する。2.1 項で述べたように、ESR 劣化検出法として、リップル電圧 V_{Ripple} を評価する場合には、より遮断周波数を高周波側にしたAnti - Aliasing Filterと高速サンプリングが可能な ADC が必要であることが確認できた。図 2.8-g)に 100 kHz サンプリング後の $R_{ESR} \cdot \Delta I_{Out}$ 、 ΔV_{Out} の ESL 依存性を示す。

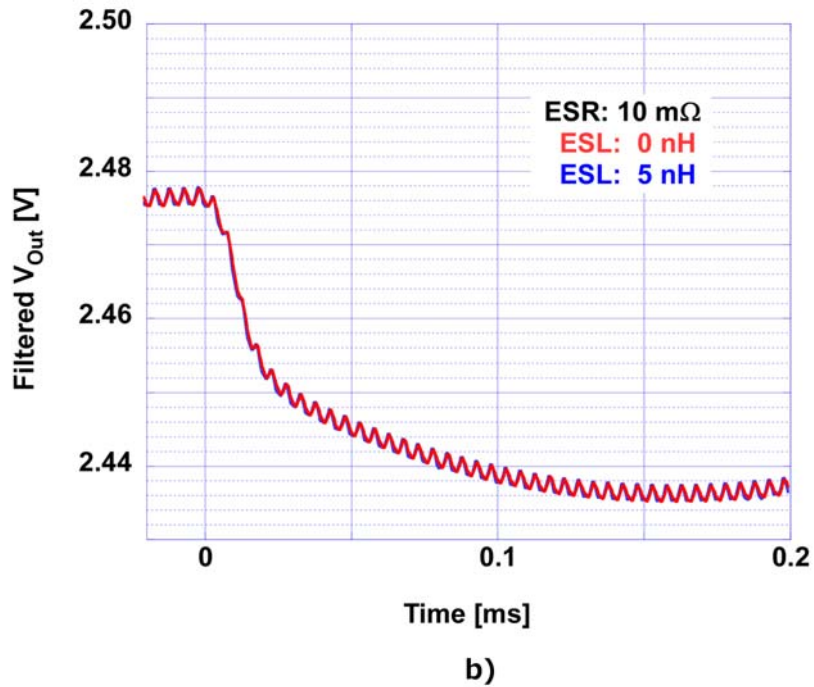
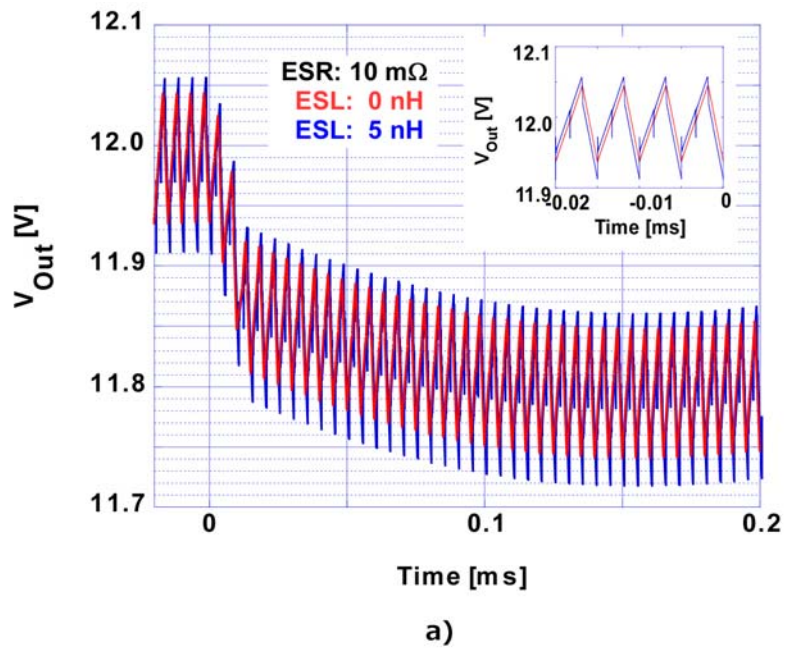


図 2.7 SPICE シミュレーションにより評価した標準テストベッドの動作波形。a) V_{Out} 波形、b) Anti - Aliasing Filter 通過後の V_{Out} 波形の ESL 依存性

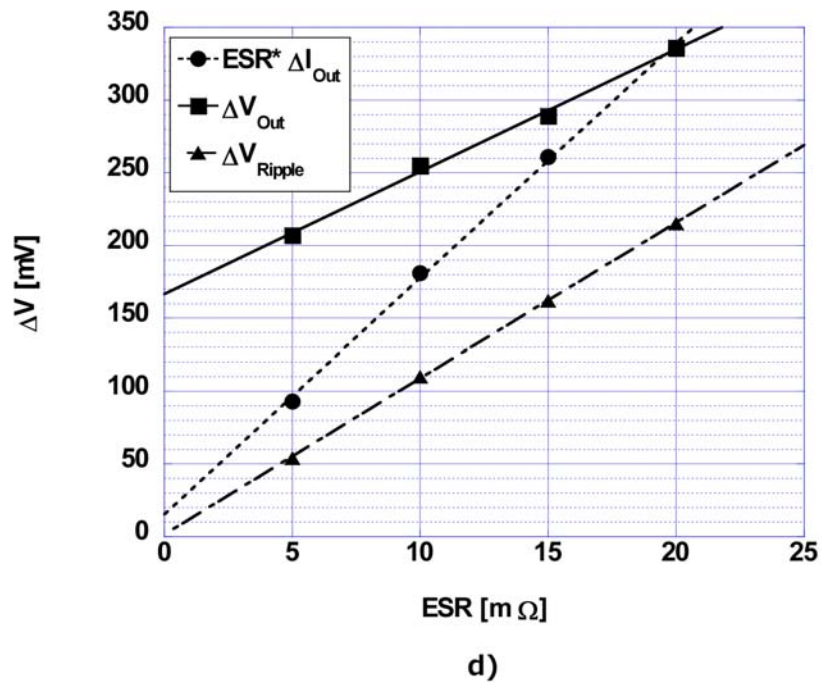
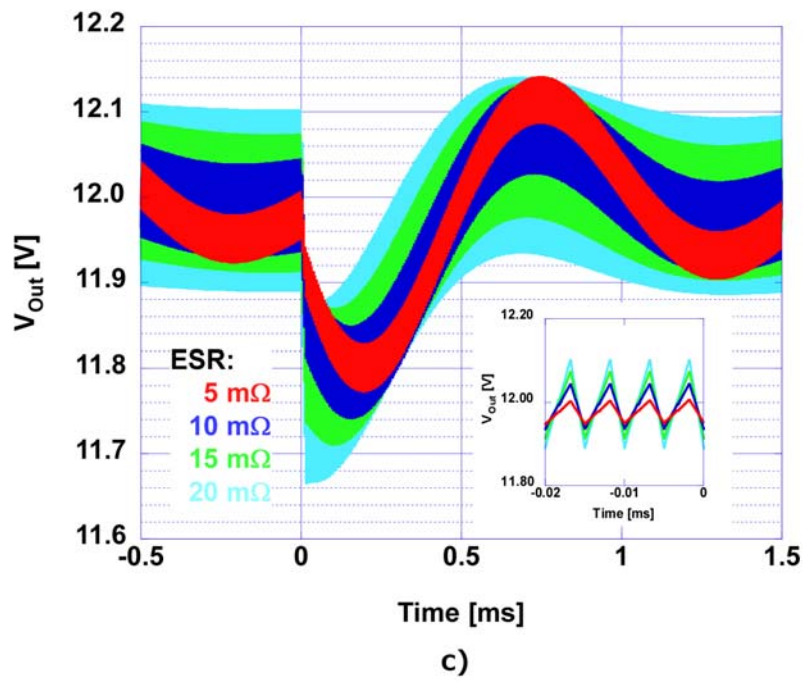
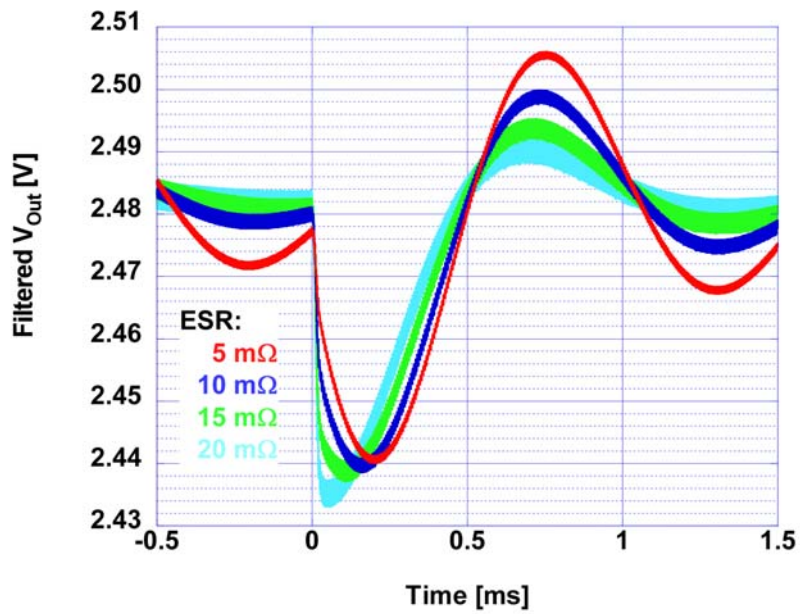
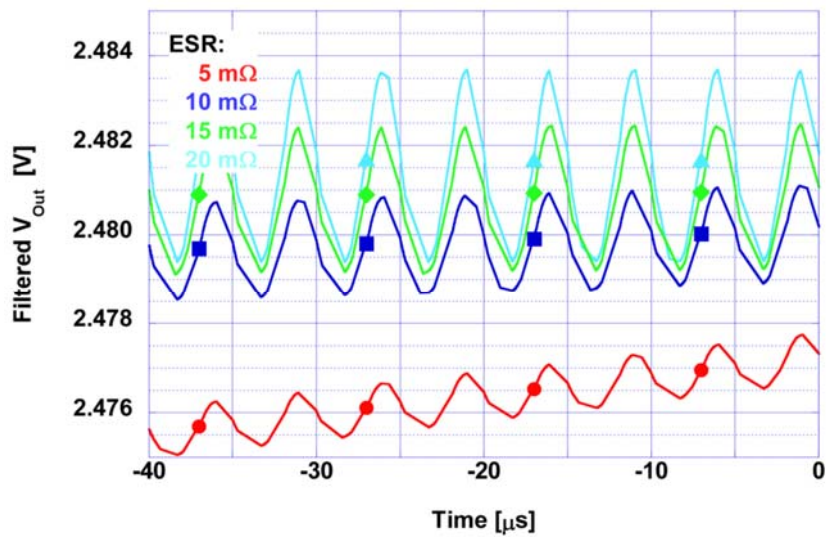


図 2.7 c) V_{Out} 波形、d) $R_{ESR} \cdot \Delta I_{Out}$ 、 ΔV_{Out} 、 V_{Ripple} の ESR 依存性 (続き)

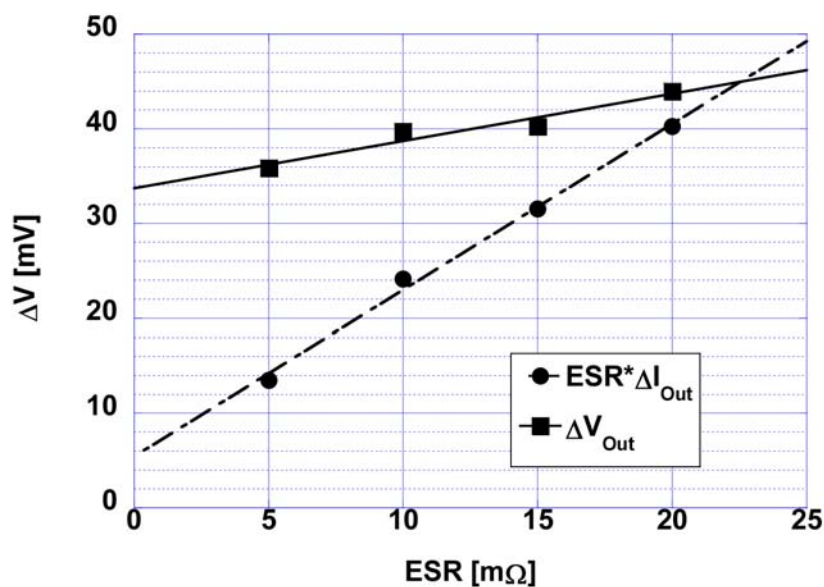


e)



f)

図 2.7 e) Anti – Aliasing Filter 通過後の V_{Out} 波形の ESR 依存性、f) 波形 e) の一部拡大、100 kHz サンプリングの場合のサンプリングポイントをマークで示した。(続き)



g)

図 2.7 g) 100 kHz サンプルング後の $R_{ESR} \cdot \Delta I_{Out}$ 、 ΔV_{Out} の ESR 依存性 (続き)

R_{ESR} が初期値 5 mΩ から 15 mΩ まで 3 倍に劣化したとき、 ΔV_{Out} は 6 mV 変化し、3.3 V フルスケール 11 bit の ADC では 2bit 分に相当する。より高分解能の ADC の使用あるいは得られたデータの平均化処理により分解能をあげることが必要である。

2.2.3 RCP による評価

2.2.3.1 実験装置

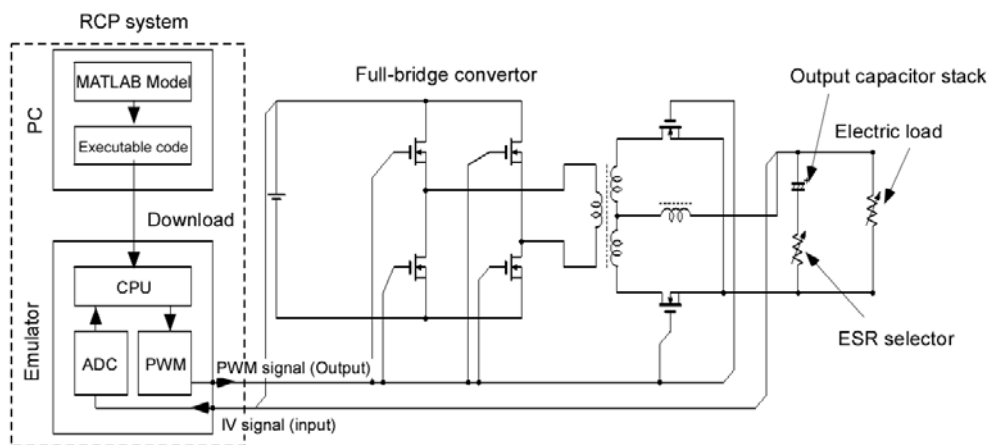
SPICE による検討に続いて、RCP (Rapid Control Prototyping) システムを用いた実機検証実験を行った。

図 2.8-a) に RCP システムとフルブリッジ電源回路の接続ブロック図を示す。電源回路から Anti - Aliasing Filter でフィルタ後のアナログ信号が RCP システムに接続され、ADC 経由でデジタルデータとなって、制御エミュレータに入力される。制御エミュレータ上では、MILS 行程で検証済みの制御モデルがそのまま動作しており、入力信号を PWM 信号に変換する。PWM 信号は各 FET のゲートドライバに接続され FET を制御する。デッ

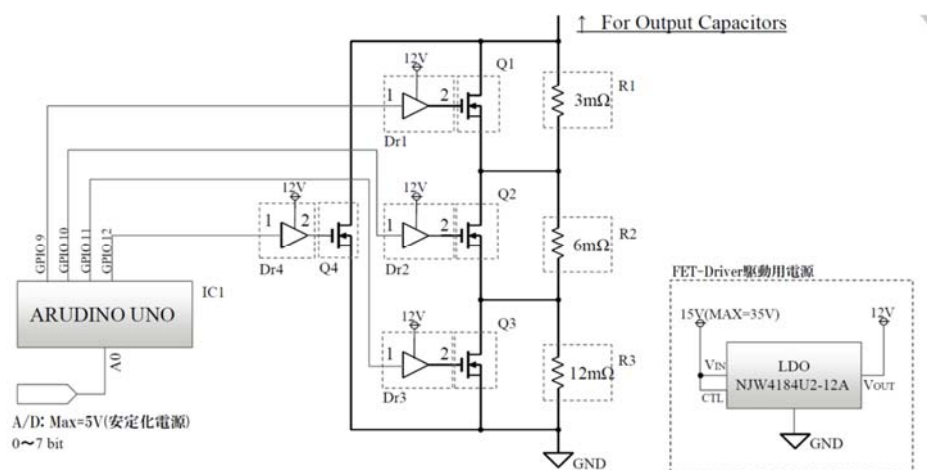
ドタイム等のスイッチタイミングは、エミュレータ上でリアルタイムに変更することが可能である。また、エミュレータに取り込まれたデジタルデータは、そのまま評価が可能で、平均回数を振っての ESR 検出感度向上の検討等が容易に実施できる。

コンデンサの条件を変えての検出実験は以下の 2 つの方法で行った。

- 1) 5 本並列に接続されているコンデンサスタックから、1 本または 2 本を外し容量と ESR を同時に変更した。コンデンサを 2 本外しても ESR は 1.7 倍にしかなら



a)

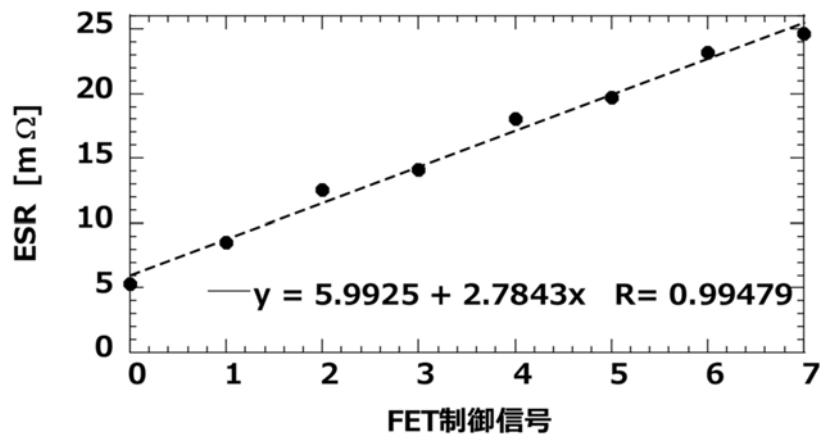


b)

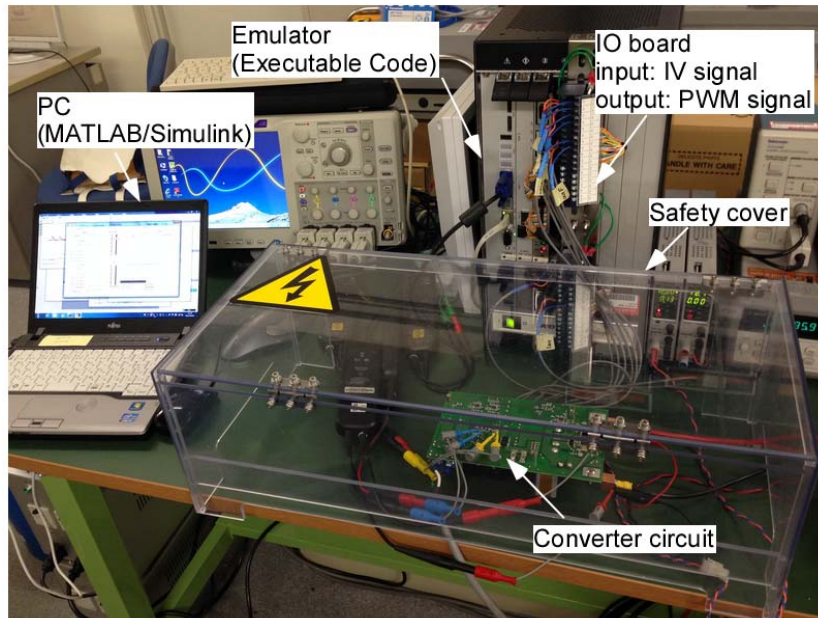
図 2.8 RCP による実回路の特性評価実験。 a) RCP システムに接続したフルブリッジ電源回路のブロック図、 b) ESR 選択回路の回路図

ないため本条件では主に容量減少の影響を調べたことになる。

- 2) コンデンサと電源基板の間に $m\Omega$ オーダの抵抗を直列に挟んで、ESR の劣化を模擬した。初期の実験では、条件毎に抵抗の付け換えを行っていたが、抵抗の分解能と再現性向上のため、図 2.8-b) に示す ESR 選択回路を作成した。ARUDINO から出力される 4bit 信号をゲート信号としてバイパス用低抵抗 FET を On/Off



c)



d)

図 2.8 c) FET 制御信号 (4bit) と選択される ESR、d) RCP システムと回路基板 (続き)

し追加する抵抗を 5.3 mΩから 24.6 mΩの間で 8 段階に切り替えることができる(図 2.8-c)。選択回路接続前の ESR は約 6 mΩであり、選択回路の追加で ESR を約 2 倍から 5 倍まで変化させることができる。

図 2.8-d) に実験系の写真を示す。信号線は基板からシールド線で引き出し、上中央に置かれた RCP システムへ接続されている。写真左端の PC 上で制御モデルの変更と入出力信号のモニタリングをリアルタイムに行うことができる。電子負荷を用いて 50 Hz、slew rate 160 mA/μs で half-load ± 10、20、30% の負荷変動を与えそのときの出力電圧 V_{Out} 波形および RCP システムに取り込んだデジタル信号波形を記録し比較した。

2.2.3.2 結果および考察

図 2.9 は、オシロスコープおよび RCP システムで取得した負荷急変時の出力電圧 V_{Out} 波形 a)、b) と RCP システムで取得した 11bit 分解能のデジタル信号波形 c)、d) である。2.2.2 項の SPICE シミュレーションの結果から、3.3 V-full scale、10bit ADC では分解能不足が予想されたため、11bit (0~1024、0.5 刻み) 入力に設定している。初期状態 a)、c) と 15 mΩ の抵抗をコンデンサに追加して ESR の劣化を模擬した b)、d) を比較すると、出力電圧 V_{Out} 波形とデジタル信号波形の双方に ESR 増加に伴うエンベロップの拡大と電圧変動量 ΔV_{Out} の増加が観測できた。デジタル信号波形には電圧変動量 ΔV_{Out} およびバックグラウンドのエンベロップの双方に、量子化誤差によるばらつきが見えている。

図 2.10 に RCP システムで取得した出力電圧の変動量 ΔV_{Out} の ESR 依存性を示した。Peak-to-Peak 値を ΔV_{Out} としてプロットすることで Peak-to-Average 値に対して 2 倍値を取得することで分解能を稼いでいる。図中の 1) 条件では設置出力コンデンサ数を 5 個から、4 個、3 個と減らした。2) 条件ではコンデンサのリードに mΩ 抵抗を追加した。各 ESR、負荷変動量に対して 5 点ずつ ΔV_{Out} を取得しプロットしているが、プロット点が重なっているため必ずしも一つの条件に 5 点はプロットされていない。

最小自乗法で直線近似した近似線も同時にプロットしている。量子化誤差によるば

らつきはあるものの、ESR 増加による ΔV_{Out} の増加傾向は明確に現れている。また、 ΔV_{Out} は条件 1) でコンデンサ数を変更して容量 C を大きく変化させた場合でも、条件 2) の ESR のみを変化させた場合のトレンドに乗っている。2.2.1 項 式(2.6)から予想された通り $\Delta^2 V_{Out}$ では ESR 成分が支配的であり、容量 C の影響は小さいことが検証できた。

ESR を 26 m Ω まで増加させたところ、電源起動時に不安定となり発振状態となった。

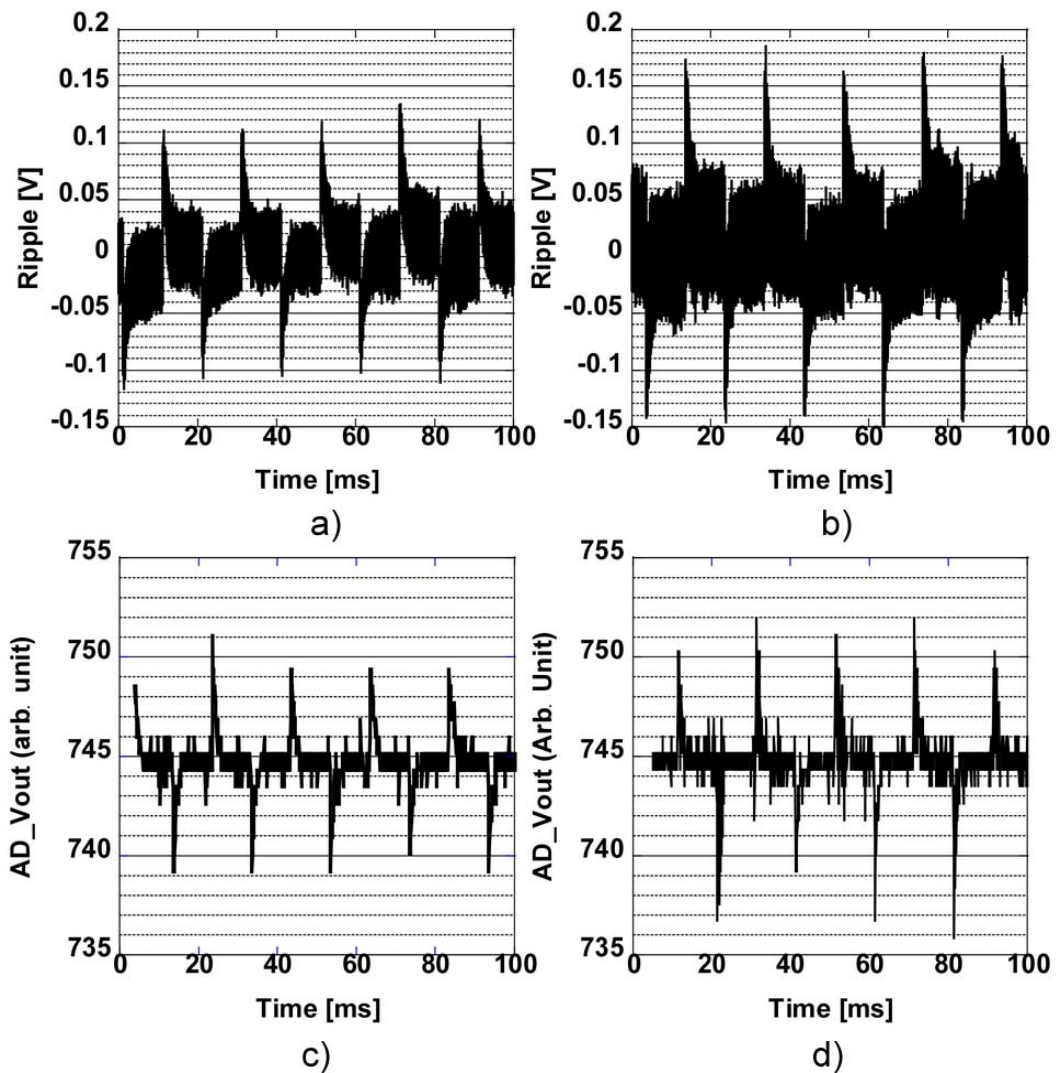


図 2.9 負荷変動時の出力電圧波形。オシロスコープで取得した出力電圧 V_{Out} 波形 a)、b)と RCP システムで取得した 11 bit 分解能のデジタル信号波形 c)、d)。a)、c)：初期状態、b)、d)：初期状態に対し、15 m Ω の抵抗を直列に追加した場合

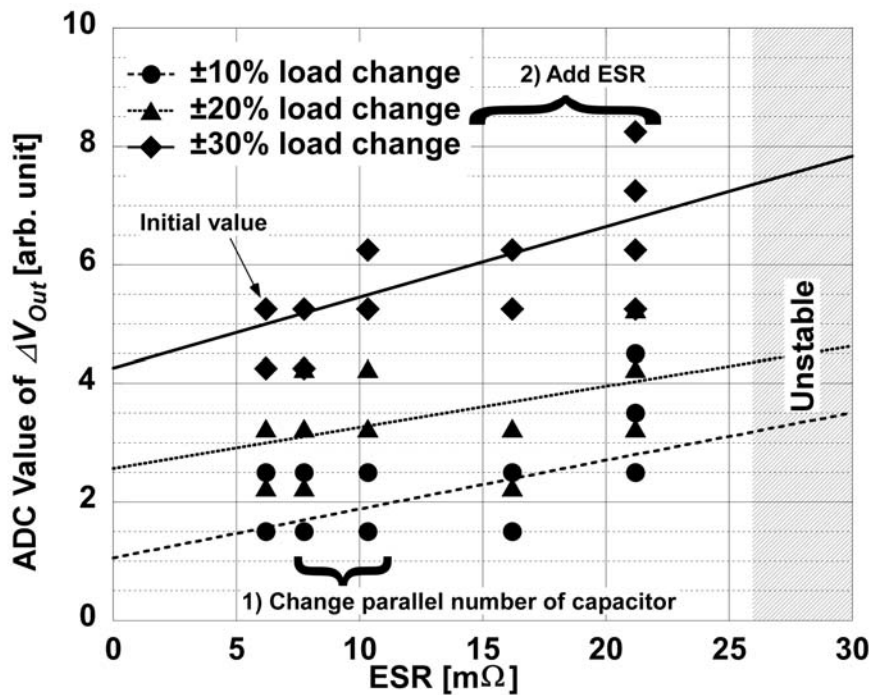


図 2.10 RCP システムで取得した出力電圧の変動量 ΔV_{Out} の ESR 依存性

この現象に関しては、2.3 項で詳しく取り上げる。

図 2.10 の結果は量子化誤差によるばらつきが大きいため、統計処理による平滑化を検討した。取得した ΔV_{Out} に遮断周波数3.6 Hzの IIR(Infinite Impulse Response)ローパスフィルタを追加した結果を図 2.11 に示す。図 2.8-b)に示した ESR 選択回路を用いて ESR 側の測定点を増やしている。図 2.11 では、Peak-to-Peak 値ではなく、Peak-to-Average 値をプロットしたが、IIR ローパスフィルタによる平滑化効果が明確に現れ、±10%の負荷変動でも明瞭な線形性が得られている。このようにローパスフィルタの追加は分解能向上に効果的である。

さらに本手法の実装における課題に関して検討した。

第 1 の課題は、ESR 評価ルーチンのサンプリングレートについてである。ESR 評価ルーチンのサンプリングレートを電源の制御周波数よりも下げることで MPU への負担を減らして、より低コストの MPU にも実装できる可能性がある。しかしながらサンプリングレートを下げると、サンプリングタイミングが ΔV_{Out} の Peak 位置とずれることによる Peak 値のばらつきが大きくなるため、必要な統計処理量が増加するというトレードオ

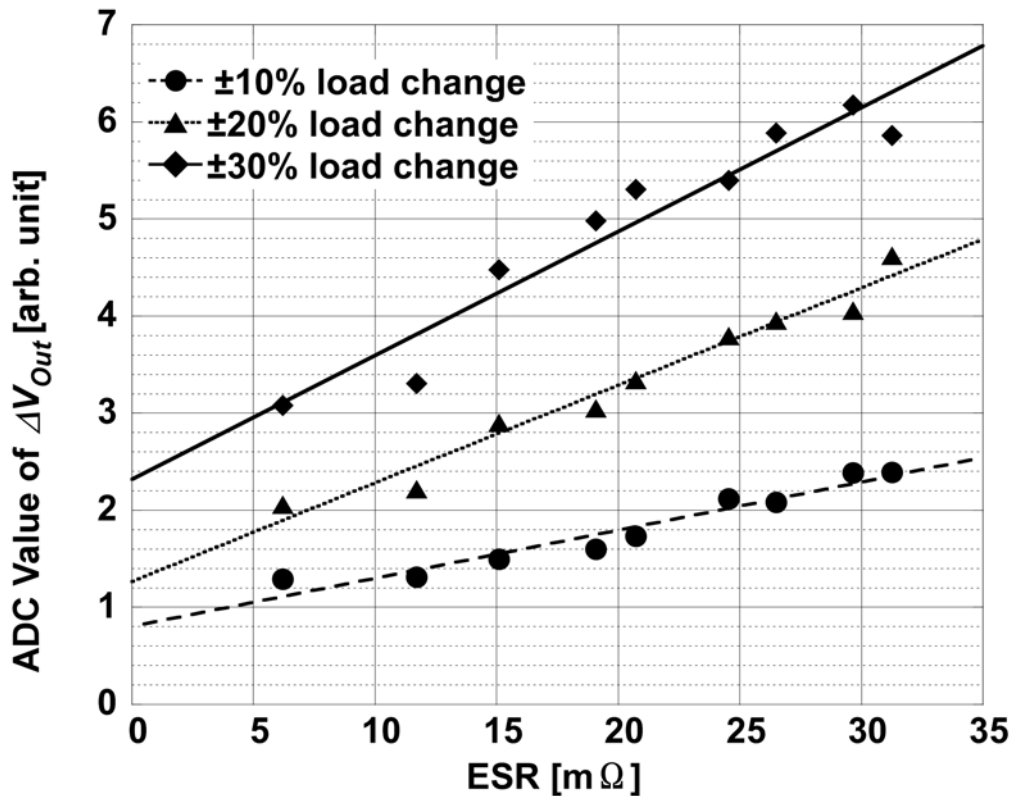


図 2.11 IIR ローパスフィルタにより平滑化した ΔV_{Out} の ESR 依存性

フが発生する。MPU のコストと計算量のバランスが重要となる。

第 2 の課題は、コンデンサの温度依存性に関するものである。図 2.12⁽⁶⁷⁾に示すように ESR には大きな温度依存性が存在する。これは、 0°C 以下の低温で電解液の流動性低下による抵抗率の上昇が起きるためである。ただし、 -20°C から 0°C までの間に数倍の ESR 変動が発生するのに対し、室温から最高使用温度まででは変動量は 20%程度にすぎない。氷点下での誤検出を防止するためには、電源の起動後、定常状態になってコンデンサの温度が氷点を超えるまでは ESR 評価を止める等の処置が必要になる。

第 3 の課題は、電源故障の警報を出す閾値についてである。まずは、使用するコンデンサメーカーの保証スペックの限界値を警報閾値とするべきである。その後、フィールドデータが蓄積されていくことで検出精度をあげて行くことが可能になると考えている。

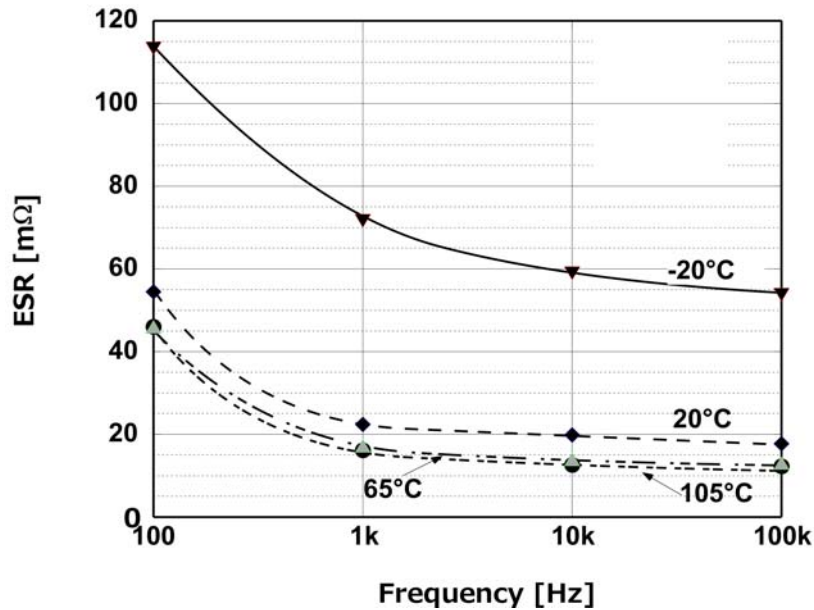


図 2.12 コンデンサ ESR の温度依存性⁽⁶⁷⁾

2.2.4 まとめ

デジタル制御電源が、制御のために常時取得している出力電圧 V_{out} 、出力電流 I_{out} のみを使ってコンデンサ劣化を検出する方法について検討した。特定の負荷変動 ΔI_{out} に対応する出力電圧の変化量 ΔV_{out} を監視することによりコンデンサの劣化を検出できることを示した。これは、電源制御における過渡応答を用いて劣化検出を行ったことに相当する。また、ESR が過大の場合に電源制御が不安定になる現象を見いだした。

2.3 過渡応答時の制御不安定性検出による故障予測

2.2項 図 2.10 で ESR 過大の場合に制御が不安定になり電源起動時に発振する現象が発生した。通常は、抵抗成分はダンピングファクターとして働き制御を安定させる方向に働く⁽⁸⁷⁾。当初は実験上の問題を疑ったが、その後の調査によりデジタル制御におけるサンプリングと Duty 比反映の間の無駄時間によるものであることがわかった。本項では、ESR 増加に制御不安定性の発現とその故障予測への応用^{(82), (84), (123), (124)}について述

る。

2.3.1 ESR 増加による制御不安定性発現

図 2.13 は、オシロスコープによって取得した負荷急変時のステップ応答の ESR 依存性である。それぞれ、a) 11.7 mΩ: ESR 初期値の 2 倍相当（出力コンデンサスタックの ESR6.1 mΩ+ESR 選択回路の最小値 5.6 mΩ）、b) 15.1 mΩ: ESR 初期値の 2.5 倍相当、c) 20.7 mΩ: ESR 初期値の 3.4 倍相当に対応する。ESR が増加するに従ってステップ応答にリングングが発生し、振動がはげしくなっていく様子が明瞭に現れている。

通常のアナログ制御では、ESR はダンピングファクターとして働き、制御を安定化さ

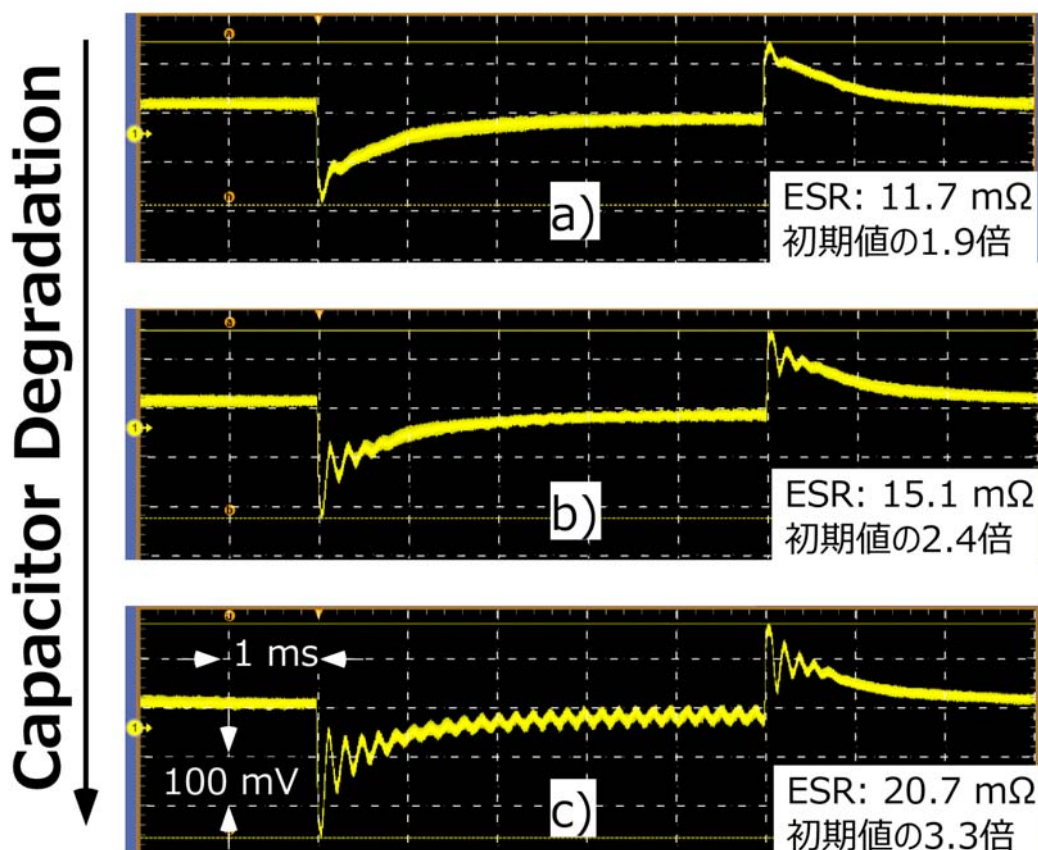


図 2.13 負荷変動時の出力電圧波形の ESR 依存性

せる⁽⁸⁷⁾ことから、この不安定性の原因を確認するため、MATLAB/Simulink によるボード線図の比較を行った。

図 2.14-a) に図 4 の回路の等価回路表記、2.14-b) に制御ブロック図を示す。アナロ

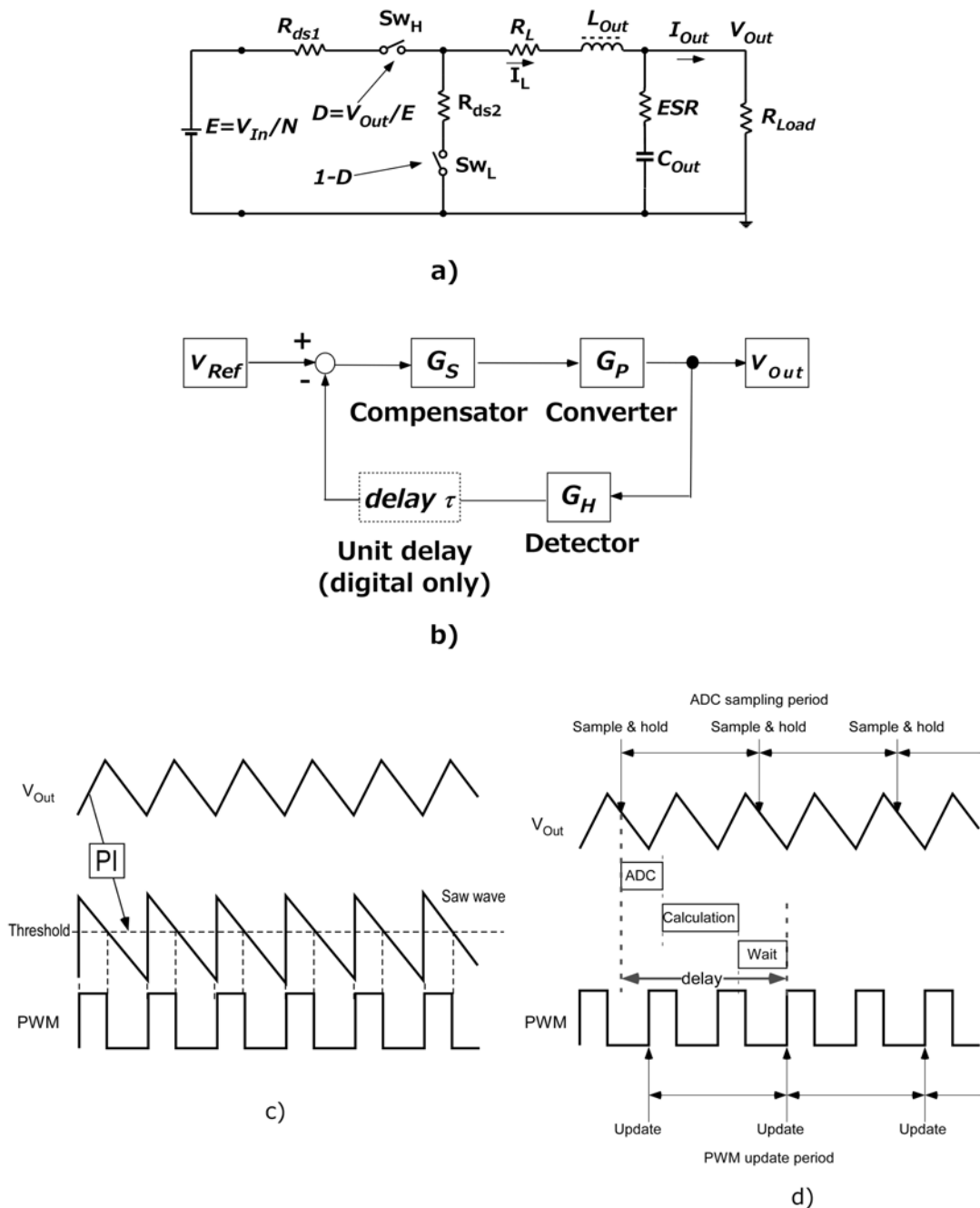


図 2.14 制御周期から見たアナログ制御とデジタル制御の比較。 a) 図 2.4 の絶縁型 DC-DC コンバータの等価回路表記、b) 制御ブロック、c) アナログ、d) デジタル制御での制御周期の模式図

グ制御 c) では、出力電圧 V_{Out} は、オペアンプによる Duty 比変換後、ノコギリ波と比較されその周期の内にスイッチングに適用される。一方、デジタル制御 d) では、サンプリング、AD 変換の後、デジタルフィルタによる Duty 比計算が行われ、最短で次の周期にスイッチングに適用される。

制御ブロック図 2.14-b) から、伝達関数を求め、MATLAB/Simulink による数値計算によりボード線図を作成した。 G_P 、 G_H 、 G_S はそれぞれコンバータ、検出器、補償器の伝達関数、Unit Delay τ はデジタル制御におけるサンプリングから PWM 値反映までの無駄時間で、制御周期 1 周期に対応する。

このとき G_P 、アナログ制御の場合の開ループ伝達関数 G_{PO_ana} 、デジタル制御の場合の開ループ電圧関数 G_{PO_digi} は以下の式で表すことができる。

$$G_P = \frac{\frac{(E+(R_{ds2}-R_{ds1})\cdot I_L\cdot(Es r\cdot C_{Out}\cdot s+1))}{L_{Out}\cdot C_{Out}}}{s^2 + \frac{R_L+D\cdot R_{ds1}+(1-D)\cdot R_{ds2}+Es r}{L_{Out}}\cdot s + \frac{1}{L_{Out}\cdot C_{Out}}} \quad \dots (2.7)$$

$$G_{PO_ana} = G_P \cdot G_H \cdot G_S \quad \dots (2.8)$$

$$G_{PO_digi} = G_P \cdot G_H \cdot G_S \cdot e^{-\tau\cdot s} \quad \dots (2.9)$$

最終的にデジタル制御の場合の開ループ伝達関数 G_{PC_digi} は、以下の式で表される。

$$G_{PC_digi} = \frac{G_P\cdot G_S}{1+G_P\cdot G_H\cdot G_S\cdot e^{-\tau\cdot s}} \quad \dots (2.10)$$

図 2.15 に MATLAB/Simulink による数値解析の結果を示す。a) コンバータ単体のボード線図、b) アナログ制御、c) デジタル制御の場合の開ループボード線図、d) ゲイン余裕、位相余裕の ESR 依存性、e) アナログ制御、f) デジタル制御の場合の開ループボード線図、g) 共振周波数の ESR 依存性である。ここでのモデルは PI 制御補償器を用い、ESR の初期値においてゲイン余裕 3dB、位相余裕 45° 以上を目標にして設計した。

図 2.15-a)、b)、c)、d) より、ESR が劣化により増加すると、コンバータ回路のゲ

イン G_p は増加し、ゼロクロス周波数が高周波側にシフト、ゲイン余裕は一樣減少することがわかる。

位相余裕は、アナログ制御では初期値の3倍程度までは ESR の増加に従って増加し、その後減少に転ずる。ただし、ESR が初期値の6倍にまで増加しても、位相余裕は初期状態と同等レベルであり安定を保つ。一方、デジタル制御では、高周波側で $e^{-\tau s}$ 項の影響を受け、ESR 増加に伴う位相余裕の減少が顕著になる。ESR が初期値の3倍に劣化した時点で初期値同等の約 45° 、ESR が6倍に劣化した時点では、ゲイン余裕、位相余裕ともにほぼ0となり発振状態に近づく。その中間で不安定性が発現し、ステップ応答波形にリングングが発生する。リングングは閉ループの共振点で発生し、ESR の増加に従

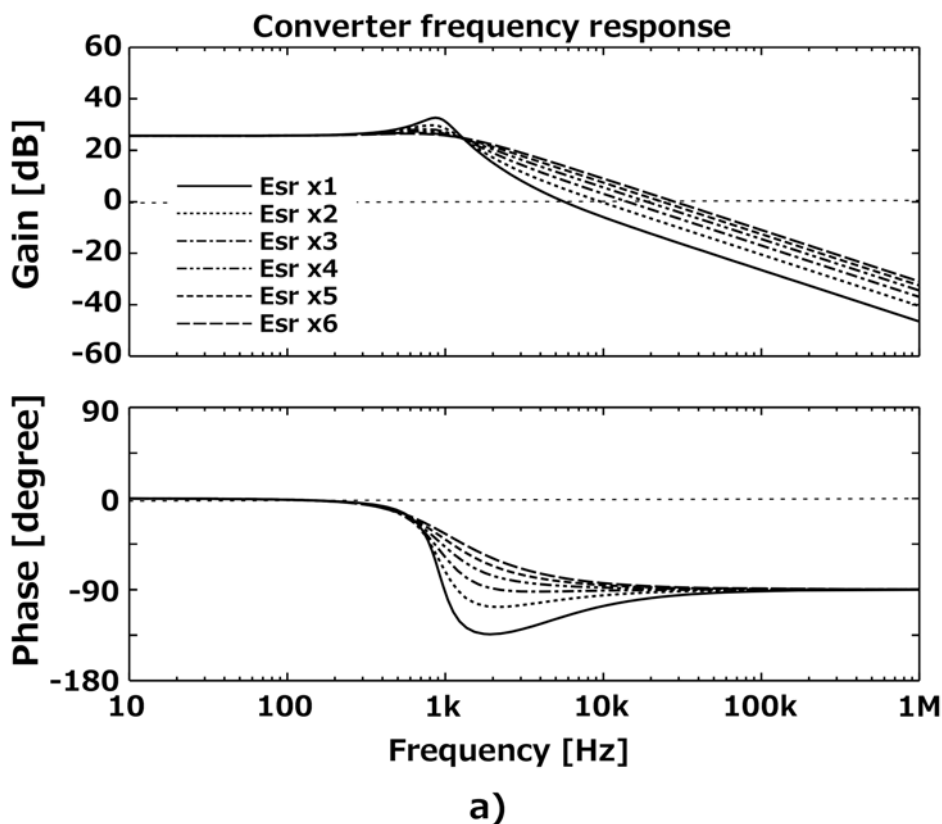


図 2.15 MATLAB/Simulink によるコンバータ特性の数値解析結果。 a) コンバータ単体のボード線図

って高周波側にシフトする。不安定性が発現する ESR 値は、補償器のゲインにより調整

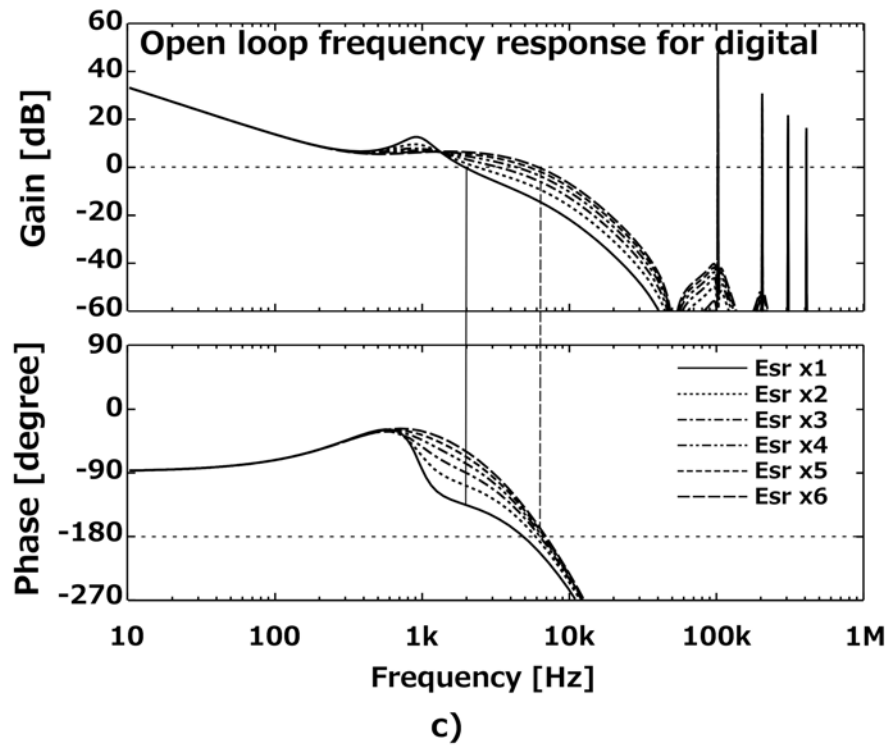
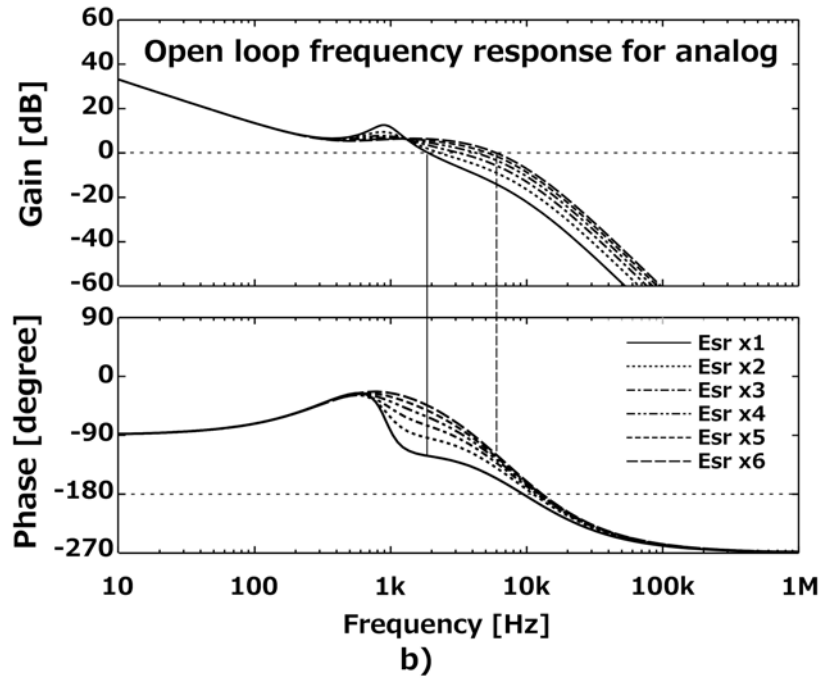
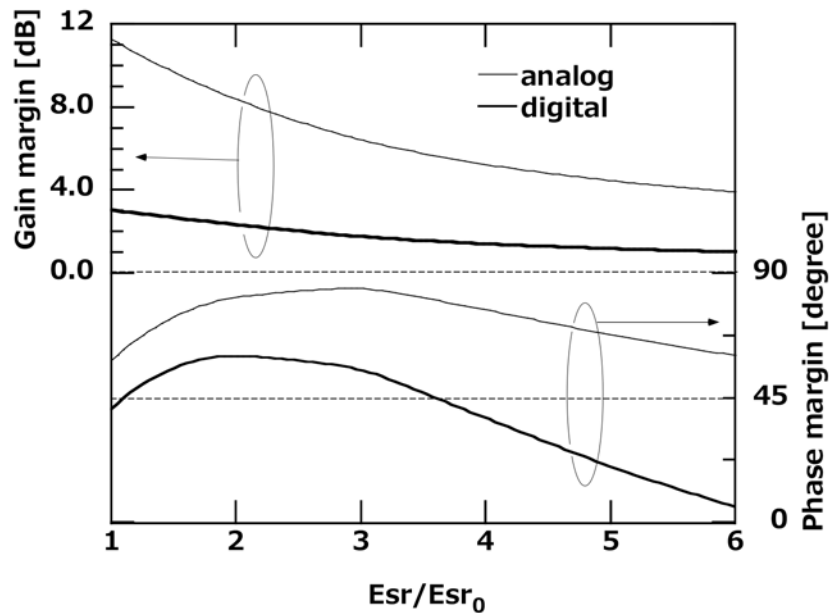
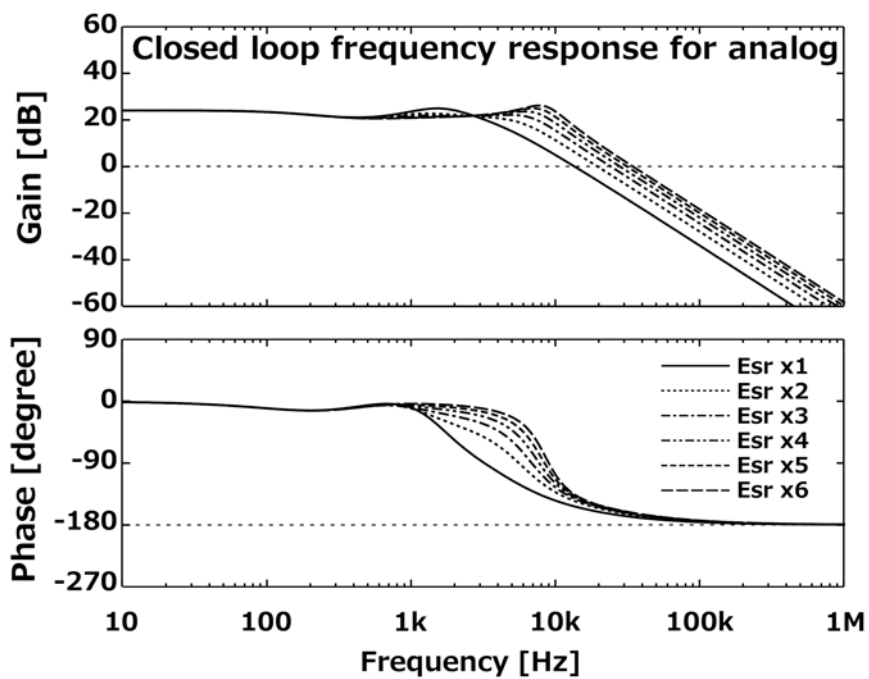


図 2.15 b) アナログ、c) デジタル制御での開ループボード線図 (続き)

が可能であり、コンデンサ不良が顕在化する前にリングングが発生する様に設計するこ



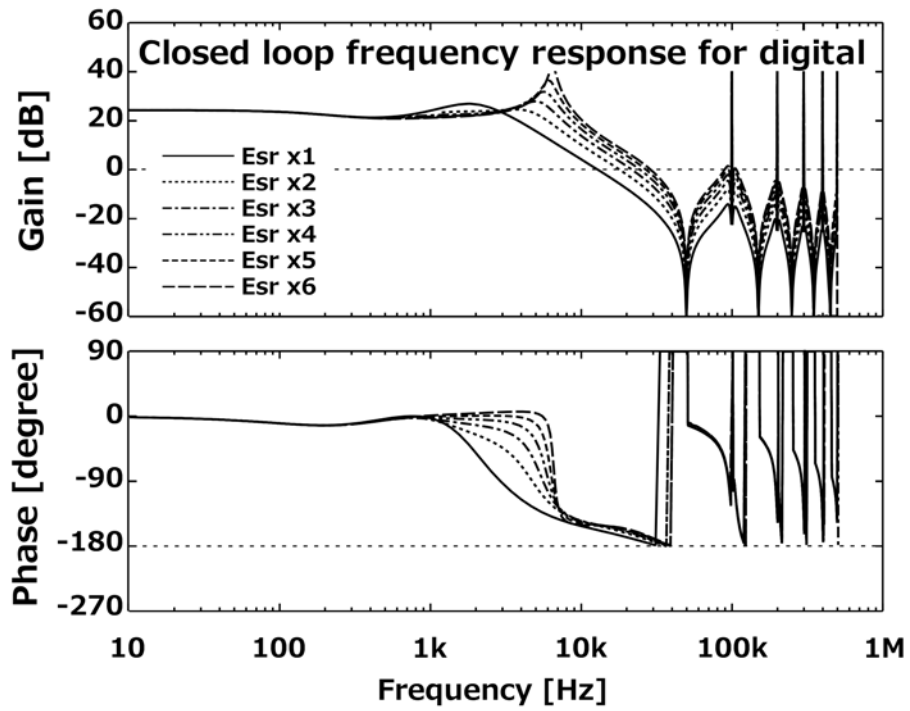
d)



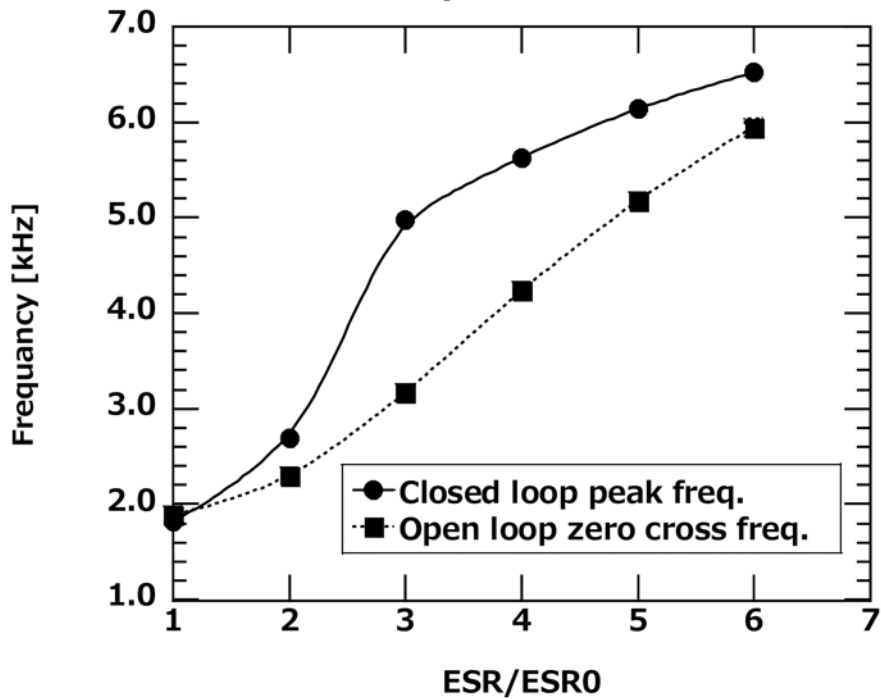
e)

図 2.15 d) ゲイン余裕、位相余裕の ESR 依存性、e) アナログ制御でのボード線図の ESR 依存性 (続き)

とができる。



f)



g)

図 2.15 f) デジタル制御での閉ループボード線図、g) デジタル制御での共振点とゼロクロス周波数の ESR 依存性 (続き)

2.3.2 リンギング回数計数による ESR 劣化検出

図 2.16 に RCP によって取得した AD 変換後の V_{Out} 出力電圧ステップ応答波形を示す。見やすさのために縦軸の上下を反転している。AD 変換後の波形にも明瞭なリンギングが見える。

AD コンバータの最小分解能 (LSB: Least Significant Bit) を、変換後の数値として 0.5 にとっているため、負荷変動前の数値 (745) から最初のピーク (738) まで 14 ポイントの差があることになる。1.3.3 項でも述べたように、検出に必要な S/N 比 (Signal/Noise 比)、AD コンバータの分解能等を特定の MPU 上へのコーディング作業なしに、直接評価できることが、電源に新機能を実装する上で RCP を用いることの利点の一つとなる。

リンギング回数の計数は以下のようなアルゴリズムで実装した。

- 1) 負荷急変の発生を検出するため、 V_{Out} 値のトレンドを監視し、前回とサンプリン

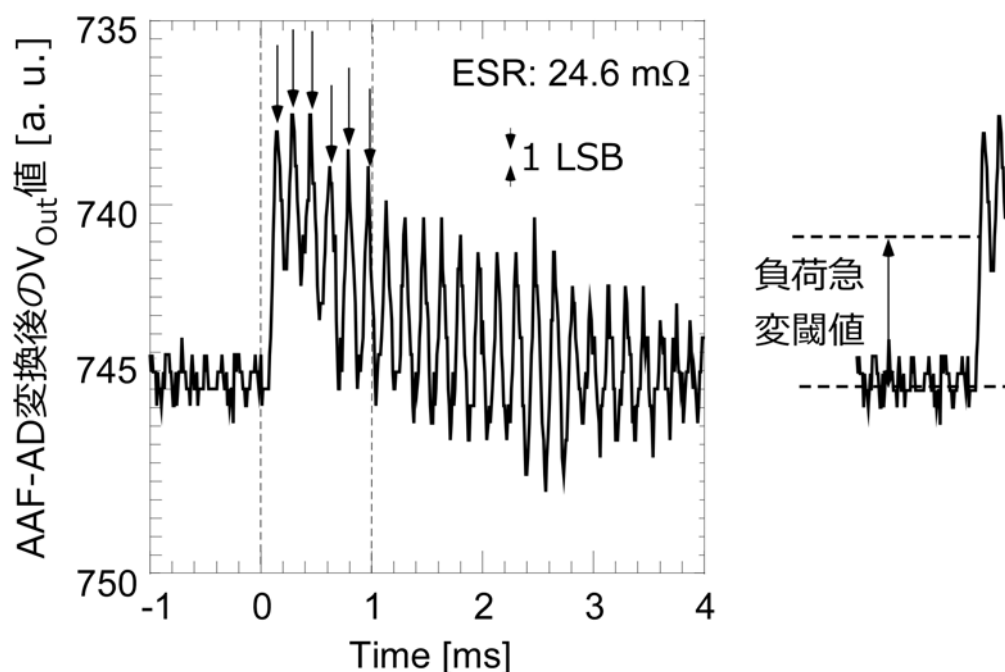


図 2.16 リンギング回数計数による ESR 劣化検出法

グとの差が特定の閾値を超えた時を負荷急変の発生と判断し、リングング回数計数のサブルーチンを起動する。

- 2) リングング計数サブルーチンでは、計数用のタイマーを用いて一定時間内のピーク数を計数する。負荷変動前のデータから、 ± 1 ($\pm 2\text{LSB}$) の変化は、ノイズ + 量子化誤差として発生する可能性が高いため、前々回、および前回サンプル値と ± 1.5 以上 ($\pm 3\text{LSB}$) 差がある状態で、傾きの符号が変化した点をピークとして判定する。
- 3) タイマーが規定時間に達したらその時点でのピーク数をリングング回数として取得する。

図 2.17 に条件を変えて取得した R_{ESR} とリングング回数の関係を示す。負荷変動から 1ms 間のリングング回数をプロットした。同じ色のプロット点は同じ電流変化量、同じ形状のプロット点は同じ中心電流値を示している。2.2 項の電圧変動量 ΔV_{Out} による評価による場合とことなり、リングング回数による評価は、負荷変動条件に対する依存性

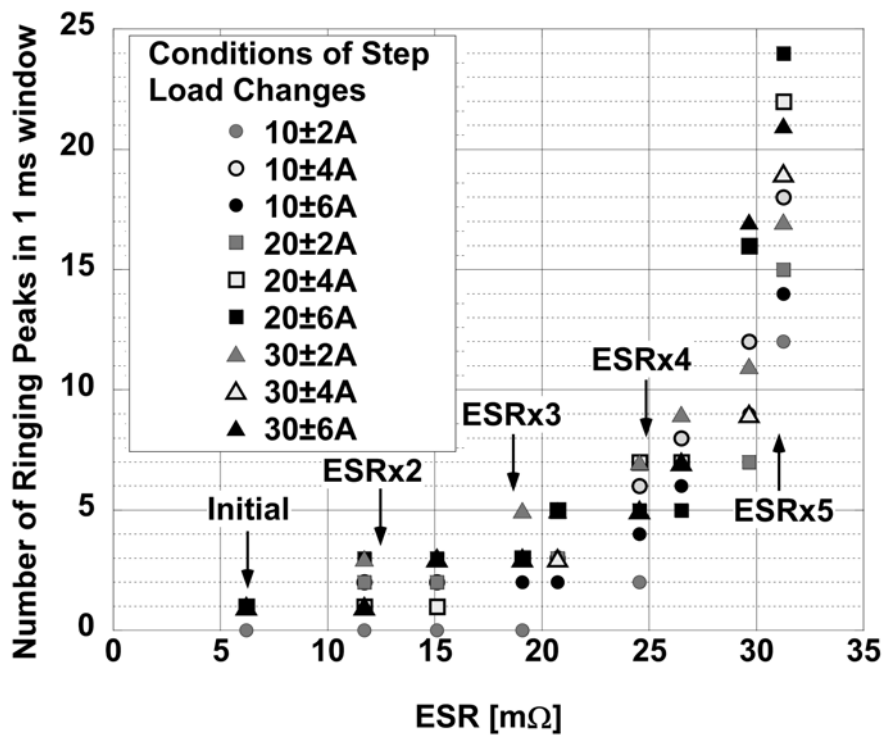


図 2.17 ESR の劣化とリングング回数の関係

が小さいことがわかる。これはリングング回数が、図 2.13-f) のゲインがピークになる周波数に支配されているためである。統計処理を行うことなく、1 回の負荷変動で検出できる可能性があり、より制御用 MPU への負荷の小さな検出方法と考えている

2.3.3 まとめ

デジタル制御電源の電解コンデンサの劣化検出法として、負荷急変時のリングング回数監視による ESR 劣化検出法を提案した。本手法はデジタル制御電源固有のサンプリングと Duty 比反映の間の無駄時間を応用したものであり、制御用 MPU への負荷も小さく実装可能である。

2.4 まとめ

第 2 章では、電源の構成部品の内、最も故障率の高い物として知られる電解コンデンサの故障予測技術について検討した。デジタル制御用の MPU が常時取得している負荷変動に対する過渡応答時の出力電圧波形のピーク値を MPU 自身に解析させることで電解コンデンサの劣化が検出できることを示した。

さらに電解コンデンサの劣化時にデジタル制御電源では、サンプリング、AD 変換から Duty 比適用までの無駄時間に起因する制御不安定性が発現することを見だし、これも劣化診断、故障予測に応用できることを示した。

上記手法は、制御用 MPU が常時監視しているデータのみで実装可能で追加部品が不要であることからコスト増無しに、電源の信頼性を向上させる手法として有効である。

第3章 Duty 比のトレンド監視による故障予測

スイッチング方式電源装置において、コンデンサに続く故障部品として、パワー半導体、制御用半導体があることに関しては、第1章で述べた。本章では、現在、著者が検討している Duty 比の監視による半導体部品を含む電源装置の劣化評価/故障予測技術^{(117), (118)}について述べる。制御用半導体の一例として、制御用フォトカプラの劣化検出については3.2項⁽¹¹⁷⁾で、パワー半導体の劣化による効率低下の検出⁽¹¹⁸⁾については、3.3項で詳述する。

3.1 損失等価抵抗の概念の導入

Duty 比の監視による電源の劣化検出法について述べるにあたり、損失等価抵抗 R_{Loss} の概念⁽¹¹⁶⁾を導入する。図3.1に絶縁型スイッチング方式電源装置の等価回路を示す。

1.3.1項 図1.8で示した Buck 型スイッチング方式電源装置の等価回路に絶縁と電圧変換のためのトランスを追加したものである。電源装置が理想的で損失がないとき(図3.1-a)、式(1.4)にトランスの巻き線比($\alpha:1$)による電圧変換が追加される。このときの理想的な Duty 比を D_{tideal} とすると、

$$D_{tideal} = \alpha \cdot \frac{T_{On}}{T_{Switch}} = \alpha \cdot \frac{V_{Out}}{V_{In}} \quad \dots (3.1)$$

となる。

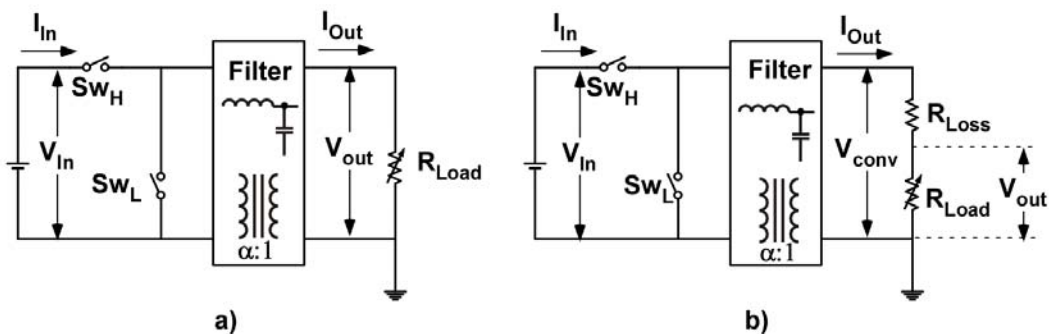


図3.1 損失等価抵抗の定義、a)無損失の絶縁電源の等価回路、b)損失が有る場合の等価回路

電源が理想的ではなく、損失がある場合（図 3. 1-b）は、すべての損失を仮想的な損失等価抵抗 R_{Loss} に繰り込んで、電源の出力電圧 V_{Conv} が、直列につながった負荷 R_{Load} と損失等価抵抗 R_{Loss} に接続されていると仮定すると、損失を含んだ場合の Duty 比を D_{tLoss} として、

$$D_{tLoss} = \alpha \cdot \frac{V_{Conv}}{V_{In}} \quad \dots (3.2)$$

ここで

$$\begin{aligned} V_{Conv} &= V_{Out} + R_{Loss}(I_{Out}) \cdot I_{Out} \\ &= (R_{Load}(I_{Out}) + R_{Loss}(I_{Out})) \cdot I_{Out} \end{aligned} \quad \dots (3.3)$$

である。また、損失の定義から

$$R_{Loss}(I_{Out}) = \frac{(I_{In} \cdot V_{In} - I_{Out} \cdot V_{Out})}{I_{Out}^2} \quad \dots (3.4)$$

となる。 $R_{Loss}(I_{Out})$ は、電源のすべての損失が抵抗性損失であったと仮定した場合の仮想的な抵抗であり、FET の抵抗損失、スイッチング損失、基板の抵抗損失、制御用 MPU の動作電力等様々な要因を含む。

この損失等価抵抗 $R_{Loss}(I_{Out})$ を用いて電源効率 $\varepsilon(I_{Out})$ を表記すると、

$$\begin{aligned} \varepsilon(I_{Out}) &= \frac{I_{Out} \cdot V_{Out}}{I_{Out} \cdot V_{Out} + R_{Loss}(I_{Out}) \cdot I_{Out}^2} \\ &= \frac{R_{Load}(I_{Out}) \cdot I_{Out}^2}{R_{Load}(I_{Out}) \cdot I_{Out}^2 + R_{Loss}(I_{Out}) \cdot I_{Out}^2} \\ &= \frac{R_{Load}(I_{Out})}{R_{Load}(I_{Out}) + R_{Loss}(I_{Out})} \end{aligned} \quad \dots (3.5)$$

となる。式(3.5)は電源の作成時点で効率を測定し、MPU の ROM 上に $R_{Loss}(I_{Out})$ のテーブルを準備しておけば、MPU が常時監視している出力電流 I_{Out} のみで電源効率 $\varepsilon(I_{Out})$ を見積もることができることを示す。もちろん、電源効率 $\varepsilon(I_{Out})$ は、入出力の電流、電圧(I_{In} 、 V_{In} 、 I_{Out} 、 V_{Out})をすべて必要な精度で測定することで評価できるが、例えば、降圧比の高い電源装置で微少な入力電流 I_{In} を高精度で測定するのは困難であることが多い

め、 I_{Out} からテーブルで求める方が容易である。

式(3.2)と式(3.5)から

$$\begin{aligned} D_{tLoss} &= \alpha \cdot \frac{V_{Conv}}{V_{In}} = \alpha \cdot \frac{(R_{Load}(I_{Out}) + R_{Loss}(I_{Out})) \cdot I_{Out}}{V_{In}} \\ &= \alpha \cdot \frac{R_{Load}(I_{Out}) + R_{Loss}(I_{Out})}{R_{Load}(I_{Out})} \cdot \frac{R_{Load}(I_{Out}) \cdot I_{Out}}{V_{In}} \\ &= \alpha \cdot \frac{1}{\varepsilon(I_{Out})} \cdot \frac{V_{Out}}{V_{In}} = \frac{1}{\varepsilon(I_{Out})} \cdot D_{tIdeal} \end{aligned} \quad \dots (3.6)$$

となる。

式(3.6)は、損失がある場合の理論的な Duty 比 D_{tLoss} が、無損失の場合の理論的な Duty 比 D_{tIdeal} と電源効率 $\varepsilon(I_{Out})$ から計算できることを意味している。製造直後の劣化が起きていない電源では、安定状態で適用される Duty 比 $D_{Applied}$ は D_{tLoss} に等しいはずであり、劣化によって損失が増加したときの Duty 比 $D_{Degraded}$ と D_{tLoss} を比較することで電源の劣化を評価することができる。

3.2 信号検出用フォトカプラの故障予測

本項では、制御用半導体の劣化検出および故障予測の一つとして、絶縁電源での信号検出回路に使用されるフォトカプラの劣化検出を取り上げる。1.2.4.2項で取り上げたように絶縁境界を越えてのアナログ信号伝送に使用されるフォトカプラは寿命部品の一つであり経年劣化により CTR (Current Transfer Ratio: 電流伝導率)の低下が発生する。特に出力電圧 V_{Out} の検出回路に使用された場合には、出力過電圧の発生につながり、発火、発煙や電源が接続された負荷装置の破壊といった重大故障に直結するため、劣化検出および故障予測の必要性は高い。

本項では、背景としてフォトカプラの劣化が電源に与える影響を述べたのち、これまでに商品化されてきた対策、提案する手法の順に論述する。

3.2.1 背景と従来の対策

図 3.2 にトランス絶縁型の降圧電源の等価回路を示す。制御回路を電源の 1 次側に

置いた場合、2次側の出力電圧 V_{Out} 、出力電流 I_{Out} はフォトカプラ経由で絶縁境界を越えて1次側にアナログ伝送される。

図 3.3 に電圧検出ラインに設置されたフォトカプラが劣化した場合に発生する問題を示した。図 3.3-a)にはフォトカプラの劣化モードとして2つのシナリオを示している。シナリオ I)は、フォトカプラを含むフィードバックループの断線等により、フォトカプラの出力が突然0近くまで低下した場合、シナリオ II)はフォトカプラ内の発光素子の劣化により出力が徐々に低下して行く場合である。

シナリオ I)とシナリオ II)では、シナリオ II)の方がより重大障害につながりやすい。シナリオ I)ではフォトカプラ出力に対し閾値 V_{th} を設定して、それ以下になった時点で電源を停止することにより電源単体の故障にとどめることができるが、シナリオ II)では低下したフォトカプラ出力を一定に保とうとしてフィードバックが行われるため、出力電圧 V_{Out} が連続的に上昇しついには過電圧が発生、場合によっては、発煙、発火故障や電源が接続された負荷装置を損傷させる可能性もある(図 3.3-b, c)。

以上の危険性からこれまでも複数の対策が検討され実際に商品化されている。

例えば、2次側に過電圧検出専用のICと追加のフォトカプラを配置し追加フォトカプラ経由で緊急停止用の信号のみ転送する⁽¹¹⁹⁾、発光素子1つと受光素子2つを1パッ

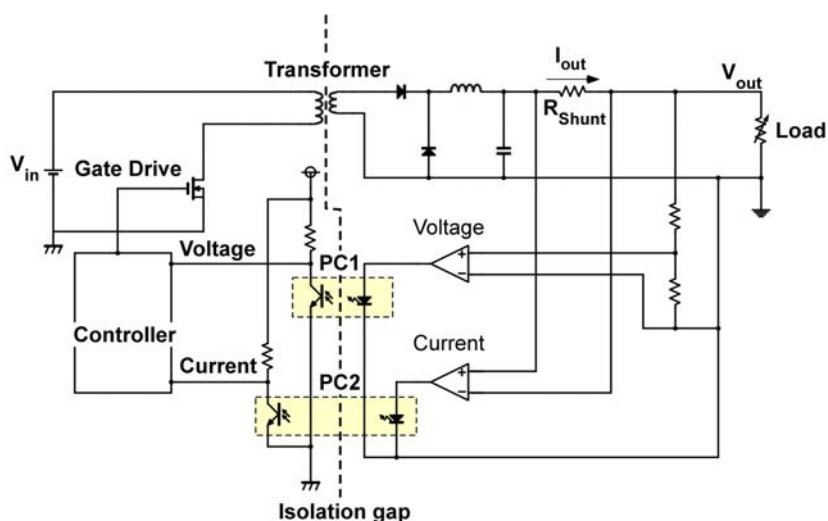


図 3.2 トランス絶縁降圧電源の等価回路

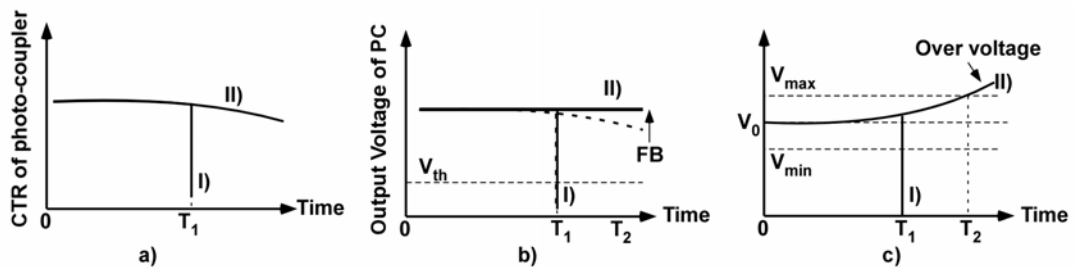


図 3.3 電圧検出ラインに接続されたフォトカプラの CTR 劣化の影響、a) CTR の劣化モード、b) 劣化発生時に MPU が取得する出力、c) フィードバックの結果出力される電圧 V_{Out} のドリフト

ケージ化し受光素子の出力を用いて感度保障を行う⁽¹²⁰⁾、フォトカプラ内に高速の AD/DA 変換器のセットを内蔵し、データはデジタル転送を行う⁽¹²¹⁾といった機能をもった IC が販売されている。

しかしながら、これらの高機能フォトカプラは実装サイズが大きくコスト高になるという課題がある。これは、特に通信機器に使用される小型高密度電源モジュールでは非常に深刻な課題となる。例えば 1/16 ブリックサイズ⁽¹²²⁾ DC-DC コンバータでは、 $2.4 \times 7.0 \text{ mm}^2$ サイズの小型汎用フォトカプラでも基板面積の 2.5% を占める。1 cm^2 を越える高機能フォトカプラを電流、電圧用に複数個配置するのはサイズバジェットの点で困難である。

本項では、電源動作中の Duty 比の監視により、常時制御用 MPU が取得している情報 (V_{In} 、 V_{Out} 、 I_{Out}) のみから、フォトカプラの劣化を検出する手法について検討する。

3.2.2 提案する検出方法

本項では、出力電圧検出用、出力電流検出用の双方に関して、フォトカプラの劣化が生じた場合にスイッチの制御に適用される Duty 比 $D_{Degraded}$ への影響について検討する。

3.2.2.1 出力電圧検出用フォトカプラの劣化検出

まずは、出力電圧 V_{Out} 検出用のフォトカプラが感度低下して、正常時と比較して出力が β 倍 ($0 < \beta < 1$) になったとするとフィードバックによって実際に出力される出力電圧は $\frac{1}{\beta} V_{Out}$ に上昇し、そのときに適用されている Duty 比を $D_{PC_V_Degraded}$ とすると、

$$D_{PC,V_Degraded} = \frac{\alpha}{\beta} \cdot \frac{1}{\varepsilon(I_{Out})} \cdot \frac{V_{Out}}{V_{In}} = \frac{1}{\beta} \cdot D_{tLoss} \quad \dots (3.7)$$

となり、劣化後の Duty 比は、初期値の $\frac{1}{\beta}$ 倍に増加し、また出力電流 I_{Out} には依存しない。

3.2.2.2 出力電流検出用フォトカプラの劣化検出

一方、出力電流 I_{Out} 検出用のフォトカプラが感度低下して、正常時と比較して出力が γ 倍($0 < \gamma < 1$)になったとすると、実際に流れる電流が初期値の $\frac{1}{\gamma}$ 倍に増加する。そのときに適用されている Duty 比を $D_{PC,I_Degraded}$ とすると、

$$\begin{aligned} D_{PC,I_Degraded} &= \alpha \cdot \frac{1}{\varepsilon(1/\gamma \cdot I_{Out})} \cdot \frac{V_{Out}}{V_{In}} \\ &= \frac{R_{Load}(1/\gamma \cdot I_{Out}) + R_{Loss}(1/\gamma \cdot I_{Out})}{R_{Load}(1/\gamma \cdot I_{Out})} \cdot \alpha \cdot \frac{V_{Out}}{V_{In}} \\ &= \frac{R_{Load}(1/\gamma \cdot I_{Out}) + R_{Loss}(1/\gamma \cdot I_{Out})}{R_{Load}(1/\gamma \cdot I_{Out})} \cdot D_{tLoss} \quad \dots (3.8) \end{aligned}$$

ここで、スイッチング電源の全損失 P_{Loss} が出力電流 I_{Out} を用いて、以下の形で近似できると仮定する。

$$P_{Loss} \approx A + B \cdot I_{Out} + C \cdot I_{Out}^2 \quad \dots (3.9)$$

ここに、 A 、 B 、 C はそれぞれ、制御マイコンの消費電力等の固定損失に代表される出力電流 I_{Out} に依存しない定数項、スイッチング損失に代表される出力電流 I_{Out} に比例する比例項、抵抗損失に代表される出力電流 I_{Out} の自乗に比例する自乗項に対応する。これは、おおまかにいって電源の損失が、無負荷時には補助電源等の固定損失、低負荷時にはスイッチング損失、高負荷時には抵抗損失に支配されることを表している(図3.4)。

式(3.9)を使って、劣化後の損失 $P_{Loss}(\gamma, I_{Out})$ 、損失等価抵抗 $R_{Loss}(\gamma, I_{Out})$ は次式のように表せる。

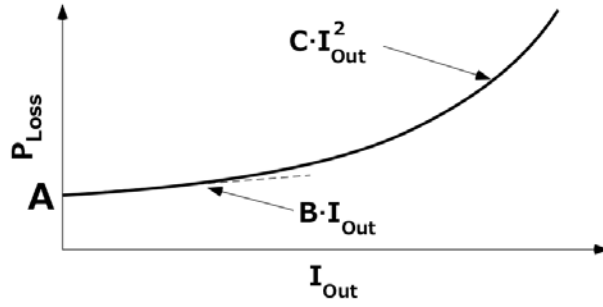


図 3.4 式 3.9 の模式図

$$P_{Loss}(\gamma, I_{Out}) \approx A + B \cdot \frac{1}{\gamma} \cdot I_{Out} + C \cdot \frac{1}{\gamma^2} \cdot I_{Out}^2 \quad \dots (3.10)$$

$$R_{Loss}(\gamma, I_{Out}) \approx \frac{A + B \cdot \frac{1}{\gamma} \cdot I_{Out} + C \cdot \frac{1}{\gamma^2} \cdot I_{Out}^2}{\frac{1}{\gamma^2} \cdot I_{Out}^2} \quad \dots (3.11)$$

式(3.8)と式(3.11)より $D_{PC_I_Degraded}$ は、

$$D_{PC_I_Degraded} \approx \left(1 + \frac{A + B \cdot \frac{1}{\gamma} \cdot I_{Out} + C \cdot \frac{1}{\gamma^2} \cdot I_{Out}^2}{\frac{1}{\gamma} \cdot I_{Out} \cdot V_{Out}} \right) \cdot D_{tLoss} \quad \dots (3.12)$$

I_{Out} が十分大きいとき、自乗項が支配的になって、

$$D_{PC_I_Degraded} \approx \left(1 + C \cdot \frac{I_{Out}}{\gamma \cdot V_{Out}} \right) \cdot D_{tLoss} \quad \dots (3.13)$$

式(3.13)より $D_{PC_I_Degraded}$ は高負荷側で I_{Out} に対して線形の依存性を持つことがわかる。

また、 $D_{PC_V_Degraded}$ と $D_{PC_I_Degraded}$ は I_{Out} に対して異なる依存性を持つが、スイッチング周期 T_{Sw} は両者で共通であるため、 $D_{Degraded}$ と D_{tLoss} の比は On 時間の比となり、劣化前の初期状態での On 時間を T_{On0} とすると、 $\frac{T_{On}}{T_{On0}}$ の出力電流 I_{Out} 依存性を評価することで電圧、電流検出回路のフォトカプラの劣化を独立に評価できる。

3.2.3 結果と考察

3.2.3.1 MILS (Model in the Loop Simulation) 検討

本項では、MALTB/Simulink with PLECS を用いた MILS (Model in the Loop Simulation) によって行った、提案の検出法の感度解析について述べる。

図 3.5 に従来の電源の制御ブロック図 a) および提案の電源の制御ブロック図 b) を示す。提案する電源には、従来の電源の出力電圧 V_{Out} の制御ループに、入力電圧 V_{In} と出力電流 I_{Out} の検出ブロック、取得した I_{Out} から R_{Loss} を求めるルックアップテーブル、さらに D_{tLoss} を計算して、実際に適用されている Duty と比較して $\frac{T_{On}}{T_{On0}}$ を求めるブロックが追加されている。

テストベッドとしては、2 章と同じくフルブリッジ電源回路を使用した。本テストベッドの詳細に関しては、2 章を参照願う。

フォトカプラの劣化は、MALTB/Simulink モデル上でブロック図 (図 3.5-b) 中の検出回路のゲイン $k1$ と $k2$ を調整することで模擬した。

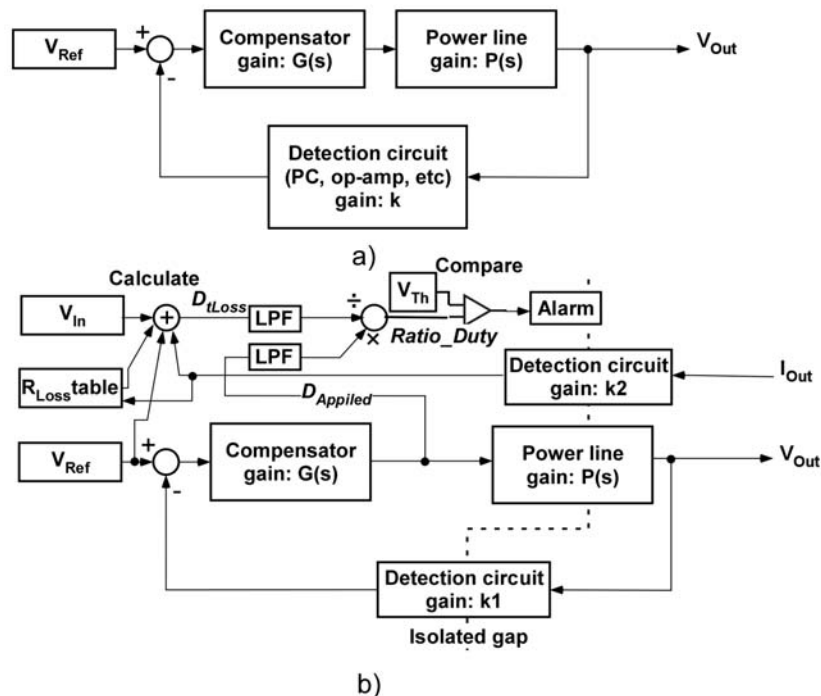


図 3.5 提案する劣化検出機能のブロック図。a) 従来の電源の制御ブロック図、b) 今回提案する電源の制御ブロック図

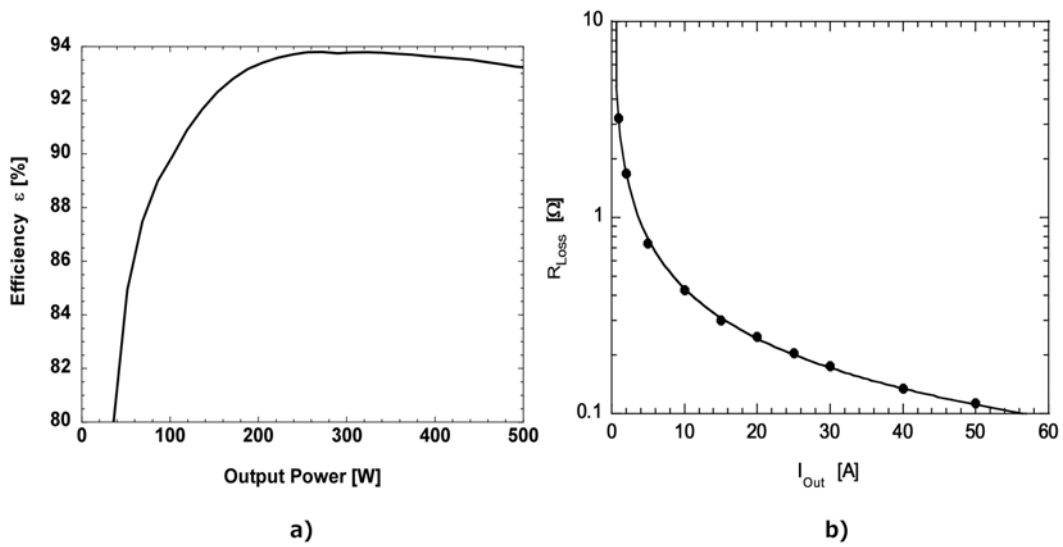


図 3.6 効率曲線と等価損失抵抗。a) 評価した電源回路の効率曲線、b) 効率から換算した R_{Loss} の I_{Out} 依存性

図 3.6 に a) テストベッドの効率曲線と b) 効率曲線から求めた R_{Loss} の I_{Out} 依存性を示した。b) をモデル中にルックアップテーブルとして配置し $\frac{T_{On}}{T_{On0}}$ の I_{Out} 依存性を評価した。

図 3.7 に電圧検出回路のゲインが低下した場合、図 3.8 に電流検出回路のゲインが低下した場合の $\frac{T_{On}}{T_{On0}}$ の I_{Out} 依存性を示した。RCP 装置で取得した見かけ上の I_{Out} を横軸に

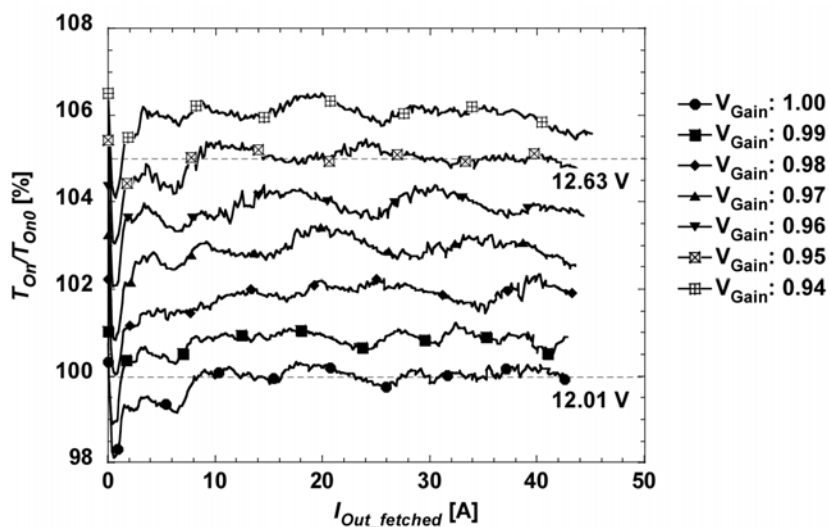


図 3.7 MILS による電圧検出回路のゲイン低下時の $\frac{T_{On}}{T_{On0}}$ の出力電流 I_{Out} 依存性

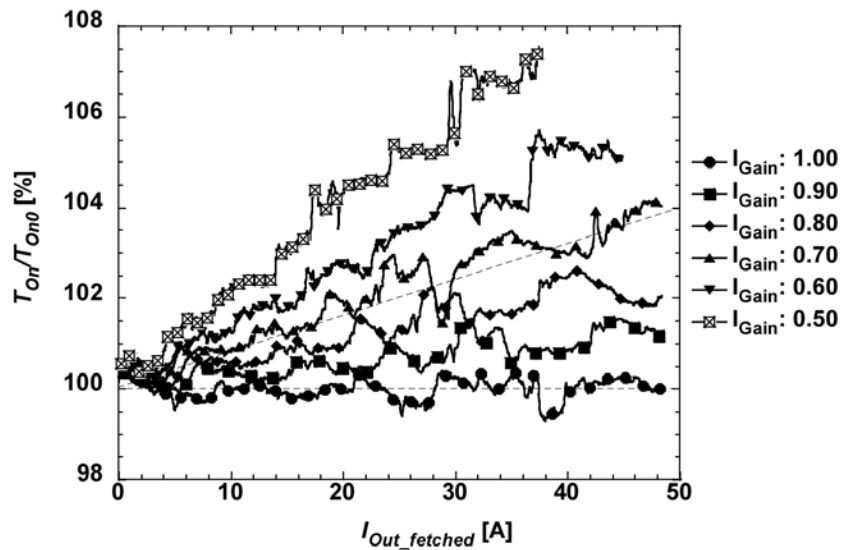


図 3.8 MILS による電流検出回路のゲイン低下時の $\frac{T_{Or}}{T_{On0}}$ の出力電流 I_{Out} 依存性

取っており明快にするために、 $I_{Out_Fetched}$ と表記している。3.2.2 項で述べた通り、電圧検出回路ゲインが低下した場合の $\frac{T_{On}}{T_{On0}}$ は出力電流 I_{Out} 依存性を持たず一定になっている。検出感度も出力電圧 V_{Out} のレギュレーション仕様の $12V \pm 5\%$ を評価するのに十分なものになっている。

一方、電圧検出回路のゲインが低下した場合に関しては、 $\frac{T_{On}}{T_{On0}}$ は出力電流 I_{Out} に対して線形な依存性を持つことは検証できたが、検出感度は電圧ゲイン低下の場合と比べて低く、10%オーダの劣化の検出が可能なレベルである。電流検出回路の自己補償に使うことはできないが、通常、電源装置の冷却能力には 20%程度のマージンを持たせてあることから、過電流による発煙、発火故障の発生からの保護には使用可能と思われる。また、同一基板上に設置された同仕様のフォトカプラが、全く異なる劣化状態を示すこともまれと思われ、実用上は電圧検出用フォトカプラの劣化が検出できれば問題ないと思われる。

3.2.3.2 RCP (Rapid Control prototyping)による検討

前項で検証した制御モデルを用いて RCP による実機検証を行った。図 3.9 に外付けのシャント抵抗で測定した実際の出力電流 I_{Out} と RCP システムで取得した $I_{Out_Fetched}$

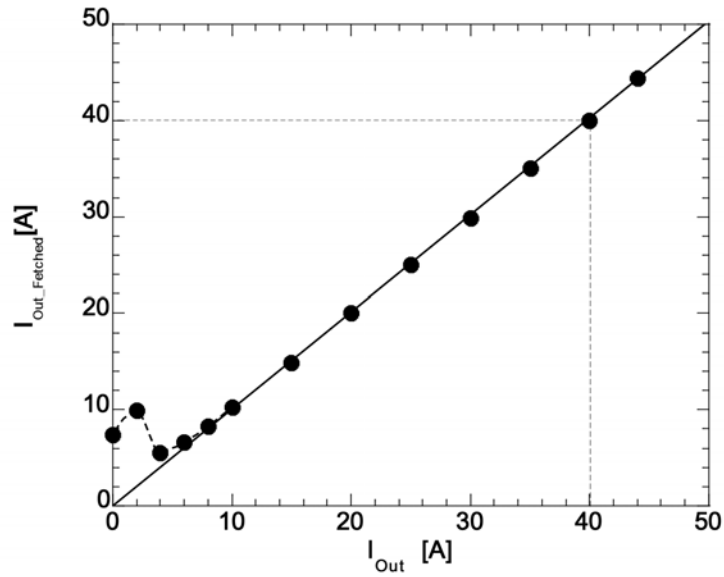


図 3.9 RCP システムで取得した出力電流 $I_{Out_Fetched}$ と実際の出力電流 I_{Out} の相関

の相関を示す。

本テストベッドでは、出力電流の検出は過電流保護を主目的としてカレントトランスにより行っており、出力電流 10 A 以下では、 $I_{Out_Fetched}$ の線形性が低下して、出力電流の評価には使用できないことがわかった。カレントトランスの代わりにシャント抵抗を用いることで低出力側の精度を上げることは可能だが、高出力側での効率低下との

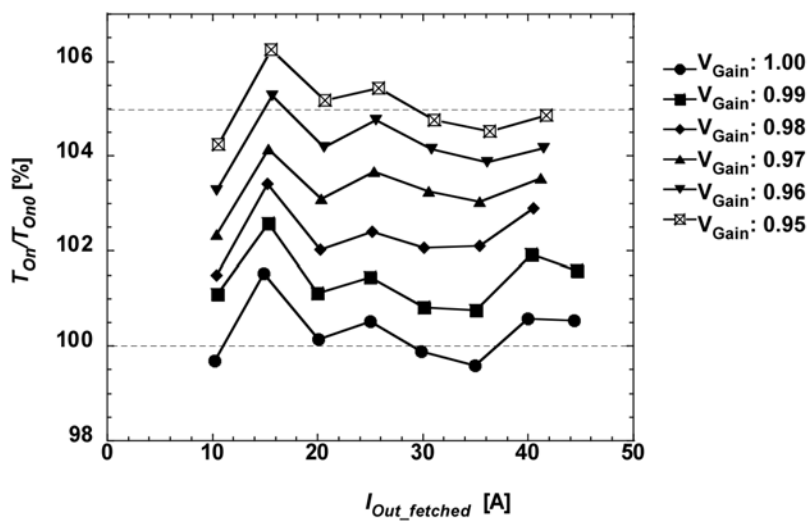


図 3.10 RCP による電圧検出回路のゲイン低下時の $\frac{T_{On}}{T_{On0}}$ の出力電流 I_{Out} 依存性

トレードオフとなる。以降の検証は 10 A 以上の領域で行った。

図 3.10 に電圧検出回路のゲインが低下した場合の $\frac{T_{On}}{T_{On0}}$ の出力電流依存性を示す。5A ステップで電子負荷の電流を増加させながら手動で測定した。15 A 付近に山、35 A 付近に谷が見られるが、シミュレーションで効率評価から R_{Loss} ルックアップテーブルの作成まで自動で行った MILS の場合と異なり、 R_{Loss} ルックアップテーブルおよび $\frac{T_{On}}{T_{On0}}$ 検証時の I_{Out} の刻み幅の影響と考えている。MILS の場合と比較して、精度そのものは低下しているが、それでも $\pm 0.5\%$ の範囲に入っており、ゲイン 1% の低下は十分検出でき

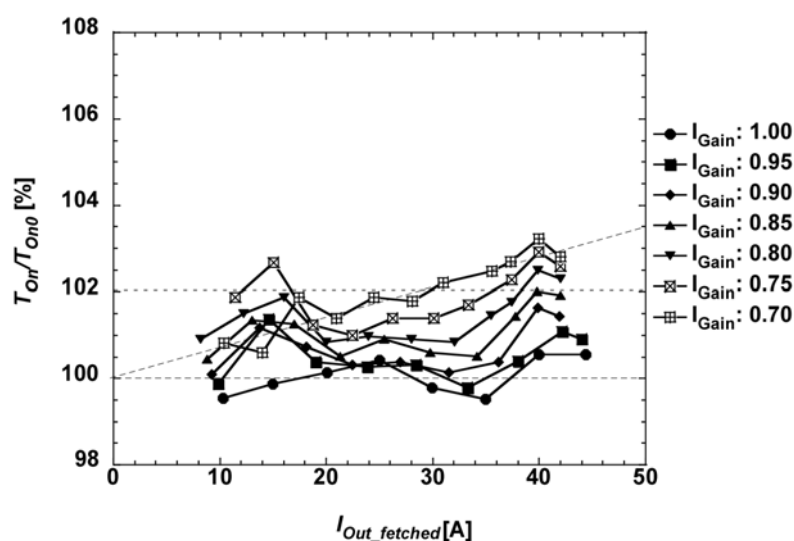


図 3.11 RCP による電流検出回路のゲイン低下時の $\frac{T_{On}}{T_{On0}}$ の出力電流 I_{Out} 依存性

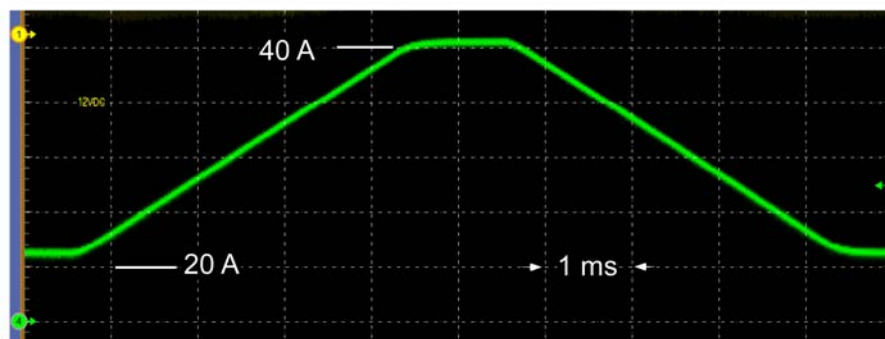


図 3.12 負荷変動の影響検証に使用した三角波

る。

図 3.11 に電流検出回路のゲインが低下した場合の $\frac{T_{On}}{T_{On0}}$ の出力電流依存性を示す。過電流によるテストベッドへのダメージを避けるため、冷却を強化した上で、ゲイン低下30%、出力実電流 60 A 以下の範囲で測定を行った。RCP による実機検証でも MILS での結果と同じく高負荷領域で $\frac{T_{On}}{T_{On0}}$ の線形な出力電流 I_{Out} 依存性が確認できた。

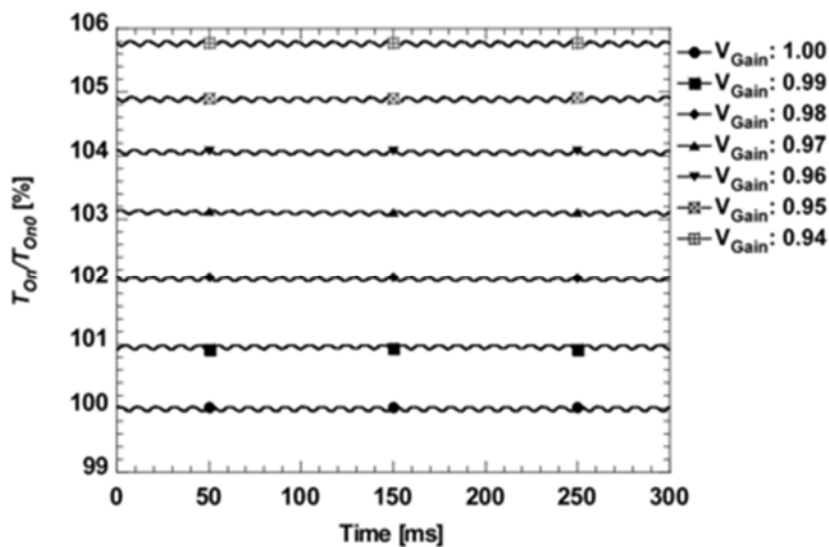


図 3.13 RCP による電圧検出回路のゲイン低下時の三角波での $\frac{T_{On}}{T_{On0}}$ の評価

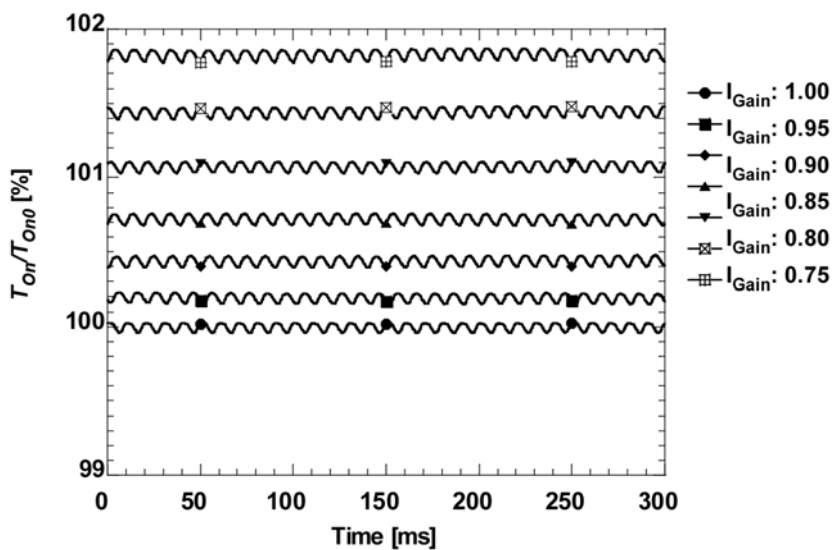


図 3.14 RCP による電流検出回路のゲイン低下時の三角波での $\frac{T_{On}}{T_{On0}}$ の評価

さらに、図 3.12 に示す 100 Hz の三角波電流波形を用いて連続的な負荷変動の影響を評価した。線形性が低下する 10 A 以下の領域は使用せずに平均 30 A の電流を流している。図 3.13 に電圧ゲイン低下時の $\frac{T_{On}}{T_{Ono}}$ 波形を示す。図 3.5 に示したローパスフィルタとして遮断周波数 3.5Hz の IIT フィルタを入れているため、三角波の 100 Hz 成分は抑制されゲイン低下として 1% 以下の変化が実機でも検出できることがわかった。電流感出回路のゲイン低下の場合の結果も図 3.14 に示した。やはり電圧検出回路と比較して低感度となっている。ゲインの低下に対して非線形な依存性を示しているが、この依存性が電圧検出回路の劣化との分離に使用できるかどうかは今後の検討課題である。

3.2.4 まとめ

本項では、電源劣化後の実 Duty : $D_{Degraded}$ と電源製造時の特性から取得した劣化前の理論 Duty : D_{tLoss} の比 $\frac{T_{On}}{T_{Ono}}$ を使った電流、電圧検出回路用フォトカプラの劣化検出および故障予測技術について述べた。電圧検出回路に関しては、電圧レギュレーション仕様検証に十分な数% 以下の検出感度が得られた。電流検出回路に関しては 10% オーダの検出感度であり、検出精度の補償には使用できないが、過電流による発火、発煙故障からの保護としては有効と思われる。本手法は電源制御用の MPU が常時監視しているデータのみでの検出が可能で、追加回路が不要であることから従来の手法と比較してコスト、実装サイズの面で優れていると考えている。

3.3 効率低下検出によるパワー半導体の故障予測

式(3.10)では、電流検出用 PC のゲインが、 γ ($0 < \gamma < 1$) に低下した場合を検討したが、本項では同様の方法でパワー半導体等の劣化により、電源装置の損失が増加、効率低下が発生した場合の劣化検出および故障予測方を検討する。

3.3.1 検出方法の検討

1. 2. 4. 2 項で述べたように、パワー半導体の劣化モードの一つとして、動作中のヒートサイクルによるダイボンディング劣化とそれに伴うオン抵抗の上昇^{(47), (52)}が指摘されている。図 3. 15 は Li-Feng Wu⁽⁵²⁾らが行ったヒートサイクルによる FET のオン抵抗劣化評価の結果であるが、初期状態で数 mΩ だったオン抵抗が劣化後には 10mΩ 単位で増加している。そこで 3. 2 で用いた手法により、このオン抵抗の増加が検出できるかどうか感度解析を行った。

FET の劣化により、式 (3. 9) の P_{Loss} が P'_{Loss} に増加し、それに対応する損失等価抵抗 R_{Loss} が R'_{Loss} 、定数項、比例項、自乗項計数 A, B, C が A', B', C' に変化したとすると、劣化後の $\frac{T_{On}}{T_{Ono}}$ は、高効率電源では R_{Loss} または $R'_{Loss} \ll R_{load}$ であるから

$$\frac{T_{On}}{T_{Ono}} = \frac{1 + \frac{R'_{Loss}}{R_{Load}}}{1 + \frac{R_{Loss}}{R_{Load}}}$$

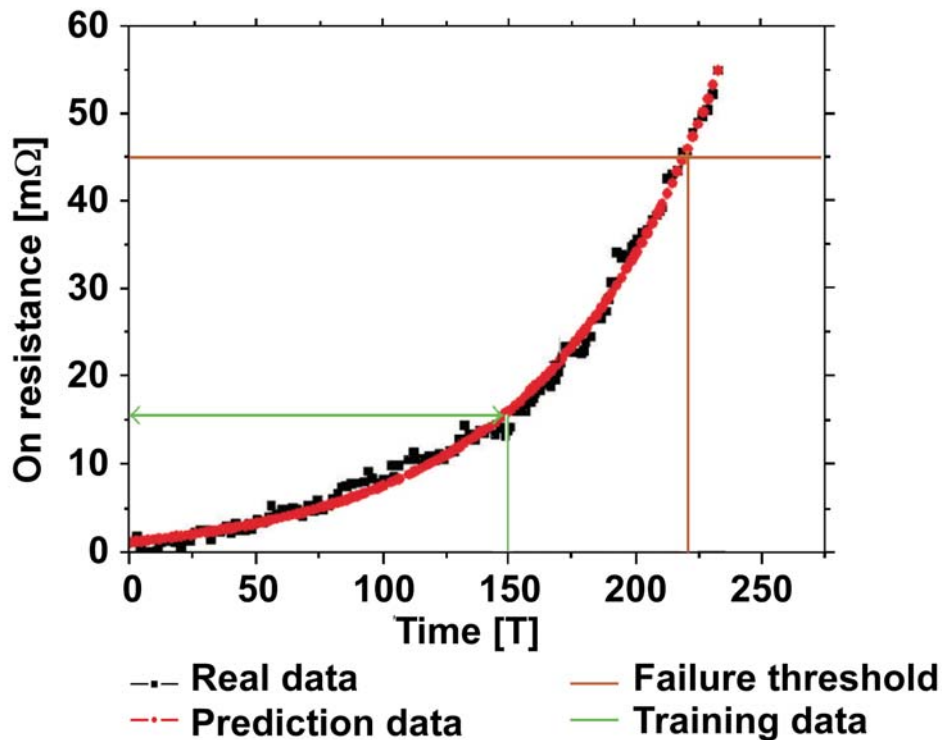


図 3. 15 ヒートサイクルによる FET のオン抵抗の劣化⁽⁵²⁾

© 2015 Li-Feng Wu et al. (クリエイティブ・コモンズ 表示 ライセンスの元にフォント編集の上引用)

$$\begin{aligned}
&\sim \left(1 + \frac{R'_{Loss}}{R_{Load}}\right) \cdot \left(1 - \frac{R_{Loss}}{R_{Load}}\right) \\
&\sim 1 + \frac{R'_{Loss} - R_{Loss}}{R_{Load}} \\
&= 1 + \frac{\frac{P'_{Loss}}{I_{Out}^2} - \frac{P_{Loss}}{I_{Out}^2}}{\frac{V_{Out}}{I_{Out}}} \\
&= 1 + \frac{(A' - A) + (B' - B) + (C' - C) \cdot I_{Out}}{V_{Out}} \quad \dots (3.14)
\end{aligned}$$

と近似することができる。定常状態では出力電圧 V_{Out} は一定であるから、式(3.14)は $\frac{T_{On}}{T_{Ono}}$ が低出力域で、定数項係数 A 、中出力域で比例項係数 B 、高出力域で自乗項係数 C で決まることを意味している。

標準のテストベッドを用いて MILS により等価損失抵抗 R_{Loss} に対する感度解析を行った。 R_{Loss} の増加は、例えば同期整流用 FET のオン抵抗の増加と等価である。図 3.16 に $\frac{T_{On}}{T_{Ono}}$ の R_{Loss} 依存性を示す。式(3.14)から予想されるように、 $\frac{T_{On}}{T_{Ono}}$ も I_{Out} に対して線形な依存性を持っている。図 3.15 より R_{Loss} として $10 \text{ m}\Omega$ の劣化は検出可能と思われ、こ

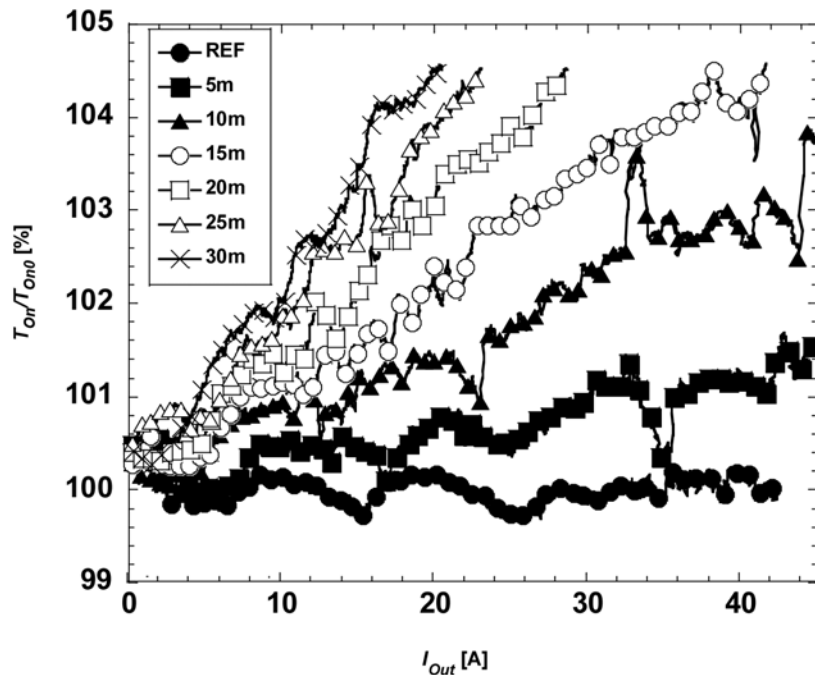


図 3.16 MILS による $\frac{T_{On}}{T_{Ono}}$ の R_{Loss} 依存性評価結果

れは、 $I_{out}=40$ A の時、3.3%ポイントの効率劣化に相当する。3.2.1項でも述べたように、通常電源の冷却能力には、20%程度のマージンを持たせていることから、5~10%程度の効率低下が検出できれば、故障発生前にアラームをあげることができると思われる。

続いてRCPを用いて、効率低下検出の実証実験を行った。

当初、同期整流側のFETをより高抵抗な物に差し替えることで等価抵抗を増加させることを検討したが、一般に同耐圧のFETでは、 $0n$ 抵抗とスイッチング速度はトレードオフの関係にあり、式(3.14)のB項とC項を同時に変更することになってしまうことからリモートセンス端子を用いて等価的に等価抵抗を増加させることとした(図3.17)。テストベッドのリモートセンス端子と電子負荷の間に直列に複数のシャント抵抗を接続し、リモートセンス端子とシャント抵抗を接続することで、シャント抵抗で生じた抵抗損失をテストベッドの損失に繰り込み、制御器からみたテストベッドの効率低下を模擬している。一方、リモートセンス端子の外側のシャント抵抗の影響は、電子負荷(R_{Load})を定電流モードで使うことで、電子負荷との合成抵抗が一定になるように制御した。

付加抵抗は0~4 m Ω まで1 m Ω ごと、出力電流は0~40 Aまで5 Aごとに測定した。

効率低下模擬のMILS結果および電流検出回路の感度検出低下検出実験の結果から、遮断周波数3.5HzのIITフィルタでは精度不足であることが予想されたため、かわりに遮断周波数22 mHzの単純平均フィルタを実装した。Duty平均値の出力毎に積算回数と

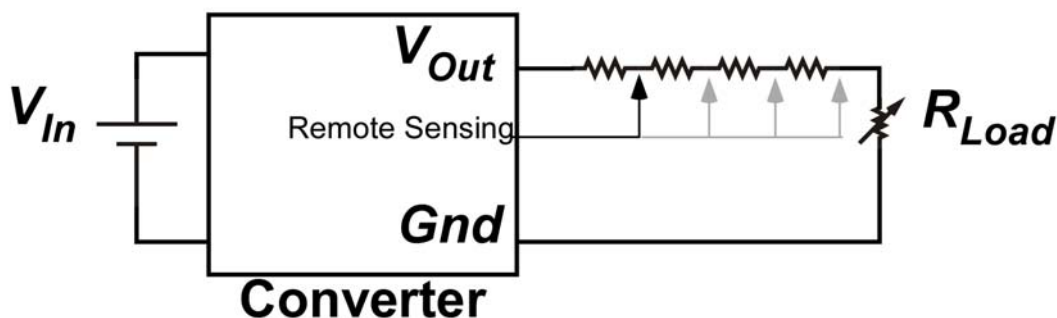
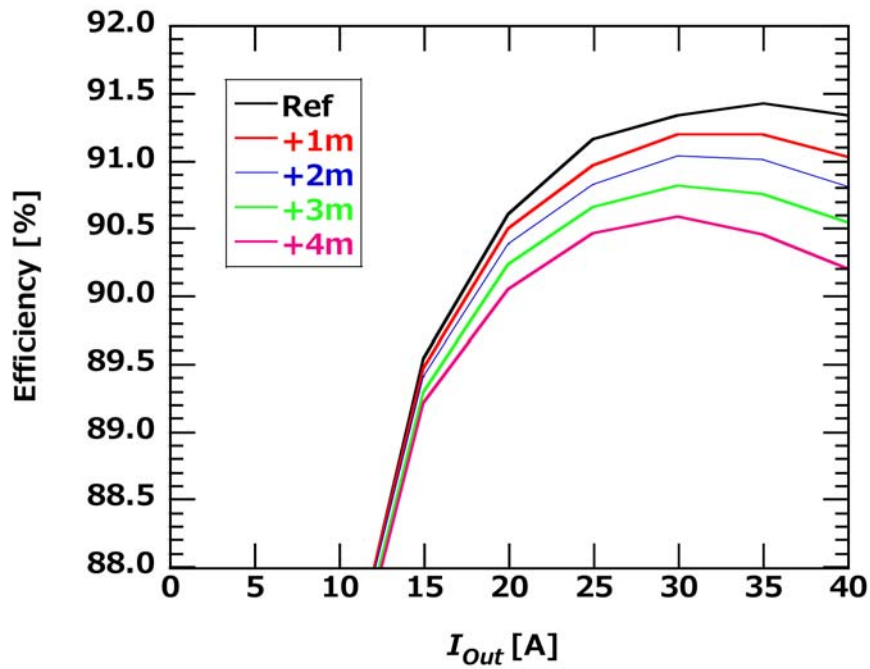
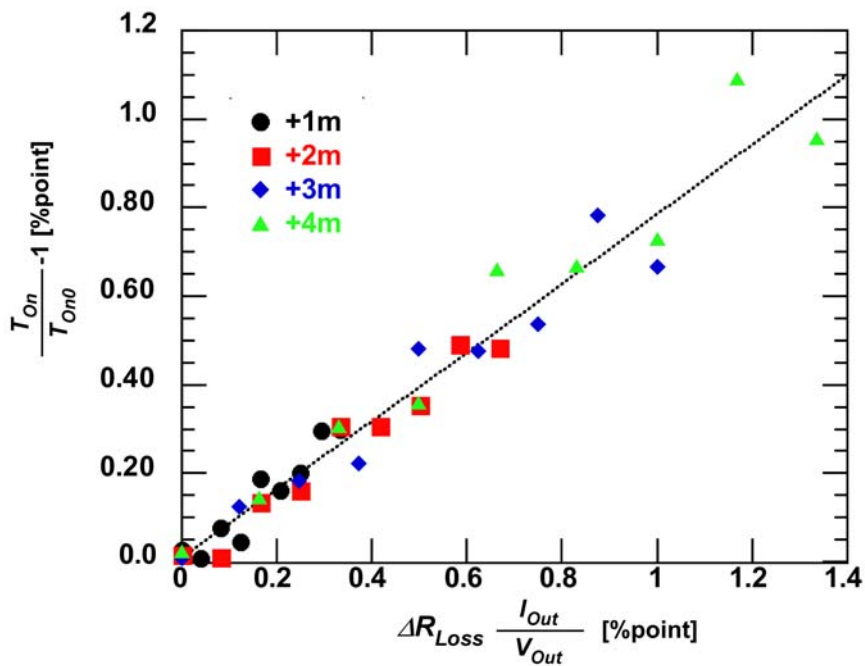


図 3.17 効率低下検出実験の模式図

積算バッファをリセットすることで除算を減らして計算負荷の低減をはかっている。



a)



b)

図 3.18 効率低下の Duty 比監視による検出。 a) シヤント抵抗による損失を含んだ効率、b) 追加抵抗による損失と Duty 比の増加量の関係

図 3.18 に a) シャント抵抗による損失増加まで含めた効率曲線と b) 式 3.14 から求めた Duty 比の増加量 $(\Delta R_{Loss} \frac{I_{out}}{V_{out}})$ と RCP システムから取得した Duty 比の増加量 $(\frac{T_{on}}{T_{ono}} - 1)$ の関係を示す。LPF を強化したこともあり、0.1%point オーダの効率、Duty 比の変化が検出できることがわかった。これは、図 3.15 の測定結果と比較しても FET 劣化による On 抵抗の増加を検出するのに十分な精度である。

また、式(3.14)より低出力側の依存性から、定数項係数 A 、中出力域での依存性から比例項係数 B が評価できることも示唆される。実際の劣化は抵抗の増加だけで無く、すべての劣化が同時に起こることもあり得るため、劣化原因まで含めた故障予測および実電源への実装方法の検討は今後の課題である。

3.3.2 まとめ

3.1 項の手法を拡張し、パワー半導体の劣化による、電源の損失劣化の検出を試みた。FET の劣化モードのうちオン抵抗の増加に関しては、効率数%以下に相当する劣化が検出できる可能性があることを示した。固定損失、スイッチング損失に関しても同様の手法で検出できる可能性はあり今後の課題である。

3.4 まとめ

第 3 章では、電源全体の劣化評価方法として、Duty 比監視によるフォトカプラ劣化による電圧ドリフト、効率低下の検出、故障予測方法について検討した。

本手法は、特に出力電圧のドリフトに対して高感度であり、フォトカプラの CTR として 1%以下の劣化を検出できる。出力電流用フォトカプラの劣化および全体的な効率低下に関しては、%オーダの検出感度となったが、設計上の冷却マージンと比較しても実用上は問題ない範囲と考えている。

第4章 本研究のまとめと今後の展開

本研究では、デジタル制御電源装置の劣化検出および故障予測技術について検討した。

これまで、スイッチング電源のデジタル制御化は、アナログ制御回路の単なる置き換えから、スイッチングタイミングの精密制御による電力変換効率向上、外部システムとの通信機能による状態監視、ロギング、さらには出力電圧を含む設定変更といった新機能を追加しながら進められてきた。本論文ではデジタル制御電源ならではの新機能としてオンライン動作可能かつ追加コスト無しに実装可能なソフトウェア実装の故障予測機能の実現を目標として行った。

図 4.1 に電源の劣化と Duty 比の関係を模式的に示した。劣化前後の Duty 比をそれぞれ太線と細点線で示している。第 2 章で示したように電源構成部品のうち、電解コンデンサの劣化は負荷変動発生時の過渡応答特性の変化として現れ、過渡応答時のピーク値の変化、あるいは制御不安定性の発現といった形で検出できる。第 2 章では、出力電圧の目標値との差分 V_{ERR} で評価を行ったが、過渡応答の開始時点では V_{ERR} と Duty 比は

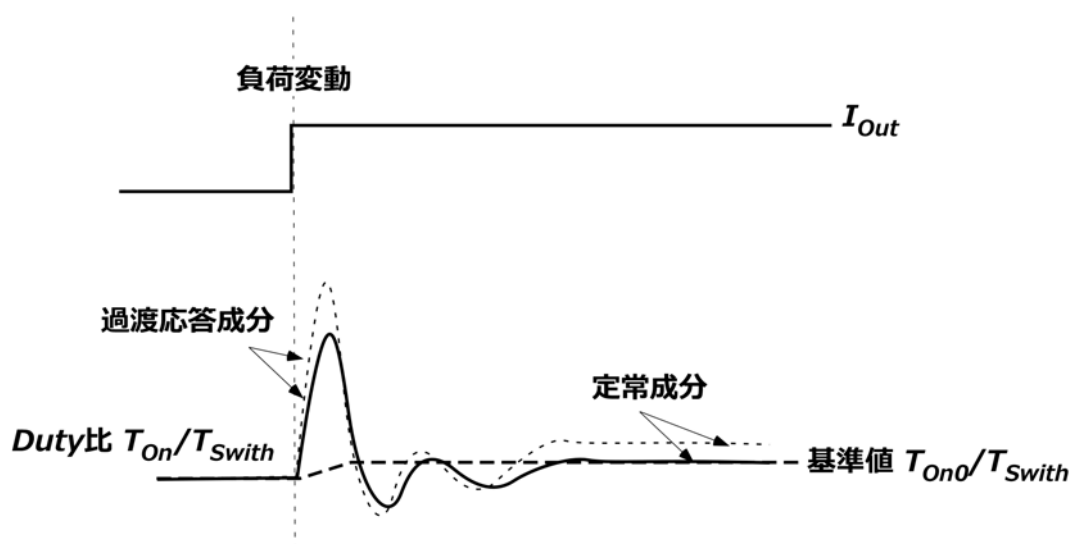


図 4.1 電源の劣化と負荷、Duty 比の関係

線形関係にあり同様に扱うことができる。

一方、第3章で示したように、パワー半導体/制御用半導体の劣化は、定常状態での静特性（効率低下、電圧ドリフト）の変化として現れ Duty 比の平均値のトレンド変化として検出できる。Duty 比は、制御用 MPU が常時、電源制御のために計算しているものであり、制御用マイコンに負荷をかけることなく抽出できる。

寿命部品とされる電解コンデンサ、ファン、パワー半導体、制御用半導体のうち電解コンデンサ、パワー半導体、制御用半導体に関しては本論文で検討した。ファンに関しては、すでに劣化検出機能を持った物が製品化されており、部品に起因する故障に関しては一通り網羅できたこととなる。本手法の適用により、部品起因の電源故障に関しては9割以上をカバーしていると考えている。

一方、本研究で対象としているのは、電解コンデンサであればコンデンサスタック全体としての劣化、パワー半導体であれば電源全体としての効率低下であり、例えばフルブリッジ型コンバータであれば、4つのFETの個々に対して個別に劣化を検出する物ではない。もちろん、部品一つ一つに温度センサ、電流、電圧センサを設置する等の手法により、個別の劣化検出は不可能ではないが、部品コストおよびMPUリソースの増大に直結するものであり、実電源への実装には妨げとなる。ICTシステムの遠隔監視を行う上で必要とされているのは、個々の部品の寿命では無く、電源そのものとしての寿命情報であり本手法で必要十分な情報が取得できるものと考えている。別の言い方をすれば、複数種類の寿命部品から得られる大量の劣化情報を、Duty 比という一つの情報に纏めて検出、出力するものであり、電源そのものにIoTセンサとしての機能とエッジコンピュータとしての解析機能の一部を持たせたということもできると考えている。

以下、本論文の主張を箇条書きにまとめる。

1. 従来の事後保全から、近年進んできた予防保全、予知保全への保守手法の変化の中で故障予測技術の必要性を明らかにした。
2. 従来の研究で示されてきた電源の故障要因を列記し、そのそれぞれに対する劣化検出および故障予測技術の先行研究を紹介し、評価時に電源の停止が必要でオンラインでの遠隔監視には向かない、追加部品が必要でコスト増になること

が普及の妨げになっているという課題を明らかにした。

3. 電源のデジタル制御とその開発スキームであるデジタル電源のモデルベース開発技術に関して歴史を含めて紹介し、著者の提案するデジタル制御に基づく電源装置の故障予測技術の基盤技術を明らかにした。
4. 電源において最大の故障率を持つ寿命部品として知られている電解コンデンサに関して、オンラインでの遠隔監視への適用を目指して検討されている先行研究に関して詳述した。
5. 追加部品が不要でファームウェアとして実装できることでコスト増無しに実装可能な故障予測手法として、デジタル制御用のマイコンが制御用に常時監視しているデータのみで実現可能なデジタル制御に基づく電源装置の故障予測技術を提案した。
6. 電解コンデンサの劣化検出および故障予測手法として、負荷急変時の過渡応答における電圧変動量監視による手法と ESR 劣化時に発生する制御不安定性検出による手法の 2 手法を提案し、シミュレーションおよび制御エミュレータを用いた実基板検証で電解コンデンサの劣化検出に十分な分解能を持っていることを示した。
7. 数値解析を用いて ESR 劣化時に発生する制御不安定性は、デジタル制御に特有のサンプリングから制御値適用までのむだ時間に起因するものであり、電解コンデンサ劣化時に顕在化するように設計可能なことを示した。
8. 電流、電圧検出回路用のフォトカプラ劣化による電圧ドリフト、過電流検出回路の未検出、および、パワー半導体劣化による効率劣化の検出法として定常動作時の Duty 比のトレンド監視による評価手法を提案した。
9. 電源の損失をすべて抵抗性の損失として繰り込んだ仮想的な抵抗である等価損失抵抗の概念を導入し、フォトカプラ劣化による電圧ドリフト、過電流検出回路の感度低下、および、パワー半導体劣化を含む電源劣化による効率低下が Duty 比に与える影響を定式化し、劣化後の Duty 比を劣化前の初期値でノーマライズすることで出力電流依存性を監視することで様々な劣化が検出できることを示

した。

10. シミュレーションおよび制御エミュレータを用いた実基板検証で、電圧検出回路に関して1%以下、電流検出回路および効率劣化に関して%オーダの劣化が検出できることを示した。出力電圧の要求仕様は一般に基準値 $\pm 5\%$ 、通常、過電流に対するヒューズ切断までのマージンおよび電源装置の冷却マージンは20%以上あり、これは故障予測を実現するために十分な分解能である。

アカデミックな領域での今後の展開として、本手法の拡張を検討する。第3章で検討したDuty比監視による故障予測法に関して、等価回路が図3.1では表せない昇圧コンバータやスイッチング周波数が常に変化する周波数変調型のコンバータへの適用を検討したい。さらには、負荷としてICT用の電子機器だけでなく電動機を接続した場合の故障予測も大きな課題だと思われる。

また、実用上の今後の展開では、本手法は制御用マイコン上にソフトウェアとして実装するものであり、コスト増無しに実装できる点を活かし、できる限り早く実電源に組み込んでフィールドでの評価に進みたいと考えている。

実現源を用いたフィールド評価を行うことで故障予測機能の検証と警報閾値の精密化を進められるものと期待している。故障予測機能の精度を向上させていくことで、ICT機器以上の信頼性、可用性が要求されるインフラ系、交通系への適用を進めて行く。最終的には、電源そのものをIoT用センサとして、接続されたシステムの劣化検出および故障予測に活用することを検討していきたい。

謝辞

本研究の遂行と論文作成にあたり、長年にわたる温かいご指導・支援をいただいた指導教官である長崎総合科学大学 黒川 不二雄教授に感謝いたします。同時に各論文の共著者として、実験、ディスカッションを含め多大な貢献をいただいた富士通研究所 中島 善康主管研究員、米澤 遊氏、菅原 貴彦氏に感謝いたします。研究におけるアドバイス、実験における助力等様々な貢献をいただいたおかげで本論文を完成させることができました。

長崎大学の先生方 辻 峰男教授、樋口 剛教授、山下 敬彦教授、柴田 裕一郎准教授および丸田 英徳准教授に感謝いたします。各先生方のおかげで社会人ドクターとして充実した3年間を送ることができました。

社会人ドクターとしての勉強の機会を与えていただいた富士通研究所 堀江 健志取締役、久門 耕一シニアアドバイザー、赤星 直輝コンピュータシステム研究所所長に感謝いたします。実験、データ整理等でご助力をいただいた富士通研究所 檜本氏、福田氏、電源の制御、およびモデルベース開発において様々な助言をいただいた富士通研究所 佐々木 智丈 氏、本故障予測技術の実電源への実装で助力をいただいた富士通アドバンステクノロジー株式会社 平原 実部長、細山 尚登マネージャー、棟安 和紀氏、真鍋 厚氏に感謝いたします。

最後になりましたが、研究活動に寛大な理解を示し、支えとなってくれた母にも心から感謝致します。皆さま、ここまで支えて頂き、本当にありがとうございました。ここにお名前を記すことが出来なかった多くの方々にも心から感謝申し上げます。

改めまして、これまで携わって頂いた多くの方々に深い感謝の意を表して、謝辞とさせていただきます。

参考文献

- (1) W. V. Heddeghem, S. Lambert, B. Lannoo, D. Colle, Mario P., and P. Demeester, “Trends in worldwide ICT electricity consumption from 2007 to 2012” , Computer Commu., Vol 50, pp. 64-76, Sep. 2014.
- (2) L. A. Barroso, J. Clidaras, and U. Hölzle, “The datacenter as a computer: an introduction to the design of warehouse-scale machines, second edition” , Morgan & Claypool, pp. 67-98, Jul. 2013.
- (3) A. Shehabi, S. Smith, D. Sartor, R. Brown, M. Herrlin, J. Koomey, E. Masanet, N. Horner, I. Azevedo, and W. Lintner, “United states data center energy usage report”, LBNL-1005775, Ernest Orlando Lawrence Berkeley National Lab, USA, Jun., 2016.
- (4) 80 PLUS [Online], <http://www.plugloadsolutions.com/80PlusPowerSupplies.aspx>, last accessed at Oct. 18, 2017.
- (5) R. K. Mobley, “An introduction to predictive maintenance 2nd edition” , Elsevier, Sep., 2002.
- (6) JEITA, “予知保全技術に関する調査報告書” , [online], https://home.jeita.or.jp/upload_file/20120628102027_elgD9Ed5tM.pdf, last accessed at Jun. 20, 2018.
- (7) NTT ドコモ “登山道でも「つながる」をめざして” , [online], <https://www.ntt.docomo.co.jp/support/area/mountain/>, last accessed at Feb. 23, 2018.
- (8) 総務省, “地上デジタルテレビ放送中継局リスト” , [online], http://www.soumu.go.jp/main_sosiki/joho_tsusin/dtv/datashu/datashu_05.html, last accessed at Feb. 23, 2018.
- (9) A. Lahyani, P. Venet, G. Grellet, and P.-J. Viverge, “Failure prediction of electrolytic capacitors during operation of a switchmode power supply,” IEEE Trans. Power Electron., vol. 13, no. 6, pp. 1199-1207, Nov. 1998.
- (10) Military Handbook 217 F, “Reliability prediction of electronic equipment,” Feb. 28, 1995.
- (11) D. Hill, “Why power supplies fail: a real world analysis” , [online] <https://ieeetv.ieee.org/ieeetv-specials/apec-2016-david-hill-why-power-supplies-fail-a-real-world-analysis?rf=events|76&>, in plenary session of 2016 Appl. Power Electron. Conf. and Expo. (APEC 2016), Mar. 2016, last accessed at Jan. 6, 2018.

- (12) “IPC-9591: Performance Parameters (Mechanical, Electrical, Environmental and Quality/Reliability) for Air Moving Devices” , IPC, pp. 1-16, Apr. 2006.
- (13) “ISO 281:2007 Rolling bearings -- Dynamic load ratings and rating life” , International Organization for Standardization, [online], <https://www.iso.org/standard/38102.html>, last accessed Mar. 7, 2018.
- (14) H. Oh, M. H. Azarian, D. Das and M. Pecht, “A critique of the IPC-9591 standard: performance parameters for air moving devices” , IEEE Trans. Device and Mater. Reliab. , vol. 13, no. 1, pp. 146-155, Mar. 2013.
- (15) Q. Miao, C. Tang, W. Liang and M. Pecht, “Health assessment of cooling fan bearings using wavelet-based filtering” , Sensors, vol. 2013, no. 13, pp. 274-291, Dec. 2012.
- (16) H. Oh, T. Shibutani and M. Pecht, “Precursor monitoring approach for reliability assessment of cooling fans” , J. Intell. Manuf. Vol. 2012, no. 23, pp. 173-178, Nov. 2009.
- (17) オリエンタルモーター, “冷却ファンのメンテナンスは、いつしますか?” , [online], https://www.orientalmotor.co.jp/om/products/hansoku/fan_heater201311/fan.html, last accessed at Feb. 26, 2018.
- (18) サガミエレク株式会社, “ コイルを使う人のための話 第一部” , [online], www.sagami-elec.co.jp, last accessed at Jul. 4, 2018.
- (19) V. Nemkov and R. Goldstein, “Increasing inductor life by predicting coil copper temperatures” , Hest Treting Progress, Sep./Oct. 2007, pp. 44-49.
- (20) ROHM, “ 電源の変遷とメタルインダクタ ” , [online], <http://micro.rohm.com/jp/techweb/tech-info/engineer/4804>, last accessed at Jul. 4, 2018.
- (21) H. Huang, A. Boyer and S. Ben Dhia, “Analysis and modelling of passive device degradation for a long-term electromagnetic emission study of a DC-DC converter” , Microelectron. Reliab., vol. 55, no.9-10, pp. 2061-2066, Aug.-Sep. 2015.
- (22) 谷口俊二, 山口義彰, 原田耕介, 「鉛電池の満充電及び劣化度判定方法について」, 電子情報通信学会論文誌 B, vol. J85-B, no. 11, pp. 1952-1963, Nov. 2002.

- (23) 辻川知伸, 松島敏雄, 「通信用制御弁式鉛蓄電池の遠隔モニタリングシステム」, 電子情報通信学会論文誌 B, vol. J89-B, no. 5, pp. 697-704, May 2006.
- (24) J. Sabatier, M. Merveillaut, J. M. Francisco, F. Guillemard, and D. Porcelatto, "Fractional models for lithium-ion batteries", Proc. of 2013 Euro. Cont. Conf. (ECC 2013), pp. 3458-3463, Jul. 2013.
- (25) X. Gong, R. Xiong, and C. C. Mi, "Study of the characteristics of battery packs in electric vehicles with parallel-connected lithium-ion battery cells", IEEE Trans. on Ind. Appli., pp. 1872-1879, vol. 51, no. 2, Mar./Apr. 2015.
- (26) S. Ohtani, J. Miyamoto, H. Kajitani and S. Takahashi, "On-line lithium-ion battery state of health estimation using aging-related impedance identification with optimization", Proc. of 2015 IEEE Inno. Smart Grid Tech. - Asia (ISGT ASIA 2015), pp. 1-5, Nov. 2015.
- (27) C. P. Fernández, W.D. Widanage, G.H. Chouchelamane, and J. Marco, "A SoH diagnosis and prognosis method to identify and quantify degradation modes in li-ion batteries using the IC/DV technique", Proc. of 6th Hybrid and Elec. Vehicles Conf. (HEVC 2016), pp. 1-6, Nov. 2016.
- (28) F. Ciortea, C. Rusu, M. Nemes, and C. Gatea, "Extended Kalman filter for state-of-charge estimation in electric vehicles battery packs", Proc. of 2017 Int. Conf. on Optim. of Elect. and Electro. Equip. (OPTIM 2017) & 2017 Int. Aegean Conf. on Elect. Machines and Power Electro. (ACEMP 2017), pp. 611-616, May 2017.
- (29) G. Dong, Z. Chen, J. Wei and Q. Ling, "Battery health prognosis using Brownian motion modeling and particle filtering", IEEE Trans. on Ind. Elec., pp. 8646-8655, vol. 65, no. 11, Nov. 2018.
- (30) P. T. Krein, "Digital control generations -- digital controls for power electronics through the third generation", Proc. of 2007 Int. Conf. on Power Electron. And Drive System (PEDS 2007), pp. 1-5, Nov. 2007.
- (31) PMBUS, [Online], <http://pmbus.org/Home>, last accessed Aug. 16, 2018.
- (32) V. B. Boros, "A digital proportional, integral and derivative feedback controller for power conditioning equipment," Proc. of 1977 IEEE Power Electron. Specialists Conf. Rec. (PESC 77), pp. 135-141,

Jun. 1977.

- (33) N. R. Miller, "A digitally controlled switching regulator," Proc. of 1977 IEEE Power Electron. Specialists Conf. Rec. (PESC 77), pp. 142-147, Jun. 1977.
- (34) Y. Yonezawa, H. Nakao, T. Sasaki, Y. Nakashima and T. Maruyama, "Digital dead-time control for two phase double-ended forward converter", Proc. of 2013 IEEE Int. Conf. on Power Electron. and Drive System (PEDS 2013), pp. 1144-1149, Apr. 2013.
- (35) V. Yousefzadeh and D. Maksimovic, "Sensorless optimization of dead times in DC-DC converters with synchronous rectifiers", IEEE Trans. Power Electron., vol. 21 no. 4, pp. 994-1002, Jul. 2006.
- (36) 細山 尚登, 米澤 遊, 眞鍋 厚, 佐々木智丈, 松井由信, "サーバ向け DC-DC デジタル電源高効率化のためのデッドタイム自動切替制御およびデッドタイムテーブル値自動最適化の実現", 信学技報, vol. 113, no. 392, pp. 19-23, Jan. 2014.
- (37) コーセル, "大電力・高効率パワーモジュール電源(安定型バスコンバータ)『CHS700』の開発及び販売について", プレスリリース, [online], <http://v4.eir-parts.net/v4Contents/View.aspx?cat=tdnet&sid=1570471>, last accessed at Jul. 4, 2018.
- (38) T. Grote, H. Figge, N. Fröhleke, W. Beulen, F. Schafmeister, P. Ide and J. Böcker, "Semi-digital interleaved pfc control with optimized light load efficiency", Proc. of 2009 Appl. Power Electron. Conf. and Expo. (APEC 2009), pp. 1722-1727, Feb. 2009.
- (39) J. Chen, A. Prodić, R. W. Erickson, and D. Maksimović, "Predictive digital current programmed control," IEEE Trans. Power Electron., vol. 18, no. 1, pp. 411-419, Jan. 2003.
- (40) L. Jia, D. Wang, J. Fu, Y.-F. Liu, and P. C. Sen, "A novel parameter-independent digital optimal control algorithm for DC-DC Buck converters based on parabolic curve fitting," Proc. of 2010 IEEE Energy Conv. Cong. and Expo. (ECCE 2010), pp. 500-507. Sept. 2010.
- (41) F. Kurokawa, K. Kajiwara, Y. Shibata and Y. Yamabe, T. Tanaka and K. Hirose, "Control characteristics of novel digital peak current mode DC-DC converter," Proc. of 2013 IEEE Power Electron. and Drive Systems (PEDS 2013), pp. 125-129, Apr. 2013.
- (42) F. Kurokawa, K. Kajiwara, Y. Shibata and Y. Yamabe, T. Tanaka and K.

- Hirose, “A new digital peak current mode DC-DC converter using FPGA delay circuit and simple A-D converter,” Proc. of 2012 IEEE Energy Conv. Cong. and Expo. (ECCE 2012), pp. 1698-1702, Sep. 2012.
- (43) V. Yousefzadeh, N. Wang, D. Maksimović and Z. Popović, “Digitally controlled DC-DC converter for RF power amplifier”, Proc. of 2004 Appl. Power Electron. Conf. and Expo. (APEC 2004), pp. 81-87, Feb. 2004.
- (44) M. Agarwal, B. C. Paul, M. Zhang and S. Mitra, “Circuit Failure Prediction and Its Application to Transistor Aging”, Proc. of 2007 IEEE VLSI Test Sympo. (VTS '07), pp. 277-286, May 2007.
- (45) Y. Kameda and M. Mizuno, “Tunable duplex LSIs achieved by multiple phase-modulated clocks capable of predicting delay-increase and -decrease faults”, Proc. of 2009 Symp. on VLSI Circuits, pp. 114-115, Jun., 2009.
- (46) P. F. Kocybik and K. N. Bateson, “Digital control of a ZVS full-bridge DC-DC converter”, Proc. of 1995 Appl. Power Elec. Conf. and Expo. (APEC 95), pp. 687-693, Mar. 1995.
- (47) B. Wang, J. Cai, X. Du and L. Zhou, “Review of power semiconductor device reliability for power converters”, Cpss Trans. Power Electron. and Appl., vol. 2, no. 2, pp 101-117, Jun. 2017
- (48) J. R. Celaya, A. Saxena, S. Saha, V. Vashchenko and K. Goebel, “Prognostics of power MOSFET”, Proc. of 2011 Int. Symp. on Power Semicon. Devices & IC's (ISPSD 2011), pp 160-163, May, 2011.
- (49) Y. Luo, F. Xiao, B. Wang and B. Liu, “Failure analysis of power electronic devices and their applications under extreme conditions”, Chinese J. of Electrical Eng. vol. 2, no1. pp. 91-100, Jun. 2016.
- (50) I. F. K. Badstuebner, J. W. Kolar, U. Schilling, “Modelling for the lifetime prediction of power semiconductor modules”, Chapter 5 of “Reliability of power electronic converter systems”, IET digital library, pp. 103-140, Dec. 2015.
- (51) 両角 朗, 山田 克美, 宮坂 忠志, “パワー半導体モジュールにおける信頼性設計技術”, 富士時報, vol. 74, no. 2, pp. 145-148, Feb. 2001.
- (52) L. F. Wu, Y. Guan, X. J. Li, and J. Ma, “Anomaly detection and degradation prediction of MOSFET”, Math. Prob. in Eng., Vol. 2015, Article ID 573980, pp. 1-5, Jun. 2015.

- (53) 富士通, ” 故障予測による設備メンテナンス高度化”, [online], <http://www.fujitsu.com/jp/solutions/business-technology/intelligent-data-services/bigdata/offering/002-index.html>, last accessed at Feb. 23, 2018.
- (54) 藤島 泰郎, 二橋 謙介, 佐藤 恵一, 平野 竜也, 木内 裕介, 見持 圭一, “高度複雑システムの故障予兆検出技術”, 三菱重工技報 vol. 49 no. 4 pp. 119-125, Apr. 2012.
- (55) F.A. P. Hine and D. L. Iverson, “An Integrated approach to system design, reliability, and diagnosis”, Proc. of 9th IEEE/AIAA/NASA Conference on Digital Avionics Systems (DASC 1990), pp. 480-487, Oct. 1990.
- (56) “M. J. Ringer, T. M. Quinn and A. Merolla, “Lessons Learned from the Autonomous Power System”, Telematics and Informatics, vol. 8, no. 4, pp. 365-383, 1991.
- (57) M. Nolan and J. P. Giordano, “Use of adaptive model-based reasoning for embedded diagnostics and redundancy management for fault tolerant systems”, 1997 IEEE Autotestcon Proceedings (AUTOTESTCON '97), pp. 455-466, Sep. 1997.
- (58) E. Balaban, S. Narasimhan, H. N. Cannon, L. S. Brownston, “Model-based fault detection and diagnosis system for NASA mars subsurface drill prototype”, Proc. of 2007 IEEE Aerospace Conf. (AeroConf 2007), pp. 1-13, Jun. 2007.
- (59) J. Kurien, M. D R-Moreno, D. Automatica, “Costs and benefits of model-based diagnosis”, Proc. of 2008 IEEE Aerospace Conf. (AeorConf 2008), pp. 1-14, Mar. 2008.
- (60) T. Kurtoglu, S. B. Johnson, E. Barszcz, J. R. Johnson and P. Robinson, “Integrating system health management into the early design of aerospace systems using functional fault analysis”, Proc. of 2008 Int. Conf. on Prog. and Health Manegement (PMH 2008), pp.1-11, Oct. 2008.,
- (61) L. Yi-bo and L. Jin-ying, “Review on integrated health management for aerospace plane”, Proc. of 2011 Int. Conf. on Electro. & Mecha. Eng. and Inf. Tech. (EMEIT 2011), pp. 2052-2055, Aug. 2011.
- (62) 増田 真一, 服部 哲朗, “複数センサを活用する無線遠隔監視システムの開発”, IEEJ Trans. IA, vol.127, no. 6, pp.610-617, Jun. 2007.
- (63) 田中 毅弘, 後 藤滋, “遠隔監視システムによる建築設備の運用に関する調査と解析 第1 報—システム概要と警報発生状況”, 空気調和・衛生工学会論文

- 集, no. 45 pp. 35-41, Feb. 1991.
- (64) 田中 毅弘, 後 藤滋, “遠隔監視システムによる建築設備の運用に関する調査と解析 第2報 - 初期故障について”, 空気調和・衛生工学会論文集, no. 47 pp. 1-5, Oct. 1991.
- (65) H. Hayasaka, J. Kanetani, S. Nakashima, M. Yamazaki, T. Babasaki, R. Kondo and M. Amano, “Method of detection of lot defects for maintenance of ICT power supplies and air conditioning equipment and verification results”, Proc. of 2017 IEEE Int. Telecom. Energy Conf. (INTELEC 2017), pp. 121-126, Oct. 2017.
- (66) K. Kanetani, M. Yamazaki, T. Babasaki, H. Kim and T. Matsubayashi, “Optimization of maintenance by failure prediction considering instantaneous and cumulative effects of external environments, Proc. of 2018 Int. Power Elec. Conf. (IPEC 2018), pp. 207-212, May 2018.
- (67) ニチコン, “General description of aluminum electrolytic capacitors”, [Online], www.nichicon.co.jp/english/products/pdf/aluminum.pdf, last accessed at Feb. 26, 2018.
- (68) ルビコン, “アルミニウム電解コンデンサ テクニカルノート”, [online], <http://www.rubycon.co.jp/products/alumi/pdf/Performances.pdf>, last accessed at Feb. 27, 2018.
- (69) オムロン, 五十棲 正志, 大場 恒俊, “残存寿命予測報知方法、温度検出構造および電子機器”, 特開 2003-343269
- (70) オムロン, “交換時期が見える電源 S8VS シリーズ ハード編”, [online], <http://www.fa.omron.co.jp/product/special/ps/interview/>, last accessed at Jan. 18, 2018.
- (71) 三菱電機, 新藤 研二, 伊藤 龍男, 安藤 高彦, “電源装置の寿命予報回路”, 特開平 1-260369
- (72) 三菱電機, “よくある質問(FAQ) 寿命診断について”, [online], http://faq.mitsubishielectric.co.jp/faq/show/15860?category_id=590, last accessed at Jan. 18, 2018.
- (73) K. Harada, A. Katsuki, and M. Fujiwara, “Use of ESR for deterioration diagnosis of electrolytic capacitor,” IEEE Trans. Power Electron., vol. 8, no. 4, pp. 355-361, Oct. 1993.
- (74) A. M. R. Amaral and A. J. M. Cardoso, “Use of ESR to predict failure of output filtering capacitors in boost converters,” Proc. of 2004 Int. Symp. IEEE Ind. Electron. (ISIE 2004), vol. 2, pp. 1309-1314,

May 2004.

- (75) Y.-M. Chen, H.-C. Wu, M.-W. Chou, and K.-Y. Lee, "Online failure prediction of the electrolytic capacitor for LC filter of switching-mode power converters," *IEEE Trans. Ind. Electron.*, vol. 55, no. 1, pp. 400-406, Jan. 2008.
- (76) K. Abdennadher, P. Venet, G. Rojat, J. M. R´etif, and C. Rosset, "Online monitoring method and electrical parameter ageing laws of aluminum electrolytic capacitors used in UPS," *Proc. of 2009 Eur. Conf. Power Electron. Appl. (EPE 2009)*, pp. 1-9, Sep. 2009.
- (77) K. Abdennadher, G. Rojat, J. M. R´etif, and C. Rosset, "A real-time predictive-maintenance system of aluminum electrolytic capacitors used in uninterrupted power supplies," *IEEE Trans. Ind. Appl.*, vol. 46, no. 4, pp. 1644-1652, Jul./Aug. 2010.
- (78) H. M. Pang and P. M. H. Bryan, "A life prediction scheme for electrolytic capacitors in power converters without current sensor," *Proc. of 2010 Appl. Power Electron. Conf. and Expo. (APEC 2010)*, pp. 973-979 Mar. 2010.
- (79) M. A. Vogelsberger, T. Wiesinger, and H. Ertl, "Life-cycle monitoring and voltage-managing unit for dc-link electrolytic capacitors in PWM converters," *IEEE Trans. Power Electron.*, vol. 26, no. 2, pp. 493-503, Feb. 2011.
- (80) L. Liu, Y. Guan, M. Wu, and L. Wu, "Failure prediction of electrolytic capacitors in switching-mode power converters," *Proc. of 2012 Conf. IEEE Prognostics Syst. Health Manage. (PHM-2012 Beijing)*, pp. 1-5, Sep. 2012.
- (81) H. Nakao, Y. Yonezawa, Y. Nakashima, and F. Kurokawa. "RCP evaluation of electrolytic capacitor degradation for SMPS failure prediction, *Proc. of 2016 Appl. Power Electron. Conf. and Expo. (APEC 2016)*, pp. 754-758, Mar. 2016.
- (82) H. Nakao, Y. Yonezawa, Y. Nakashima, and F. Kurokawa, "Failure prediction using low stability phenomenon of digitally controlled SMPS by electrolytic capacitor ESR Degradation", *Proc. of 2017 Appl. Power Electron. Conf. and Expo. (APEC 2017)*, pp. 2323-2328, Mar. 2017.
- (83) H. Nakao, Y. Yonezawa, T. Sugawara, Y. Nakashima, and F. Kurokawa, "Online evaluation method of electrolytic capacitor degradation for

- digitally controlled SMPS failure prediction”, IEEE Trans. Power Electron., vol. 33, pp. 2522-2558, Mar. 2018.
- (84) 中尾 宏, 米澤 遊, 中島 善康, 黒川 不二雄, “負荷変動時のリンギング検出によるデジタル制御スイッチング電源出力コンデンサの故障予測”, 信学技報, vol. 117, no. 424, pp. 165-170, Jan. 2018.
- (85) 杉本 孝広, “サーバの電力消費傾向とピークカットの取り組み”, [online], https://techblog.yahoo.co.jp/infrastructure/power_peak_cutting/, last accessed at Feb. 28, 2018.
- (86) TI “位相シフト・フル・ブリッジ DC/DC パワー・コンバータ”, [online], <http://www.tij.co.jp/tool/jp/tidm-psfb-dcdc#descriptionArea>, last accessed Sep. 9, 2018.
- (87) E. Reed “Can ESR be too low?”, Proc. of 2010 Symp. for Passive Compo. (CARTS 2010), pp. 1-10, Apr. 2010.
- (88) “Basic characteristics and application circuit design of transistor photocouplers”, Toshiba, [online], <https://toshiba.semicon-storage.com/info/docget.jsp?did=13438>, last accessed at May 21, 2017.
- (89) “Overvoltage-protection circuit saves the day”, Linear Technology, [online], <http://www.linear.com/docs/39658>, last accessed at May 21 2017.
- (90) “Datasheet of HCNR200 and HCNR201”, Avago Technologies, [online], www.avagotech.com/docs/AV02-0886EN, last accessed at May 21, 2017.
- (91) Datasheet of TLP7820”, Toshiba, [online], http://toshiba.semicon-storage.com/info/lookup.jsp?pid=TLP7820®ion=nscs&lang=en_us, last accessed at May 21, 2017.
- (92) J. Schauffele and T. Zurawka, “Automotive software engineering: principles, processes, methods and tools”, pp. 1-385, Warrendale: SAE International, Jun. 2005.
- (93) R. K. Jurgen, Ed., “Automotive software: PT-127”, pp. 1-640, .Warrendale: Society of Automotive Engineers, Mar. 2006.
- (94) J. Krasner, “Comparing embedded design outcomes with and without model-based design,” American Technology International, pp. 1-28, White Paper, Oct 2010.
- (95) B. Kamiriski, K. Wejrzanowski and W. Kwzara, “An application of PSIM simulation software for rapid prototyping of DSP based Power

- Electronics control systems” , 2005 IEEE Power Electron. Specialists Conf. Rec. (PESC 2004), pp.336-341, Jun. 2004.
- (96) C. L. Smith and M. B. Gilliom, “A flexible rapid-prototyping system for digital-controlled high power converters” , 2005 Appl. Power Electron. Conf. and Expo. (APEC 2005), pp.70-74, Mar. 2005.
- (97) S. Choi and M. Saeedifard, “An educational laboratory for digital control and rapid prototyping of power electronic circuits” , IEEE Trans. Edu., vol. 55, no.2, pp.263-270, May 2012.
- (98) P. I. Muoka, M. E. Haque, A. Gargoom and M. Negnetvitsky, “DSP-based hands-on laboratory experiments for photovoltaic power systems”, IEEE Trans. Edu., vol. 58, no. 1, pp. 39-47, Feb. 2015.
- (99) B. Kedjar, K. Al-Haddad, “DSP-based implementation of an LQR with integral action for a three-phase three-wire shunt active power filter”, IEEE Trans. Ind. Electron., vol.56, no.8, pp. 2821-2828, Aug. 2009.
- (100) DC-DC Buck Converter. The MathWorks. [Online], <http://www.mathworks.com/help/supportpkg/texasinstrumentsc2000/examples/DC-DC-buck-converter.html>, last accessed at Jul. 4, 2018.
- (101) B. dos Santos, R. Esteves Araujo, D. Varajao, and C. Pinto, “Rapid prototyping framework for real-time control of power electronic converters using Simulink” , Proc. of 2013 Conf. of the IEEE Ind. Electron. Society (IECON 2013), pp. 2303-2308. Nov. 2013.
- (102) K. Vardar, T. Surgevil, and E. Akpınar, “Rapid prototyping applications on three-phase pwm rectifier and shunt active power filter” , Proc. of 2009 Int. Conf. on Electrical and Electron. Eng. (ELECO 2009), pp. I-258-I-262, Nov. 2009.
- (103) R. Duma, P. Dobra, M. Abrudean, and M. Dobra, “Rapid prototyping of control systems using embedded target for TI c2000 dsp” , Proc. of 2007 Medit. Conf. on Cont. and Automation (MED 2007), pp.1-5, Jun. 2007.
- (104) C. P. Basso, “Designing control loops linear switching power supplies, a tutorial guide” , Artech House, Dec. 2012.
- (105) T. Quarles, D. Pederson, R. Newton, A. S. Vincentelli, and C. Wayne, “The spice page” , UCB, [Online], <https://bwrcs.eecs.berkeley.edu/Classes/IcBook/SPICE/>, last accessed at Aug. 15, 2018.

- (106) Myway プラス株式会社, “PSIM”, [Online], <https://www.myway.co.jp/products/psim/index.html>, last accessed at Aug. 15, 2018.
- (107) Plexim GmbH, “PLECS”, [Online], <https://www.plexim.com/ja/home>, last accessed at Aug. 15, 2018.
- (108) Analog Devices, “LTSPICE”, [Online], <http://www.analog.com/en/design-center/design-tools-and-calculators/ltpice-simulator.html>, last accessed at Aug. 15, 2018.
- (109) Y. Yonezawa, T. Sasaki, H. Hosoyama, H. Nakao, A. Manabe, J. Kaneko, Y. Nakashima and T. Maruyama “Rapid control prototyping for server power supply with high-resolution PWM,” Proc. of 2015 Appl. Power Electron. Conf. and Expo. (APEC 2015), pp. 2635-2641, Mar. 2015.
- (110) T. Sasaki, H. Hosoyama, Y. Yonezawa, A. Manabe, K. Huang, X. Liu, J. Chen, J. Kaneko and Y. Nakashima, “Production code generation for server power supply controller,” Proc. of 2015 Appl. Power Electron. Conf. and Expo. (APEC 2015), pp. 2656-2663, Mar. 2015.
- (111) 米澤 遊, 中尾 宏, 中島 善康, “デジタル制御電源向けモデルベース開発環境の構築”, 信学技報, vol. 117, no. 424, pp. 115-120, Jan. 2018.
- (112) 米澤 遊, “デジタル制御電源製品開発に対するモデルベース開発の適用”, 先進的な設計・検証技術の適用事例報告書 2015 年度版, 情報処理推進機構, **15-A-19**, pp. 1-14, [online], <https://www.ipa.go.jp/files/000049397.pdf>, last accessed at Jul. 4, 2018.
- (113) Y. Yonezawa, H. Nakao and Y. Nakashima, “Novel hardware-in-the-loop simulation (HILS) technology for virtual testing of a power supply”, Proc. of 2018 Appl. Power Electron. Conf. and Expo. (APEC 2018), pp. 2947-2951, Mar. 2018.
- (114) Y. Yonezawa, H. Nakao, Y. Nakashima, A. Vithanage, T. Kanehira and Y. Ueno, “Model-based development of high-current-density point-of-load converter of high performance FPGA for telecommunication application”, Proc. 2017 IEEE Int. Telecom. Energy Conf. (INTELEC 2017), pp. 351-356, Oct. 2017.
- (115) D. Yamashita, H. Nakao, Y. Yonezawa, Y. Nakashima, Y. Ota, K. Nishioka and M. Sugiyama, “A new solar to hydrogen conversion system with high efficiency and flexibility”, Proc. of 2017 IEEE Int. Conf. on Renewable Energy Research and Appli. (ICRERA 2017), pp. 1-6, Oct. 2017.

- (116) A. Elbanhawy, “Is power conversion efficiency running out of steam as a comparison tool?”, Proc. of 2005 Int. Telecom. Energy Conf. (INTELEC 2005), pp.51-57, Sep. 2005.
- (117) H. Nakao, Y. Yonezawa, T. Sugawara, Y. Nakashima, and F. Kurokawa, “Online degradation detection/prediction method for current transfer ratio of photo-coupler installed in digitally-controlled switching mode power supply”, IEEJ J. of Ind. Appli., vol. 7, no.5, pp.403-409, Sep. 2018.
- (118) H. Nakao, Y. Yonezawa, Y. Nakashima, and F. Kurokawa, “Online degradation detection method for voltage regulation and efficiency in digitally-controlled switching mode power supply”, Proc. of 2018 IEEE Energy Conv. Cong. and Expo. (ECCE 2018), Sept. 2018, in press.
- (119) “Overvoltage-protection circuit saves the day”, Linear Technology, [online], <http://www.linear.com/docs/39658>, last accessed at May 21, 2017.
- (120) “Datasheet of HCNR200 and HCNR201”, Avago Technologies, [online], www.avagotech.com/docs/AV02-0886EN, last accessed at May 21, 2017.
- (121) “Datasheet of TLP7820”, Toshiba, [online], http://toshiba.semicon-storage.com/info/lookup.jsp?pid=TLP7820®ion=nca&lang=en_us, last accessed at May 21 2017.
- (122) “DOSAs standard specification of eighth brick DC-DC converter”, [online], http://www.dosapower.com/standards/DOSA_16th_brick_Specifications.pdf, last accessed at May 7, 2018.
- (123) 中尾 宏, 米澤 遊, 中島 善康, 黒川不二雄, “ICT機器用電源の劣化検出/寿命予測技術”, 電子情報通信学会 和文論文誌 B, in press.
- (124) Hiroshi Nakao, Yu Yonezawa, Yoshiyasu Nakashima, “Recent Trend in Power Elec. for ICT Systems”, Proc. the 2018 Int. Power Elec. Conf. (IPEC-Niigata 2018 -ECCE Asia), pp.196-200, May, 2018.
- (125) MATLAB/Simulink, [online], https://jp.mathworks.com/?s_tid=gn_logo, last accessed at Jul. 4, 2018.