

ハードウェア記述言語による電圧形インバータ用 PWM 発生回路の開発

泉 勝 弘*・古 川 雄一朗**
辻 峰 男*・小 山 純*
山 田 英 二*

Development of PWM Generator for Voltage-Type Inverter using Hardware Description Language

by

Katsuhiro IZUMI*, Yuichirou FURUKAWA**, Mineo TSUJI*
Jun OYAMA*, Eiji YAMADA*

This paper presents a compact and high confident PWM generator with field programmable gate array (FPGA) to control high speed switching devices. FPGAs which have a large scale and big capacity are designed using hardware description language (HDL) in the field. Method of PWM pattern generation is asynchronous-type PWM, because hardware and software of it becomes simple. This FPGA contains many data latches, four counters and many logic. PWM generator with FPGA inputs the duty data and dead time one from a host processor and outputs the gate signal to the power device. We generate PWM patterns with a double edge modulation, and provide a variable dead time for prevent of upper and lower arm short-circuit. Experimental results are shown to verify functions of PWM generator with FPGA.

1 まえがき

近年、GTO (Gate Turn Off Thyristor) や IGBT (Insulated Gate Bipolar Transistor) 等の高速半導体スイッチングデバイスの実用化に伴い、これらを用いたインバータ出力電圧の制御方式にも高速性、高制御性が望まれるようになってきている。このため、インバータ出力波形は単純な方形波から PWM (Pulse Width Modulation) 制御方式へ移行している。PWM はインバータ出力波形の半周期内を複数のパルスに分割し、個々のパルス幅を制御することによって、出力電圧の制御と波形改善 (低次高調波の低減) を行なう制御方式である。

この PWM には同期式と非同期式があり、非同期

式 PWM は信号波周波数に関係なく一定搬送波周波数で動作できるので、ハードウェアやソフトウェアが簡素となり、高速な PWM パターンが発生できる。またさらに、非同期式 PWM に高速半導体デバイスを適用することにより、高速制御が可能となる⁴⁾。従来、これらの PWM 発生回路は TTL IC や PLD などを用いて構成されてきたが、これらを用いたのでは集積度に限界があるため、PWM 発生回路の高速化・高性能化には限度がある。

現在、ユーザが IC を自由にカスタマイズでき、TTL IC で数百個分以上の回路を1チップにいれることが可能な ASIC (Application Specific Integrated Circuit) が普及し、電子機器は小型化、省

平成8年4月26日受理

*電気情報工学科 (Dept. of Electrical Engineering and Computer Science)

**電気情報工学専攻 (Graduate Student, Dept. of Electrical Engineering and Computer Science)

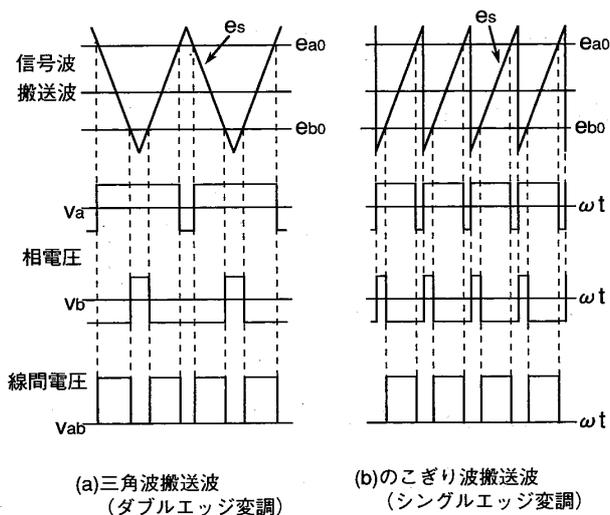


Fig. 1 PWM voltage waveform of triangular and sawtooth carrier wave.

電力化されている。電子回路の信頼性は電子部品の数量で決まるところがあり、機能の大小にはあまり関係がないため、複雑な機能を持った回路でも少ない部品で組むことができれば信頼性を上げることができる。これらを採用することにより、ユニット・コストは下がり、動作速度を速くすることが可能となる。また回路の開発法には、機能図、論理式、真理値表、ハードウェア記述言語などが用いられているが、半導体技術のめざましい進歩によりチップは大規模・大容量化したため、複雑な回路を開発する場合、機能図、論理式、真理値表で開発するのは困難である。しかし、ハードウェア記述言語は、回路の動作をソフトウェアのように設計開発でき、論理合成ツールを使うためゲートレベルの設計を設計者自身が行わなくてもよく、ファンアウトの調整や同時にスタティックな遅延解析も可能である。すなわち、設計者にとって手間のかかったことが、ツールを使って自動的になり、ゲートレベルの設計期間が短縮される⁶⁾。さらに、ASIC の一種である FPGA はユーザが内容をプログラムでき、ハードウェア記述言語を用いて回路を設計できる。

本論文では、FPGA とハードウェア記述言語を用いて、小型・高性能の電圧形インバータ用 PWM 発生回路を開発している。このとき、ダブルエッジ変調で PWM パターンを発生させるために、PWM 周期カウンタをアップカウント・ダウンカウントを繰り返させて、PWM 周期と三角波に相当するデジタル値を得ている。また、ダウンカウンタでデッドタイムを発生させ、インバータ短絡を防いでいる。これらの機能を持つ PWM 発生回路の試験を行い、PWM 発生原理の実証を行っている。

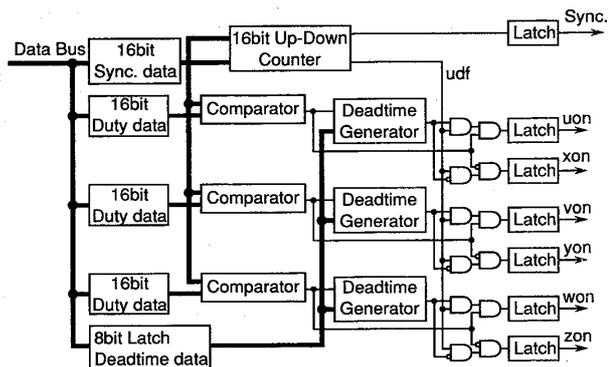


Fig. 2 Block diagram of PWM generator.

2 PWM パターン発生回路

PWM 発生方式には同期式と非同期式があるが、同期式 PWM を用いると搬送波周波数の切り替えを行わなければならない、ソフトウェアとハードウェアが複雑になる。これに対して非同期式 PWM は、搬送波周波数選定の自由度が高く、搬送波周波数一定であるため回路が簡素にできる。しかし、必要とされる出力周波数より数段大きい搬送波周波数を用いないと搬送波の測波帯が信号波に接近し、ビートなどの障害が発生する。また、搬送波の形状により片エッジ変調と両エッジ変調があるが、片エッジ変調ではのこぎり波状の信号を用いるため回路構成やソフトウェアを簡略化できる。しかし、三角波を用いる両エッジ変調と比較すると、図1に示すように、スイッチング回数が多いため高調波含有率が多くなる。このため、本論文では出力パルスの立ち上がりとしち下りの両エッジを制御する三角波を用いる。

PWM パターン発生回路のブロック図を図2に示す。この構成では PWM パターンを作成するのに両エッジ変調を用いているため、アップ・ダウンカウンタにより三角波を作り、同期信号と PWM パターンを発生させる。またスイッチング素子である IGBT インバータが短絡されるのを防ぐために、ダウンカウンタによりデッドタイムを発生させている。これらの同期信号とアップ・ダウンカウンタのタイムチャートを図3に示す。三角波を作るためには、アップ・ダウンカウンタのアップカウントとダウンカウントを切り替える必要がある。その切り替えを行うのは、ホストコンピュータから得られた制御周期データとアップ・ダウンカウンタのカウント値が一致した時点である。図3より得られたアップ・ダウンカウンタのフローチャートを図4に示す。初期設定では、このカウンタはアップカウントするように、制御信号 udf を“H”にしておく。アップカウント中は、カウント値が制御周

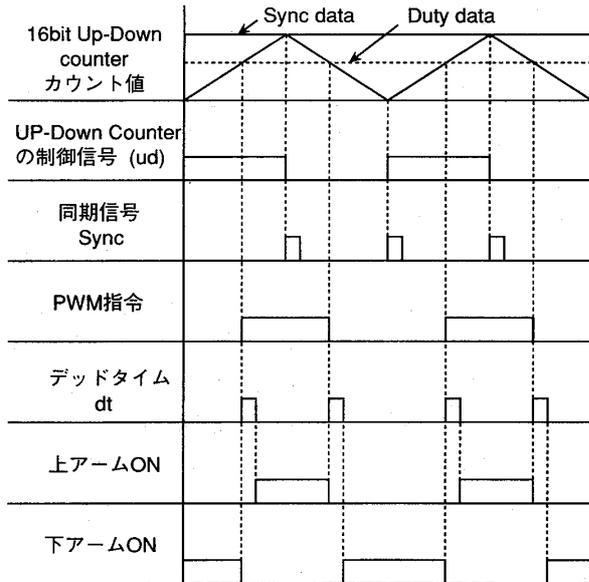


Fig. 3 Timechart of PWM generator.

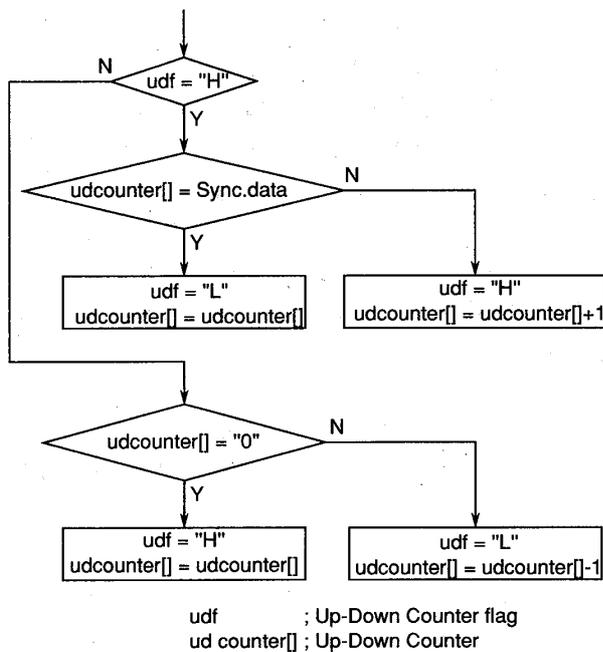


Fig. 4 Flowchart of up-down counter.

期データと一致するまで udf を “H” にしておき、制御周期データと一致した時点でダウンカウントに切り替えるために udf を “L” にする。ダウンカウント中はカウント値が “0” になるまでダウンカウントを行い、“0” になった時点でアップカウントに切り換える。この動作を繰り返すことにより三角波ができる。

三角波の山と谷の部分で、カウント値と制御周期データと一致したという信号と、カウント値 “0” であるという信号をラッチすることによりクロックに同期した同期信号が得られる。

図3に示すように、PWM 指令は、ホスト側から得

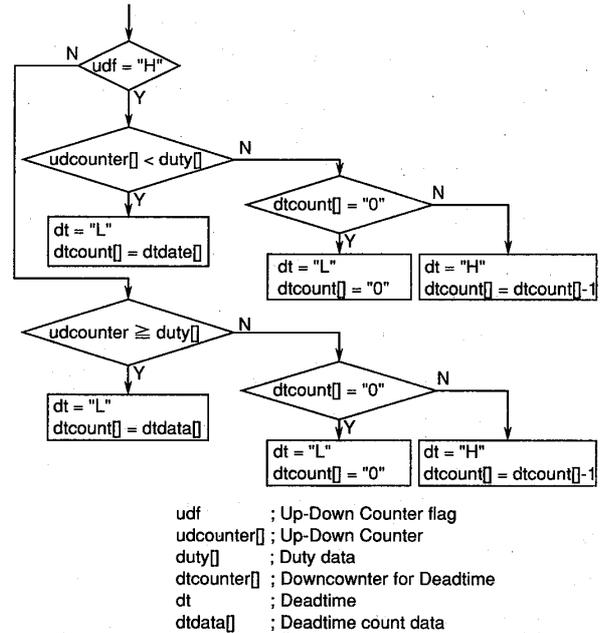


Fig. 5 Flowchart of deadtime generator.

られる U 相, V 相, W 相, 各相のデューティデータとアップ・ダウンカウンタの値を比較し、カウント値がデューティデータ以上のときに “H” を発生させる。また、PWM 指令の立ち上がり、立ち下がりにデッドタイムを発生させる。

デッドタイム発生フローチャートを図5に示す。上アーム立ち上がりのデッドタイムを発生させる場合、PWM 指令が “H” になるとホストコンピュータから得られたデッドタイムカウントデータをデッドタイム用のダウンカウンタを用いて “0” になるまでダウンカウントさせ、ダウンカウント中はデッドタイムを発生させる。同様にして下アームのデッドタイムを発生させる。

上述の PWM とデッドタイムで作出した信号から、点弧パターンを作成する。上アーム点弧パターンでは、アップカウント中のカウント値が “0” になったときに立ち上げ、ダウンカウント中の制御周期データとアップ・ダウンカウンタの値が一致したときに立下げる。よってそれぞれの信号から出力された点弧パターンをラッチすることにより同期した上下アームの点弧パターンが得られる。

3 HDLによる設計

FLEX デザイン・キット CQ/版に添付されているアルテラ社のハードウェア記述言語である AHDL により設計を行い、その基板と FPGA により動作確認を行う。

設計プログラムの AHDL は次の構成である。

- PIN ASSIGN セクションはピン番号にピン名称を対応づける。これは、論理設計が終了してから追加可能であり、とくにセル使用率が80%を越えると想定できるときは、ピン・アサインは最終段階で行うべきである。
- SUBDESIGN セクションでは、ピン名称で指定されたピンの入力、出力、入出力などの信号の方向を記述する。
- VARIABLE セクションでは、使用するフリップフロップやノード、シーケンサの定義を行う。
- 以上までは各種の定義や設定で、この後にロジック部とテーブルをおく。

本論文では、クロックは全て共通にして単一クロックの同期回路で構成し、ロジック部ではリセット中と動作中をシーケンサで区別する。リセット中は、リセット解除信号が来るまで状態を維持し、解除信号が得られたら `udf` を “H” にし、アップ・ダウンカウンタのイニシャルを行いステートを動作中に変える。リセット解除になると `udf` = “H” の IF 文には、アップ・ダウンカウンタを制御周期データと一致するまでアップカウントさせる IF 文とアップ・ダウンカウンタの値とデューティデータを比較する IF 文がある。前者では、制御周期カウントデータと一致したら `udf` = “L” にし、ダウンカウントを行う。また後者では、さらに IF 文でアップ・ダウンカウンタの値がデューティデータ以上になった時点でデッドタイム用カウンタでダウンカウントさせ上アーム用のデッドタイムを発生させる。同様にして `udf` = “L” の IF 文には、アップ・ダウンカウンタの値が “0” になるまでダウンカウントさせる IF 文とアップ・ダウンカウンタの値とデューティデータを比較させる IF 文がある。前者では、制御周期カウントデータと一致したら `udf` = “H” にし、アップカウントを行う。また後者では、さらに IF 文でアップ・ダウンカウンタの値がデューティデータより小さくなった時点でデッドタイム用カウンタでダウンカウントさせ下アーム用のデッドタイムを発生させる。さらに、それぞれの信号の論理式で記述することでゲート信号が得られる。

4 実験による検証

FLEX デザイン・キット/CQ 版で行なった PWM パターン発生回路の機能確認の波形を示す。機能確認のためクロック周波数を250kHz とし、アップ・ダウンカウンタを4 bit のものにし、同期信号データを“15”とした。またU相のみでデッドタイム用ダウンカウンタは2 bit とし、デッドタイムデータを“1”とした。図6の(a), (b), (c), (d) は、それぞれデューティデータを“5”, “7”, “9”, “11”とした波形である。これらにより、与えられたカウントデータ通りの動作を行っていることがわかる。また、Sync., UON, XON の波形が1クロック遅れているのは、信号を一度ラッチさせクロックに同期させたためである。

5 あとがき

本論文では、ハードウェア記述言語を用いて小型・高信頼性の電圧形インバータ用 PWM 発生回路を設計し、アルテラ社の FLEX デザイン・キット/CQ 版を用いて機能確認の実験を行った。

実験では、与えられたデータ通りの同期信号、またデッドタイムを考慮したゲート信号が得られ、設計が正しく行えたことが示された。機能確認のため、アップ・ダウンカウンタは4 bit、デッドタイム用のダウンカウンタは2 bit で行なったため、使用ロジック・セル数は“68”で、これは使用デバイスチップである EPF8282 の32%である。

参考文献

- 1) 小林：「トランジスタ技術別冊付録」, CQ出版社 (1995)
- 2) 日本テキサスインスツルメンツ株式会社：「FPGA 概要」(1994)
- 3) 野中, 岡田, 小山, 伊藤, : 「パワーエレクトロニクス演習」(1985)
- 4) 矢野：「半導体電力変換回路」, 電気学会編 (1987)
- 5) 在田, 森, 由宇：「電力制御回路設計ノウハウ」(1985)
- 6) CQ 出版社：「インターフェイス」No. 7 (1995)
- 7) 神戸：「パソコン用プログラマブルロジック開発パッケージ FLEX デザイン・キット/CQ 版マニュアル」, CQ 出版社 (1994)

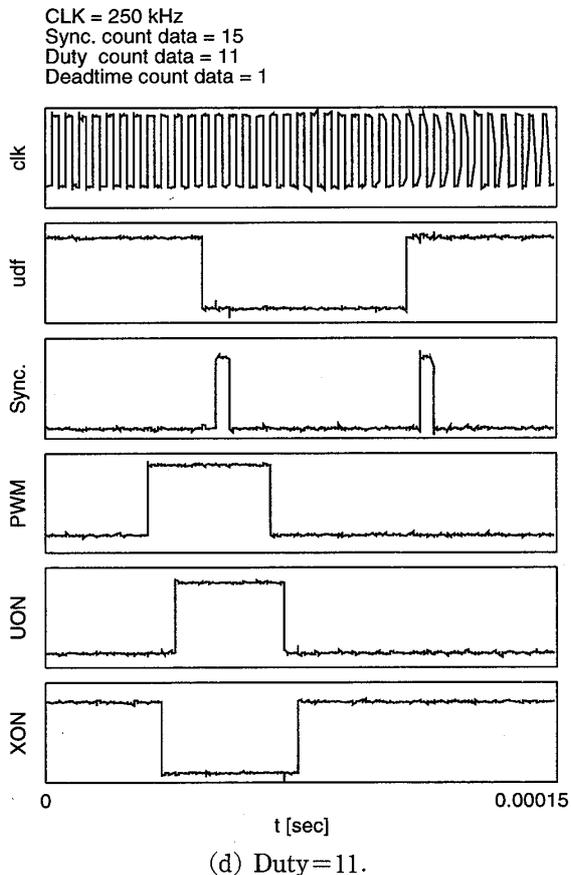
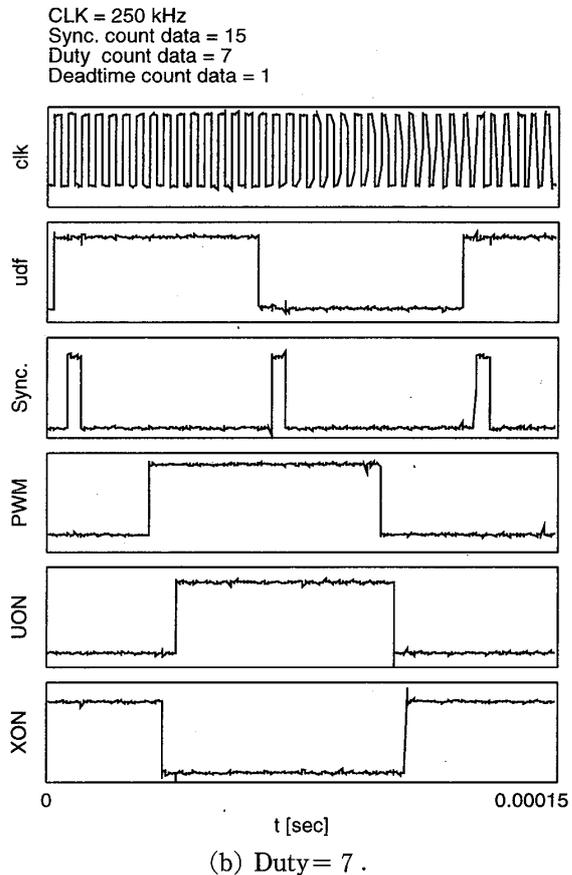
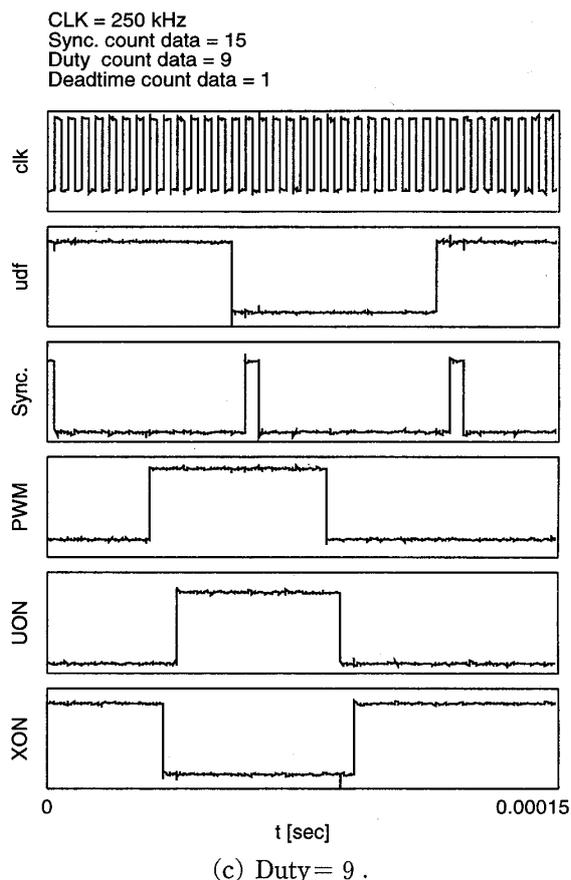
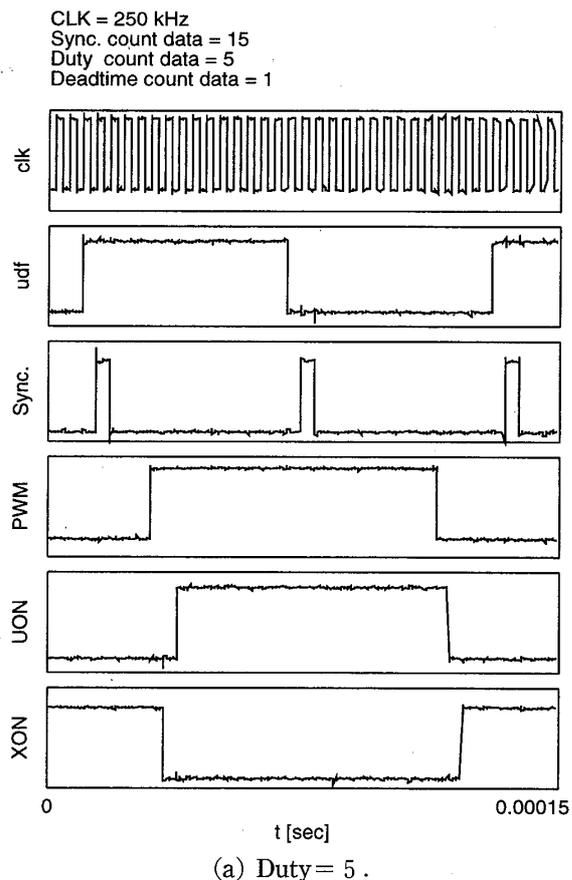


Fig. 6 Experimental results.