

2 入力昇降圧形 DC-DC コンバータの電力損失の解析

林 文忠* ・石塚 洋一**
松尾 博文*

Power Loss Analysis of Two-Input Buck-Boost Type DC-DC Converter

by

Wenzhong LIN*, Yoichi ISHIZUKA** and Hirofumi MATSUO*

Recently, the multiple-input power supply systems have been developed aggressively to exploit the clean energy resources such as solar array, fuel cell, wind generator and so forth. However, the power loss analysis of the multiple-input DC-DC converter has not been made and therefore it is not clarified how to improve the power efficiency of this converter. In this paper, the composition and distribution of the power loss of the converter are analyzed and the occurring mechanism of the power loss is defined. The parameters that dominantly affect the power efficiency are indicated. As a result, the methods to achieve high power efficiency for the converter are obtained.

1. まえがき

近年、太陽電池、燃料電池、風力発電などのクリーンなエネルギーを利用する多入力電源システムが注目を集めている。筆者らは、この多入力 DC-DC コンバータに対して、先にトランスやリアクトルの磁気結合を用いた回路方式を提案している[1]-[3]。この回路方式では、複数のエネルギー源が同時に利用でき、回路構成が簡単で、小型、軽量などの特徴を持ち、マルチメディア社会での多様な給電方式への応用が期待されている。しかし、この回路方式の電力効率についてまだ十分に検討されていない。電力損失の観点から考えると、多入力回路のスイッチング周波数は入力回路の個数に応じて増加している。従って、多入力 DC-DC コンバータにおいて、より高い電力効率を達成するために、損失はどこで発生

しているかまたはその発生の原因を明確にして、適切な回路の改善方法を探す必要がある[4]。

本稿では、まず、多入力 DC-DC コンバータの中で回路構成が最も簡単で実用的と思われる 2 入力昇降圧形 DC-DC コンバータの回路に対して、各回路素子における電力損失を測定し、電力損失の分布を求める。次に、各電力損失の分布により、リアクトルの入出力巻線間の漏れインダクタンス、MOSFET スイッチ素子の寄生容量及び 2 次側の整流ダイオードの順方向の電圧降下などは 2 入力昇降圧形 DC-DC コンバータの電力効率に大きく影響することを明らかにする。さらに、電力損失を低減するため、アクティブクランプ回路を適用する 2 入力昇降圧形 DC-DC コンバータについて述べる。

平成 15 年 4 月 18 日受理

*大学院生産科学研究科(Graduate School of Science and Technology)

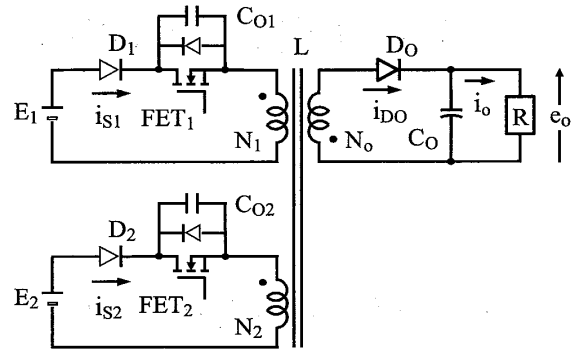
**電気電子工学科(Department of Electrical and Electronic Engineering)

2. 2入力昇降圧形 DC-DC コンバータの回路

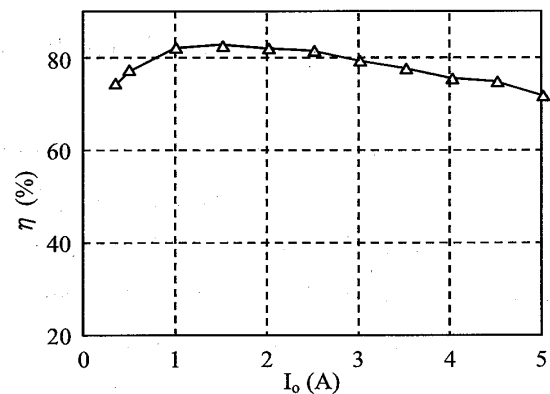
構成及び電力効率特性

図1(a)及び(b)は2入力昇降圧形 DC-DC コンバータの基本回路及び動作原理を表すための入出力回路の電流 i_{S1} , i_{S2} , i_{D0} の波形を示す[5]。 E_1 と E_2 及び S_1 と S_2 は2つの入力回路の入力電圧及び主スイッチ, e_o は出力電圧, N_1 , N_2 及び N_o は, 結合リアクトル L における2つの入力巻線と出力巻線あるいはそれらの巻数比を示している。 D_0 と C_0 は出力回路のフライバックダイオードと平滑キャパシタあるいはそのキャパシタンス, R は負荷あるいはその抵抗である。図1(b)に示すように, リアクトル電流が連続で2つの入力回路のスイッチ S_1 と S_2 が 180° の位相差で交互にオン, オフされ, 入力回路から出力回路へのエネルギーを伝達する。

図2(a)は, 図1(a)においてスイッチ S_1 と S_2 を MOSFET 素子 FET_1 と FET_2 を用いた場合の回路構成であり, C_{O1} と C_{O2} はそれぞれスイッチ素子 FET_1 と FET_2 の出力寄生容量, D_1 と D_2 は逆流防止用ダイオードである。図2(b)は, $E_1=E_2=30V$, $E_o=5V$, 各巻線ターン数比 $N_1:N_2:N_o$ は $5:5:1$, N_1 と N_2 のインダクタンスは, それぞれ $268\mu H$, N_o のインダクタンスは $11.7\mu H$, スイッチング周波数 f_s は $100kHz$ の実験条件での負荷変動に対する電力効率特

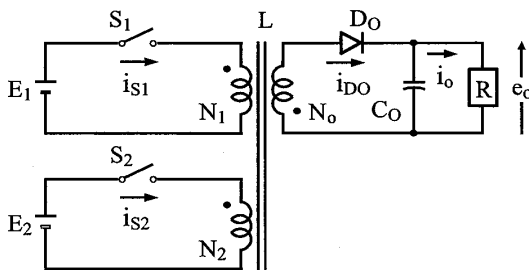


(a) 回路構成

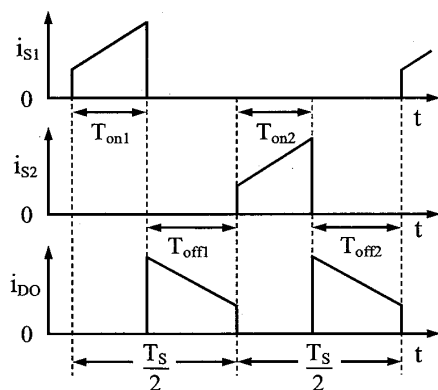


(b) 電力効率特性

図2 MOSFET をスイッチとした回路構成と電力効率特性



(a) 基本回路



(b) 動作原理

図1 2入力昇降圧形 DC-DC コンバータの基本回路と動作波形

性である。図に示すように, 負荷電流の増加に伴い, 電力効率が低下しており, 負荷電流 $5A$ の時には, 電力効率が 72.5% まで低下している。次にこの低下の原因について実験によって検討する。

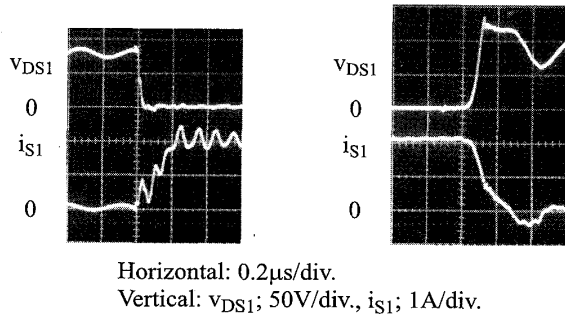
3. 2入力昇降圧形 DC-DC コンバータの電力損失の発生とその分布

3.1 電力損失発生と測定

ここでは, 図2(a)における2入力昇降圧形 DC-DC コンバータの電力損失の発生について解析を行う。実験は, 回路条件が図2(b)の場合と同様で, さらに負荷電流を $5A$ とした場合の回路条件で行った。そのときの入力電流 i_{S1} と i_{S2} の実測値はそれぞれ $0.575A$ である。

3.1.1 スイッチング損失

図3(a)と(b)は, それぞれ FET_1 のターンオン時とターンオフ時の電圧及び電流の観測波形を示す。これらの観測波形から, FET_1 のターンオン時及びターンオフ時の損失はそれぞれ $0.03W$ 及び $1.77W$ になる。 FET_2 に関しても同様であり, FET_1 と FET_2 のターンオン時及びターンオフ時の損失の合計は, それぞれ $0.06W$ 及び $3.54W$ である。



(a) ターンオン時 (b) ターンオフ時

図3 FET₁のターンオン時とターンオフ時の観測波形

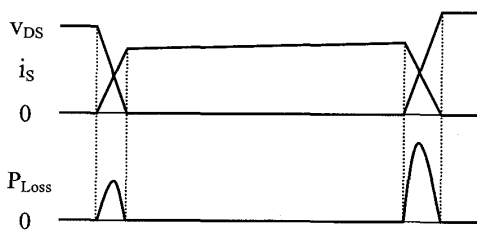
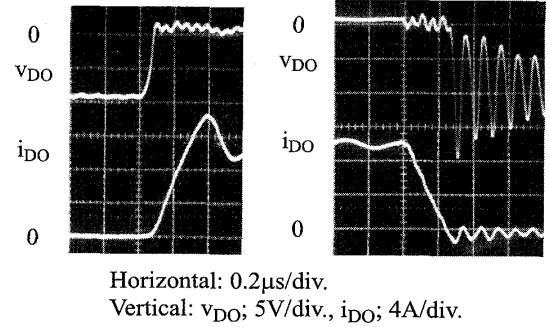


図4 FETの電圧、電流及びスイッチング損失発生概念図

図4は、図2(a)にFETの電圧、電流及びスイッチングを行うに際する損失発生概念図であり、 v_{DS} と i_S はそれぞれFETのドレイン-ソース間の電圧とFETに流れる電流、 P_{Loss} はターンオン時とターンオフ時に発生する損失である。図に示すように、スイッチ素子の応答スピードの遅れがあるため、ターンオン時またはターンオフ時の電圧と電流の重なりによるスイッチング損失が発生している。特に、リアクトルLの入出力巻線 N_1 と N_0 及び N_2 と N_0 に漏れインダクタンスが存在する場合、FET₁とFET₂のターンオフ時に、これらの漏れインダクタンスに蓄積されているエネルギーは2次側へ伝達されず、スイッチ内部に放出され、漏れインダクタンスと寄生容量 C_{O1} 及び C_{O2} との共振が起き、大きなサージ電圧を発生する。この結果、FET₁とFET₂のターンオフ時の損失を大きくする。このことが、図3(b)に示すターンオフ時の損失1.77Wの要因となる。なお、サージ電圧の発生に対応するため、より耐圧の大きいFET素子を選んだ場合、抵抗が大きくなり、次に述べるように、オン時の損失も増大する。

また、FET₁とFET₂のターンオン時に、FET₁とFET₂の寄生容量 C_{O1} と C_{O2} に蓄えられている電荷をスイッチ内部へ放電し、寄生容量に蓄えているエネルギーはターンオン時の抵抗によって消費される。FET₁とFET₂の寄生容量の放電による電力損失 P_C は



(a) ターンオン時 (b) ターンオフ時

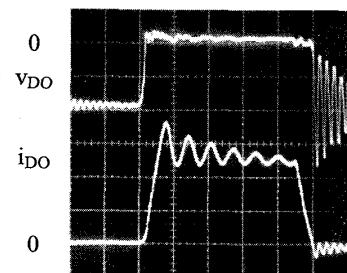
図5 D₀のターンオン時とターンオフ時の観測波形

$$P_C = f_s \left(\frac{1}{2} C_{O1} v_{DS1off}^2 + \frac{1}{2} C_{O2} v_{DS2off}^2 \right) \quad (1)$$

となる。ここで、 v_{DS1off} と v_{DS2off} はそれぞれFET₁とFET₂のターンオン直前のドレイン-ソース間にかかる電圧である。図3(a)の観測波形によると、 v_{DS1off} と v_{DS2off} はそれぞれ約75Vである。 C_{O1} と C_{O2} の規格値は1300pFである。これらの値を式(1)に代入すると、FET₁とFET₂の寄生容量の放電による損失はそれぞれ0.37W、合わせた損失は0.74Wである。

図5(a)と(b)はそれぞれダイオードD₀のターンオン時とターンオフ時の電圧と電流の観測波形を示す。観測波形によると、ターンオンとターンオフの損失はそれぞれ0.03Wと0.50Wである。D₀のターンオフ時に、2次側の漏れインダクタンスによって生じるサージ電圧及びダイオードの逆方向回復電流による損失を発生するため、ターンオフ時の損失は大きくなっている。同様に、ダイオードD₁とD₂のターンオン時の損失はほぼ零で、ターンオフ時の損失は、それぞれ0.03Wである。

FET₁とFET₂のターンオン時とターンオフ時の損失、ターンオンに伴う寄生容量のスイッチ内部に放電による損失及びダイオードのターンオン時とターンオフ時の損失は、スイッチング周波数に比例して大きくなり、コンバータの高周波化の防げとなっている。



Horizontal: 0.5μs/div.
Vertical: v_{D0} : 5V/div., i_{D0} : 4A/div.

図6 D₀のオン時の観測波形

3.1.2 ダイオードの電圧降下による損失

2入力昇降圧形 DC-DC コンバータにおいて、2つの入力回路の逆流防止ダイオード D_1 、 D_2 及び出力整流ダイオード D_O には、オン時の順方向電圧降下があり、この電圧降下による電力損失が発生する。 D_O の電圧降下による電力損失 P_{D_O} は

$$P_{D_O} = f_S \left(\int_0^{T_{off1}} v_{D_O} i_{D_O} dt + \int_0^{T_{off2}} v_{D_O} i_{D_O} dt \right) \quad (2)$$

となる。ここで、 v_{D_O} はダイオード D_O の電圧降下、ショットキーダイオードを使う場合、約 0.5V である。 i_{D_O} はダイオード D_O に流れる電流、 T_{off1} と T_{off2} はそれぞれ図 1(b) に示す FET₁ と FET₂ のオフ時間である。図 6 は、出力ダイオード D_O のオン時の電圧と電流の観測波形を示す。この図と式(2)によると、ダイオード D_O の電圧降下による損失は、2.50W である。出力の低電圧化により、出力整流ダイオードの電圧降下による損失は、コンバータの電力効率の低下のもう 1 つの要因となる。同様に、ダイオード D_1 と D_2 の電圧降下による損失はそれぞれ 0.27W であり、合計は 0.54W である。

3.1.3 各素子の抵抗による損失

スイッチ素子 FET₁ と FET₂ のオン抵抗による損失 P_r は

$$P_r = f_S \left(\int_0^{T_{on1}} r_{S1} i_{S1}^2 dt + \int_0^{T_{on2}} r_{S2} i_{S2}^2 dt \right) \quad (3)$$

となる。ここで、 r_{S1} と r_{S2} はそれぞれ FET₁ と FET₂ のオン抵抗であり、規格により、それぞれ 0.05Ω となる。 T_{on1} と T_{on2} は、図 1(b) に示す FET₁ と FET₂ のオン時間である。図 7 は FET₁ のオン時の電圧と電流の観測波形であり、この図及び式(3)によると、FET₁ と FET₂ のオン抵抗による損失は 0.10W である。FET のオン抵抗による損失を小さくするためには、オン抵抗の小さい素子を選べばよいが、オン抵抗を小さくすると、素子の耐圧が低くなる。

リアクトル L の巻線 N_1 の銅線抵抗による損失 P_{N1} は

$$P_{N1} = f_S \int_0^{T_{on1}} r_{N1} i_{S1}^2 dt \quad (4)$$

となる。ここで、 r_{N1} は巻線 N_1 の抵抗、実測値は 0.06Ω である。図 7 に示す i_{S1} の波形及び式(4)によると、巻線 N_1 の抵抗による損失は 0.07W である。同様に、巻線 N_2 の銅線抵抗による損失も 0.07W である。

リアクトル L の巻線 N_O の銅線抵抗による損失 P_{N_O} は

$$P_{N_O} = f_S \left(\int_0^{T_{off1}} r_{N_O} i_{D_O}^2 dt + \int_0^{T_{off2}} r_{N_O} i_{D_O}^2 dt \right) \quad (5)$$

となる。ここで、 r_{N_O} は巻線 N_O の抵抗、実測値は 0.008Ω である。図 6 に示す i_{D_O} の波形及び式(5)によると、巻線 N_O の抵抗による損失は 0.48W である。 N_O に流れる電流が大きいため、入出力巻線間の漏れインダクタンスへの影響を注意しながら、巻線を太くする必要がある。リアクトル L の 3 つの巻線の抵抗に合わせた損失は、0.62W である。

3.2 電力損失の分布

前節で、2入力昇降圧形 DC-DC コンバータにおいて電力損失の発生について述べ、各損失値を測定した。3種類の損失は、合わせて 8.69W である。次に、電力損失の分布について検討する。

実験条件と測定値によって、2つの電源 E_1 と E_2 からの入力電力 P_i および負荷に消費される電力 P_o はそれぞれ 34.50W および 25.03W である。この時、電力効率は 72.5% で、コンバータ全体の電力損失は 9.47W である。上述に議論した損失のほかには、回路の配線抵抗、出力平滑用電解コンデンサ、リアクトルの浮遊容量などの電力損失も発生しており、これらの損失の合計は、0.78W である。

表 1 に、FET₁ と FET₂ の各損失の構成を示す。表に示すように、ターンオフの損失は 3.54W で、FET₁ と FET₂ の全体損失の 79.7% を占めている。また、寄生容量に蓄積されているエネルギーのスイッチ内部の放電による損失は 16.7% を占めている。

表 2 に、出力ダイオード D_O の各損失の構成を示す。表に示すように、ダイオード D_O の電圧降下による損失は 2.50W で、 D_O の全体損失の 82.5% を占めている。

表 3 に、スイッチング損失、ダイオードの順方向電圧降下による損失及び回路の各素子の抵抗による損失の構成を示す。表に示すように、スイッチング損失はコンバータの損失の 52.1% を占めており、その原因は漏れインダクタンス及び寄生容量の存在である。この割合は動作周波数に比例して増えていく。また、ダイオードの順方向電圧降下による損失は 32.1% を占めており、その中で主な損失は出力整流ダイオード D_O で発生している。

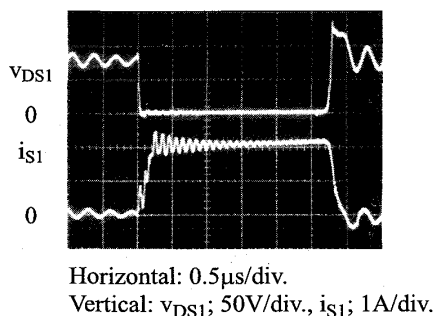


図 7 FET₁ のオン時の観測波形

表1 FET₁とFET₂の各損失の構成

ターンオン時損失(W)	C _{O1} とC _{O2} の放電による損失(W)	オン抵抗による損失(W)	ターンオフ時損失(W)	FET ₁ とFET ₂ の合わせた損失(W)
0.06	0.74	0.10	3.54	4.44

表2 D_Oの各損失の構成

ターンオン時損失(W)	電圧降下による損失(W)	ターンオフ時損失(W)	D _O の合わせた損失(W)
0.03	2.50	0.50	3.03

表3 発生の種類による損失の構成

スイッチング損失(W)	電圧降下による損失(W)	抵抗による損失(W)	その他の損失(W)	コンバータの損失(W)
4.93	3.04	0.72	0.78	9.47

表4 素子別の損失の構成

FET ₁ とFET ₂ の損失(W)	D _O の損失(W)	リアクトルLの損失(W)	D ₁ とD ₂ の損失(W)	その他の損失(W)	コンバータの損失(W)
4.44	3.03	0.62	0.60	0.78	9.47

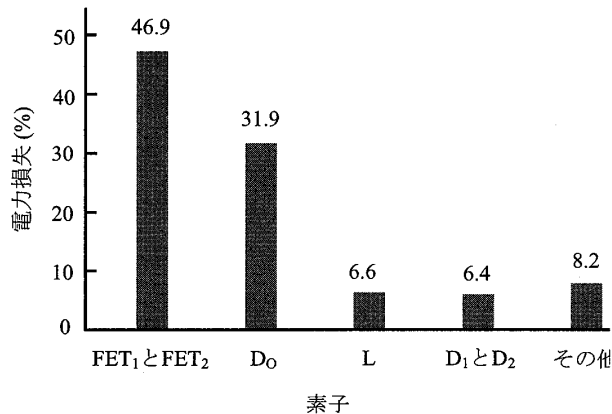


図8 各素子の電力損失の分布

表4は回路に使われている各素子FET₁とFET₂, D_O, リアクトルL及び逆流防止用ダイオードD₁とD₂の電力損失の構成であり, その分布は図8に示す。図に示すように, 電力損失が一番大きい素子は2つのスイッチFET₁とFET₂であり, あわせて46.9%を占めている。次は出力整流ダイオードD_Oであり, 31.9%を占めている。電力損失が3番目大きい素子はリアクトルの巻線の抵抗による損失であり, 6.6%を占めている。回路の配線抵抗, 出力平滑用電解コンデンサ, リアクトルの浮遊容

量などの電力損失は0.78Wであり, 全体の8.2%を占めている。

4. 考察

4.1 電力損失低減の対策

以上の電力損失の解析により, FET₁とFET₂のスイッチング損失及び出力整流ダイオードの電圧降下による損失は, 2入力昇降圧形DC-DCコンバータの主な損失であることが分かった。スイッチング損失は, おもにターンオフ損失及び寄生容量のスイッチ内部への放電による損失からなり, それぞれ入出力巻線間の漏れインダクタンス及びFET₁とFET₂の寄生容量の影響を受ける。従って, リアクトルの出力巻線間の漏れインダクタンス, FET₁とFET₂の寄生容量及び出力整流ダイオード電圧降下による電力損失の低減は, 電力効率の改善のために重要と考えられる。

まず, リアクトルの入出力巻線間に漏れインダクタンスのないように密結合が望ましいが, 2つの入力巻線は出力巻線とともに密結合になるのは困難である。2入力昇降圧形DC-DCコンバータのリアクトルLは3巻線である。一般的に, 巻数の比及び線の太さを考えると, 3巻線で2つの巻線間には漏れインダクタンスがないように密結合にできる。入出力電圧の比が大きい場合, 入出力巻線のターン数比も大きい。このため, 入力巻線間の巻数及び線の太さは入出力巻線間の場合より, 比較的接近し, 密結合が実現しやすい。この場合, どうしても入出力巻線間に漏れインダクタンスが存在してしまう。

次に, FET₁とFET₂の出力寄生容量は, スwitchング損失の場合で考えると, 小さいのが望ましい。しかし, FET素子の寄生容量を小さくするには限度があり, また寄生容量があまり小さ過ぎると, ターンオフ時のドレイン-ソース間の電圧変化 dv/dt が大きくて, 問題になることもある。

以上のことから, 漏れインダクタンスと寄生容量を小さくするには限度があることが分かる。従って, これらに蓄積されるエネルギーは損失にならないように, 再生して利用することが大切である。このため, アクティブクランプ回路を2入力昇降圧形DC-DCコンバータに適用することにより, 漏れインダクタンス及び寄生容量に蓄積されているエネルギーはともに入力電源及びアクティブクランプ回路に循環させるため, 電力効率の改善または本稿に議論していないノイズの低減が可能になり, 寄生容量及び漏れインダクタンスによる電力損失の問題が解決できる。

また, 出力整流ダイオードの順方向の電圧降下による損失を小さくするため, コンバータの2次側に同期整流

方式を採用することも有効である。

4.2 電流連続方式と不連続方式

FET₁とFET₂及びD₀の電力損失の構成より、同様な出力電力の場合、2入力昇降圧形DC-DCコンバータにおいて、電流連続方式は不連続方式より電力効率が高いと言える。まず、FET₁とFET₂のターンオン時の損失とD₀のターンオフ時の損失は、電流不連続の場合がほぼゼロに対して、電流連続の場合においても、表1に示すスイッチFET₁とFET₂及び表2に示すダイオードD₀の電力損失の構成により、それほど大きくない。次に、不連続方式と連続方式では、寄生容量のスイッチ内部に放電による電力損失はほぼ同様である。しかし、不連続方式は連続方式よりスイッチ及びダイオードD₀に流れる電流が大きいため、不連続方式はスイッチのターンオフ時の損失及びダイオードD₀の電圧降下による損失が大きくなる。また、スイッチのオン抵抗による損失は、同様なオン抵抗の素子を使う場合、電流不連続方式の場合も小さくできない。以上のことを総合的に考えると、2入力昇降圧形DC-DCコンバータにおいては、電流連続方式の損失は不連続方式の損失より小さいため、電流連続方式の採用が望ましい。

5. むすび

以上、2入力昇降圧形DC-DCコンバータの各素子における電力損失の発生及び分布に関する解析を行い、電力効率への影響の要因を検討した。その結果、次の結論が得られた。

(1) 2入力昇降圧形DC-DCコンバータの各素子及びコンバータ全体における電力損失の構成、分布を明らかにした。

- (2) FET₁とFET₂の寄生容量、リアクトルの入出力巻線間の漏れインダクタンス及び出力整流ダイオードの順方向電圧降下による電力損失のため、2入力昇降圧形DC-DCコンバータの電力効率が低下している。
- (3) 電流連続方式は不連続方式より、電力効率が高いため、電流連続方式は望ましい。

現在、更なる電力効率改善の方法として、アクティブクランプ回路を適用した2入力昇降圧形DC-DCコンバータ及び2次側の同期整流について検討中である。

参考文献

- [1] 松尾博文, 渡辺暢弥, 重水哲郎: “DC-DC コンバータ,” 特許第 2502238 号, 平成 8 年 3 月
- [2] H. Matsuo, T. Shigemizu, F. Kurokawa and N. Watanabe: “Characteristics of multiple-input dc-dc converter for clean energy conversion,” IEEE PESC Record, pp.115-120, Jun. 1993.
- [3] 谷内和也, 洪存仁, 丸山正彦, 黒川不二雄, 松尾博文: “多入力 DC-DC コンバータの制御特性について,” 信学技報, PE94-54, pp.23-30, Nov. 1994
- [4] 榊原一彦, 村上直樹, 谷内利明: “スイッチング電源部品の高周波動作に伴う損失増加について,” 信学技報, PE91-34, pp.9-15, 1991 年 9 月
- [5] H. Matsuo, K. Kobayashi, Y. Sekine, M. Asano and W. Lin: “Novel solar cell power supply system using the multiple-input dc-dc converter,” Proceedings of IEEE INTELEC, pp.797-802, Canada, Oct. 1998.