

商用電源を入力とするソフトスイッチング電源の  
寄生キャパシタンスの影響と高効率化に関する研究  
Study on High Efficiency and Effect of Stray  
Capacitance for Soft-Switching Power Supply  
Connected Commercial Power Source

2020年 1月

長崎大学大学院工学研究科

渡邊 俊之

## はじめに

地球環境問題を解決するための重要な要素として、省エネルギー化が挙げられる。今日特に注目されている自動車や情報通信分野においては、電気自動車や IoT (Internet of Things、モノのインターネット) 機器の増加が予想されており、走行に必要な電力や情報(データ)を処理する機器の電力使用量も増加することになる。電気自動車では商用電源から駆動用バッテリーに電力を供給する充電器が必要であり、情報(データ)を扱うデータセンタや通信ビルでは商用電源から非常用バッテリーと、ICT (Information and Communication Technology、情報通信技術) 関連装置に電力を供給する整流装置が必要であるため、充電器や整流装置の低損失化が不可欠である。これらに用いられる商用電源を入力とするスイッチング電源では、高効率化が重要で、そのためにはソフトスイッチング化、低損失のスイッチング素子の利用が設計上重要である。

そのような観点から商用電源を入力とするスイッチング電源を見ると、構成要素として不可欠である力率改善を行う PFC (力率改善、Power factor correction) 部と、その後段で絶縁と電圧変換を行う DC-DC 部には、ソフトスイッチング化に適した昇圧型電流臨界 PFC と LLC 回路が広く利用され、高効率化が進んでいる。しかしながら、今後更に高効率化を進める上で寄生キャパシタンスの影響が顕在化してきているが、この問題はまだ十分には解決がされておらず課題となっている。

このような背景から、本研究では電気自動車や情報通信などの分野で広く活用される商用電源を入力としたソフトスイッチング電源の寄生キャパシタンスの影響と高効率化に関する研究をテーマとし、昇圧チョップ型電流臨界 PFC におけるスイッチ寄生キャパシタンスによる力率低下の改善と、LLC 回路のトランスの巻線の寄生キャパシタンスに起因する損失解析、ノイズフィルタ接続時の損失影響調査、およびその改善方法の提案を目的とした。

具体的な実施内容としては、昇圧型電流臨界 PFC におけるスイッチング素子の寄生キャパシタンスによる力率低下の改善である。この改善策としてゼロクロス付近でオン時間を拡張する方法があるが限界がある。また、現在開発が進んでいる寄生キャパシタンスが小さい素子に変更することで力率低

下を抑制する報告もあるが、それらの素子の量産レベルのオン抵抗特性は従来の Si-MOSFET (Silicon -Metal Oxide Semiconductor Field Effect Transistor) に及んでおらず、Si-MOSFET を前提とした寄生キャパシタンスによる力率低下の改善が必要になっている。本研究では Si-MOSFET を前提とし、整流スイッチ寄生キャパシタンスの電圧依存性改善、昇圧回路のマルチフェーズ化、低電流振幅時の昇圧回路切り替え、の 3 つの方法による効果を検証し、それぞれの効果を示した。

また、LLC 回路においては、ソフトスイッチング化によりスイッチ素子の損失が低減される一方で、回路を構成するその他のデバイス(特にトランス)などの損失を含めても、他の回路方式と比較して低損失であるのかが十分明らかになっていない。この問題に対し、まず LLC 回路とともにソフトスイッチングに適している位相シフト回路との損失比較を行い、トランスの損失が占める割合が高く損失改善が不可欠である特徴を明らかにした。次に、トランスの低損失化方法として研究が行われている巻線間結合が高く交流抵抗が小さい積層(プレーナ)トランスにおいて、巻線間寄生キャパシタンスの増加による損失影響が十分解明されていないという課題に対し、損失の調査を行い、損失を計算で求める方法を新たに提案し、実験値との比較により妥当性の検証を行った。さらに、巻線間の動作電圧を考慮し巻線間の結合度を変化させることにより巻線間キャパシタンスに起因する損失を低減する新たな手法を示し、試作機において効果の確認を実施した。さらに、ノイズフィルタを接続した場合に発生するトランス巻線間キャパシタンスに起因する損失影響を示し、新たな損失低減方法としてトランス巻線間に橋絡キャパシタを追加する方法を提案し、効果の検証を行った。

本論文は、第 1 章から第 6 章で構成されている。以下に各章の概要を示す。

第 1 章では、本研究の社会的背景と、本研究分野である商用電源を入力とするスイッチング電源の技術動向と課題を示し、本研究の意義について述べた。

第 2 章では、昇圧チョッパ型電流臨界 PFC における寄生キャパシタンスによる力率低下に対する、3 つの改善方法による効果を検証し、それぞれの効果を述べた。

第 3 章では、LLC 回路のすべての素子の損失を位相シフト回路と比較し、LLC 回路の損失発生の特徴とトランス損失の割合の高さを示し、両方式の損失差が 2 次側整流素子のオン抵抗、およびトランスの 1 次巻数の違いによって決定づけられることを述べた。

第 4 章では、LLC 回路トランス巻線間寄生キャパシタンスに起因する損失が発生することを示し、その損失が増減する特徴を実験結果から示した。さらに、トランス巻線の動作電圧を考慮し層構成を変えることで、寄生キャパシタンスに起因する損失を減少させることが出来る新たな手法を述べた。

第 5 章では、LLC 回路のトランス巻線間寄生キャパシタンスとノイズフィルタの対接地コンデンサとの間に循環電流が生じ、ノイズフィルタの損失が増加する影響を示し、トランス巻線間に橋絡コンデンサを追加しこの損失を低減する新たな方法を述べた。

第 6 章では、本研究報告における成果と、本研究の課題と将来展望について述べた。

# 目次

はじめに .....	i
目次 .....	iv
数式記号・略称 .....	vi
第 1 章 緒論 .....	1
1.1. 研究の社会的背景 .....	1
1.2. 研究の技術的背景 .....	8
1.2.1. 力率改善の必要性 .....	9
1.2.2. 商用電源を入力としたスイッチング電源の回路構成例 .....	13
1.2.3. スwitchング電源のソフトスイッチング化 .....	32
1.2.4. ソフトスイッチング化に伴う寄生キャパシタンスによる 影響と高効率化の課題 .....	43
1.3. 研究の意義 .....	46
第 2 章 昇圧チョッパ型電流臨界 PFC におけるスイッチ寄生キャパ シタンス影響と力率改善 .....	50
2.1. 整流スイッチング素子の出力キャパシタンスによる力率低下 ..	51
2.2. 出力キャパシタンスの電圧依存特性と力率 .....	56
2.3. 多相化による力率改善 .....	58
2.4. 低電流時昇圧回路切り替えによる力率改善 .....	60
2.5. まとめ .....	62
第 3 章 LLC 回路の損失評価及び高効率化 .....	64
3.1. 損失評価の条件 .....	64
3.2. 損失評価の結果 .....	66
3.3. トランス損失の改善 .....	74
3.4. まとめ .....	77
第 4 章 積層トランスにおける巻線間キャパシタンスに起因する損失 解析と、巻線間電圧を考慮した層レイアウトによる損失改善 ..	79
4.1. LLC のトランスについて .....	79
4.2. プレーナトランスの 1 次 2 次間キャパシタンスと損失の関係 ..	82
4.3. 実験機による検証 .....	86
4.4. CPS ロスの計算 .....	87

4.5.	まとめ	92
第 5 章	LLC 回路における橋絡キャパシタを利用した損失改善	93
5.1.	トランスの結合と銅損低減	93
5.2.	トランスの寄生キャパシタンスと損失影響	95
5.3.	Y キャパシタ接続位置による損失低減	97
5.4.	橋絡キャパシタによる損失改善	98
5.5.	シミュレーションによる確認	103
5.6.	ノイズ影響	106
5.7.	まとめ	107
第 6 章	結論	109
謝辞		112
参考文献		113
付録		125

## 数式記号・略称

CPS	トランス 1 次、2 次間キャパシタンス (Primary-Secondary Capacitance)
EMI	電磁障害 (Electro Magnetic Interference)
ESR	等価直列抵抗 (Equivalent Series Resistance)
FG	フレームグランド (Frame Ground)
FFT	高速フーリエ変換 (Fast Fourier transform)
GaN-HEMT	窒化ガリウム高電子移動度トランジスタ (Gallium Nitride High Electron Mobility Transistor)
ICT	情報通信技術 (Information and Communication Technology)
IoT	モノのインターネット (Internet of Things)
IT	情報技術 (Information technology)
LISN	疑似電源回路網 (Line Impedance Stabilization Network)
LTspice	高性能 SPICE (Simulation Program with Integrated Circuit Emphasis) シミュレーションソフトウェア
PCB	プリント基板 (Printed Circuit Board)
PFC	力率改善 (Power Factor Correction)
PFM	周波数変調 (Pulse Frequency Modulation)
PSIM	パワーエレクトロニクスシミュレーション (Power electronics Simulator)
PWM	パルス幅変調 (Pulse Width Modulation)
RCC	リングングチョークコンバータ (Ringing Choke Converter)
Si-MOSFET	シリコン電界効果トランジスタ (Silicon -Metal Oxide Semiconductor Field Effect Transistor)
SiC ダイオード	シリコンカーバイドダイオード (Silicon Carbide Diode)

SiC-MOSFET	シリコンカーバイド電界効果トランジスタ (Silicon Carbide - Metal Oxide Semiconductor Field Effect Transistor)	
SJ-MOSFET	超接合電界効果トランジスタ (Super Junction - Metal Oxide Semiconductor Field Effect Transistor)	
UPS	無停電電源 (Uninterruptible Power Supply)	
ZCS	ゼロ電流スイッチング (Zero Current Switching)	
ZVS	ゼロ電圧スイッチング (Zero Voltage Switching)	
$C_o$	出力キャパシタ/キャパシタンス	F
$C_{oss}$	スイッチまたはダイオードの出力キャパシタ/キャパシタンス	F
$C_r$	共振キャパシタまたは変励磁防止キャパシタ/キャパシタンス	F
$C_{tn}$	トランス 1 次、2 次間キャパシタ/キャパシタンス	F
$C_y$	Y キャパシタ/キャパシタンス	F
$D$	整流ダイオード	
$D_{(max)}$	最大デューティ比	
$f_{sw}$	スイッチング周波数	Hz
$I_{ct1(t1)}$	時間 $t1$ におけるトランス 1 次、2 次間キャパシタンス電流	A
$I_{dn}$	スイッチドレイン電流	A
$I_{Fn}$	ダイオード電流	A
$I_{i(rms)}$	入力電流実効値	A
$I_{i(t)}$	入力電流瞬時値	A
$I_{Ln}$	インダクタ電流	A
$\Delta I_{LMAG}$	トランス励磁電流の振幅	A
$\Delta I_{LOUT}$	出力インダクタのリプル電流の振幅	A
$I_{L(peak)}$	インダクタ電流の最大値	A
$I_o$	出力電流	A
$k$	LLC 回路の励磁インダクタと共振インダクタの比	



$L$ .....	インダクタ/インダクタンス	H
$L_{MAG}$ .....	トランス励磁インダクタ/インダクタンス	H
$L_o$ .....	出力インダクタ/インダクタンス	H
$L_r$ .....	共振インダクタ/インダクタンス	H
$n$ .....	トランス巻数比	
$N_p$ .....	トランス 1 次巻数	
$N_s$ .....	トランス 2 次巻数	
$PF$ .....	力率 (Power Factor)	
$P_{out}$ .....	出力電力	W
$P$ .....	有効電力	W
$Q$ .....	品質係数	
$Q_{Coss}$ .....	スイッチ出力キャパシタンス	C
$Q_n$ .....	スイッチ	
$Q_o$ .....	電源冗長用スイッチ	
$R_{eff}$ .....	LLC 回路のトランス 1 次側における実効負荷抵抗	$\Omega$
$R_o$ .....	負荷抵抗	$\Omega$
$R_{on}$ .....	スイッチオン抵抗	$\Omega$
$R_s$ .....	電流検出用抵抗	$\Omega$
$R_{T-Q_{sec}}$ .....	トランスの 2 次巻線から 2 次側同期整流スイッチ までの配線の交流抵抗	$\Omega$
$S$ .....	皮相電力	VA
$T$ .....	スイッチング周期	s
$t_d$ .....	スイッチ駆動信号のデッドタイム	s
$T_{off}$ .....	スイッチ駆動信号のオフ時間	s
$T_{on}$ .....	スイッチ駆動信号のオン時間	s
$V_{ct1}$ .....	トランス 1 次、2 次間キャパシタ電圧	V
$V_{ds}$ .....	スイッチドレイン電圧	V
$V_i$ .....	入力電圧	V
$V_{i(min)}$ .....	最小入力電圧	V
$V_{i(rms)}$ .....	入力電圧実効値	V
$V_{i(t)}$ .....	入力電圧瞬時値	V

$V_{Ns}$ .....	トランス 2 次 電 圧	V
$V_o$ .....	出 力 電 圧	V
$V_{REF}$ .....	目 標 ( 基 準 ) 電 圧	V
$\eta$ .....	電 力 変 換 効 率	
$\epsilon r$ .....	比 誘 電 率	

# 第1章 緒論

本章では、研究の社会的背景と本研究分野の商用電源を入力とするスイッチング電源の技術動向と課題を示し、本研究の意義について述べる。

## 1.1. 研究の社会的背景

18世紀の産業革命以降現在に至るまで、経済の発展と豊かな生活を追い求めてきた結果、図 1-1 に示すような様々な地球環境の問題が起きている<sup>(1)</sup>。この中でも 1980年代になって、石油、石炭などの化石燃料の大量消費による二酸化炭素の増加により、大気中の温室効果ガスの濃度が上昇し、地球温暖化の問題が特に深刻になっている。

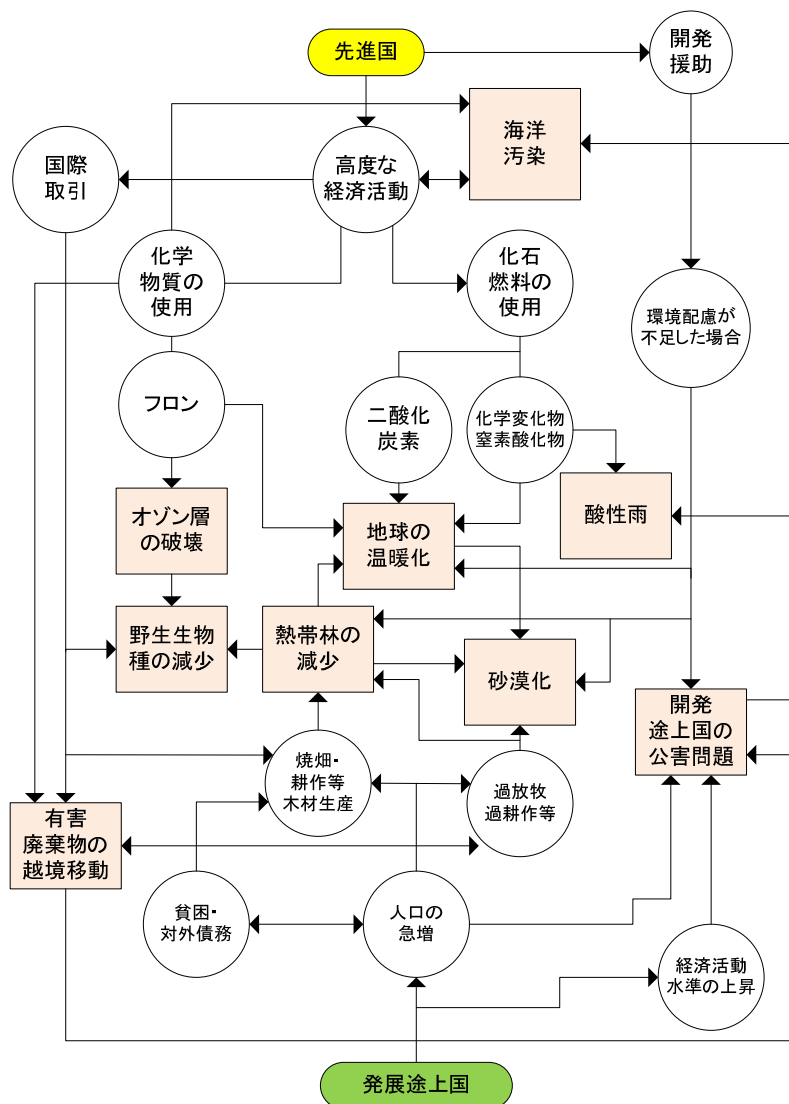


図 1-1 地球環境問題の相互関係<sup>(1)</sup>

地球温暖化に対する国際的な取り組みとしては、1992年に大気中の温室効果ガスの濃度を安定化させることを目標とする「国連気候変動枠組条約」が採択され、1995年から同条約に基づき国連気候変動枠組条約締約国会議（COP）が毎年開催され、定められた温室効果ガス排出削減の数値目標に対し、各国が取り組みを行っている。

図 1-2 に示されている温暖化の緩和策・対応策<sup>(2)</sup>の中でも、積極的な対策として重要となるのが温室効果ガスの排出削減で、例に挙げられている「省エネルギー対策」、「再生可能エネルギーの普及拡大」の具体的な取り組みが求められると言える。

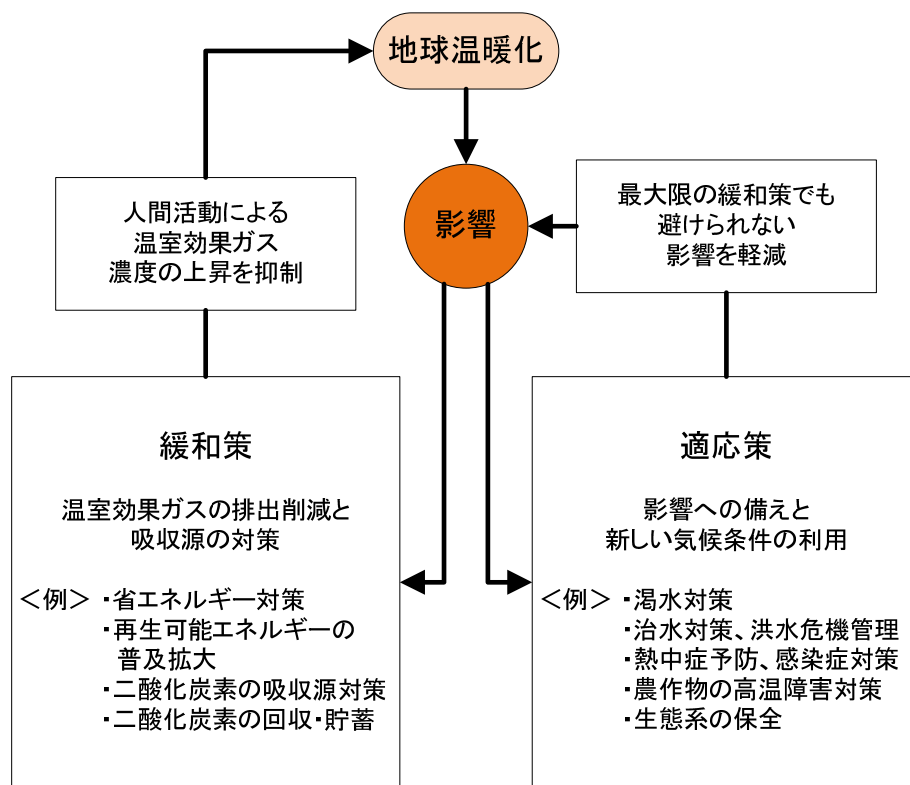


図 1-2 温暖化の緩和策・適応策<sup>(2)</sup>

2020年以降の温室効果ガス削減に向けた日本の約束素案は、裏付けある対策・施策や技術の積み上げによる実現可能な削減目標として、2030年度に2013年度比26.0%減の水準となっている。これに対する実際の各温室効果ガスの排出量の推移は図 1-3 の通りで減少傾向にはあるものの継続した削減の取り組みが必要であることが分かる。また、ほとんどがエネルギー起源

の（燃料の燃焼で発生・排出される）CO<sub>2</sub>となっている<sup>(3)(4)</sup>。

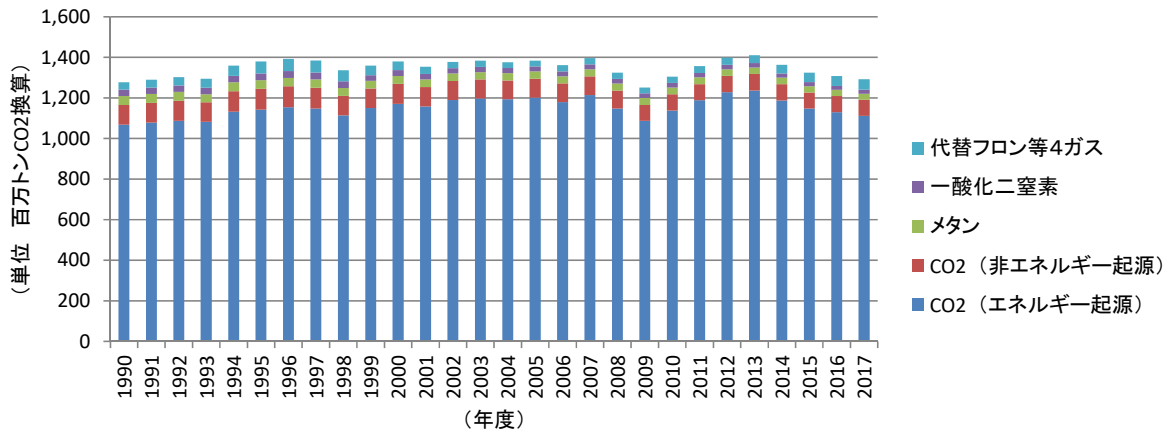


図 1-3 温室効果ガスの排出量の推移<sup>(3)(4)</sup>

図 1-4 の CO<sub>2</sub> の部門別排出量（電気・熱配分後）の推移を見ると製造業、運輸部門（自動車等）などの割合が高いが、図 1-5 の 2017 年度の産業部門エネルギー源別 CO<sub>2</sub> 排出量を見ると、電気の占める割合が多く今後更に化石燃料から電気への転換が図られた場合、電力使用量の削減はもとより電力変換部の変換効率の向上も必要とされてくることが予想される<sup>(3)(4)</sup>。

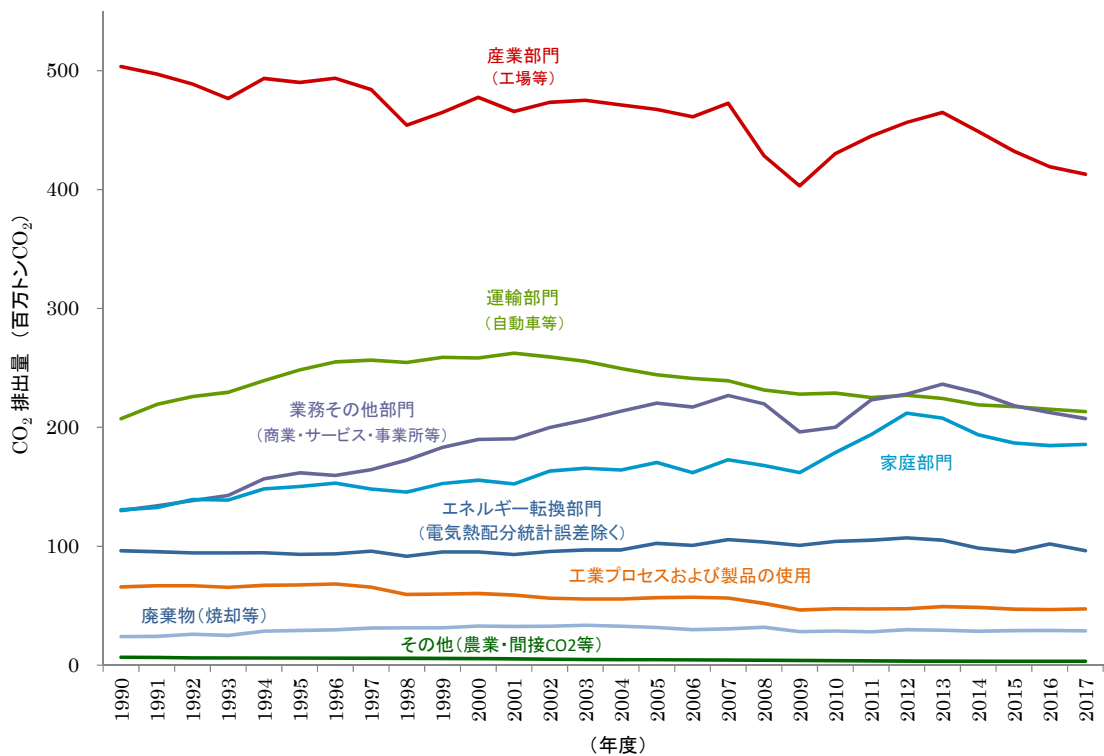


図 1-4 CO<sub>2</sub> の部門別排出量（電気・熱配分後）の推移<sup>(3)(4)</sup>

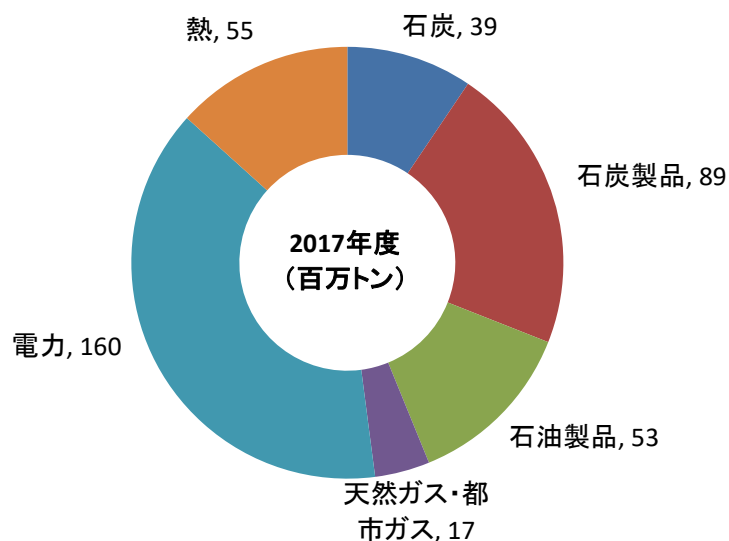


図 1-5 産業部門エネルギー源別 CO<sub>2</sub> 排出量（2017 年度）<sup>(3)(4)</sup>

ここで今日特に注目されている電気自動車や IoT 分野での電力変換に着目すると、電気自動車では図 1-6 に示す通り車載充電器で商用電源から駆動用バッテリーに電力変換が行われ<sup>(5)(6)</sup>、データセンタや通信ビルでは図 1-7 および図 1-8 に示す通り商用電源から非常用バッテリーと、ICT 装置や通信装置に電力変換が行われており<sup>(7)(8)</sup>、この部分の変換効率の向上が求められることになる。電気自動車はコスト、航続距離、充電時間、充電場所の数などの課題解決が進められており、今後急速に普及していくことが予想されている<sup>(9)</sup>。IoT の市場では高度 IT 社会の本格的な到来に伴い今後社会で扱う情報量が爆発的に増加する傾向で<sup>(10)</sup>、図 1-9 に示す通り IT 機器の消費電力量の増加が予想されている<sup>(11)</sup>。

このような背景から、これらに用いられる“商用電源を入力とするスイッチング電源の高効率化に関する研究”を研究テーマとした。スイッチング電源（レギュレータ）とは半導体スイッチ素子のオン・オフ時間比率をコントロールすることにより負荷に安定した電力を供給できる電源で、従来のシリーズレギュレータ（負荷に直列に電圧制御素子が接続された電源）と比べ、スイッチ素子に発生する電力（＝電流×電圧）を大幅に抑制し電力変換効率を向上させることが出来<sup>(12)</sup>、多くの分野で幅広く利用されている<sup>(13)</sup>。

電気自動車、データセンタや通信ビルでは、その機能、負荷の違いによっ

ていくつもの電力変換が行われているが<sup>(14)</sup>、商用電源を入力としたスイッチング電源では商用電源の高調波規制に対応し力率改善を行う AC-DC 部<sup>(15)</sup>と、負荷が必要とする電圧変換と絶縁を行う DC-DC 部<sup>(16)</sup>の組み合わせが必要となる。特に高い力率が得られる AC-DC 部の回路は PFC（力率改善、Power Factor Correction）と呼ばれている。この PFC 部と DC-DC 部で構成されたスイッチング電源は商用電源を入力とする幅広い分野の機器で使用されている。例えば、近年再生可能エネルギーの有効利用の重要性がさらに増しており、実用化が広く進められているが、再生可能エネルギーが AC バスを介して複数の負荷に供給されるグリッドの場合は、負荷側に PFC 部と DC-DC 部で構成された電源が必要となる<sup>(17)</sup>。この再生可能エネルギーを効率よく利用するには電力変換の高効率化も合わせて必要である。このような背景から、研究テーマとしては PFC 部と DC-DC 部で構成された商用電源を入力とするスイッチング電源を対象とした。

また、スイッチング電源において半導体スイッチ素子の電力（＝電流×電圧）が発生する時間を短縮し、さらに電力変換効率を向上させることが出来るソフトスイッチング<sup>(18)</sup>という技術が、現在多くの分野で幅広く採用され始めているため、研究テーマはスイッチング電源の中でソフトスイッチングを行う電源を対象とした。

なお、PFC 部と DC-DC 部構成される商用電源を入力とするスイッチング電源およびソフトスイッチングに関しては、1.2 章の研究の技術的背景で詳しく説明する。

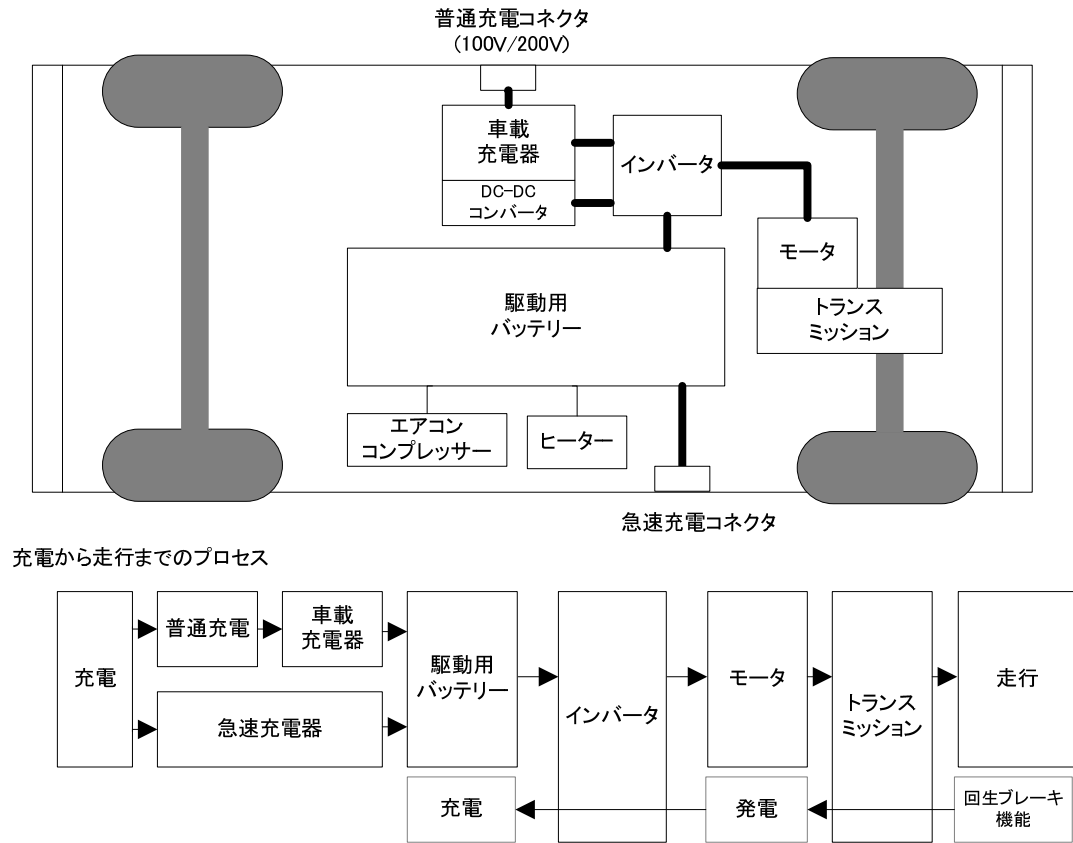


図 1-6 電気自動車のシステム構成図と車載充電器の構成<sup>(5)</sup>

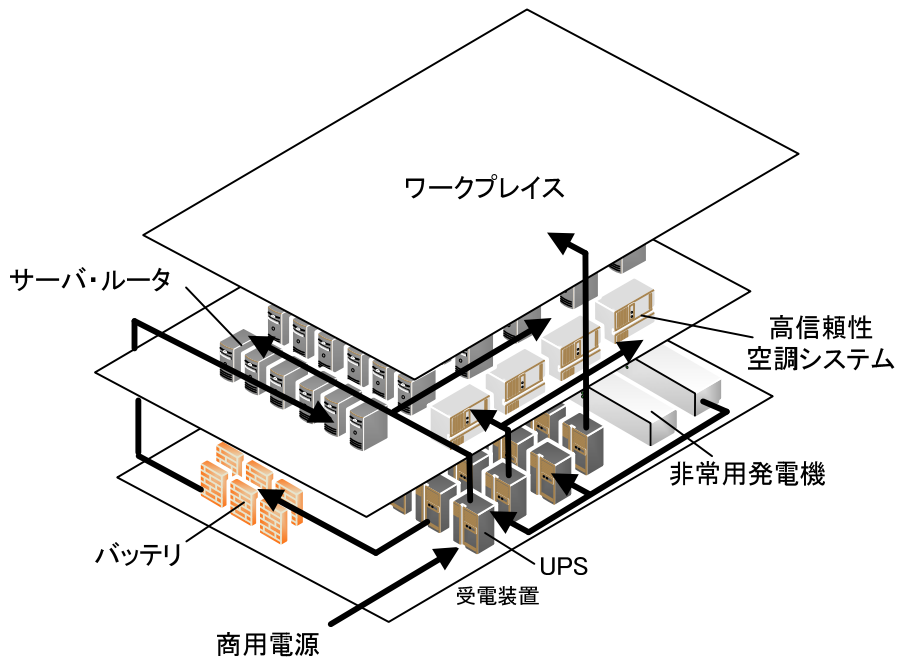


図 1-7 データセンタ給電システムと UPS の構成<sup>(7)</sup>



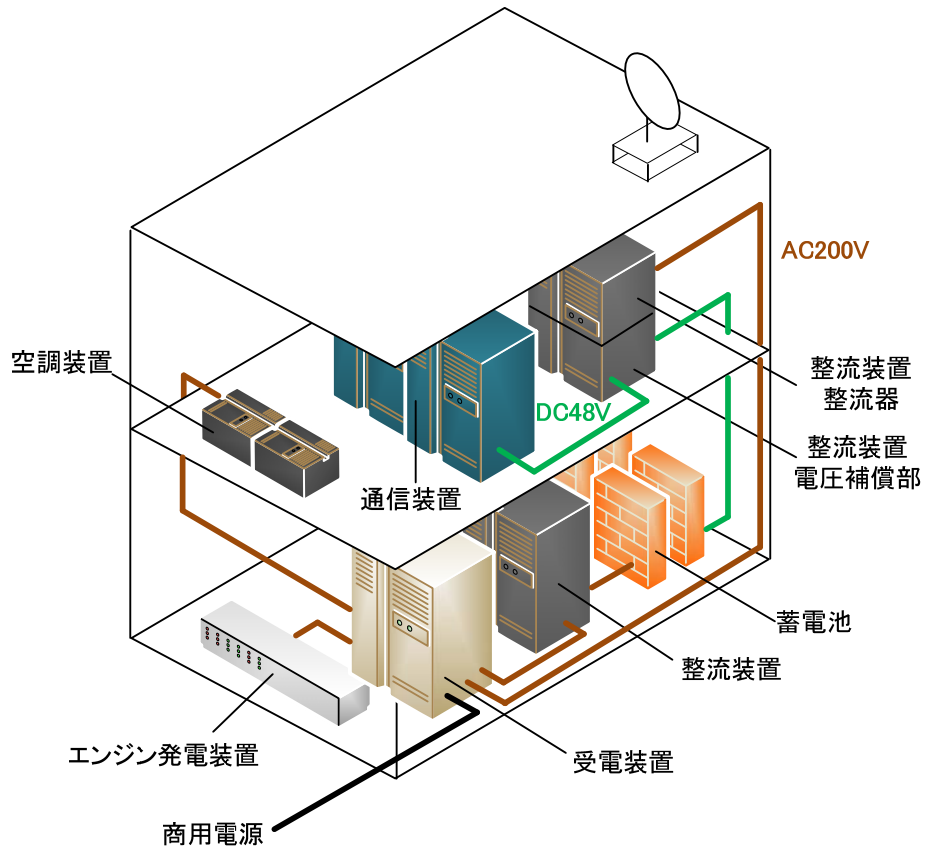


図 1-8 通信ビルの給電システムと整流装置の構成<sup>(8)</sup>

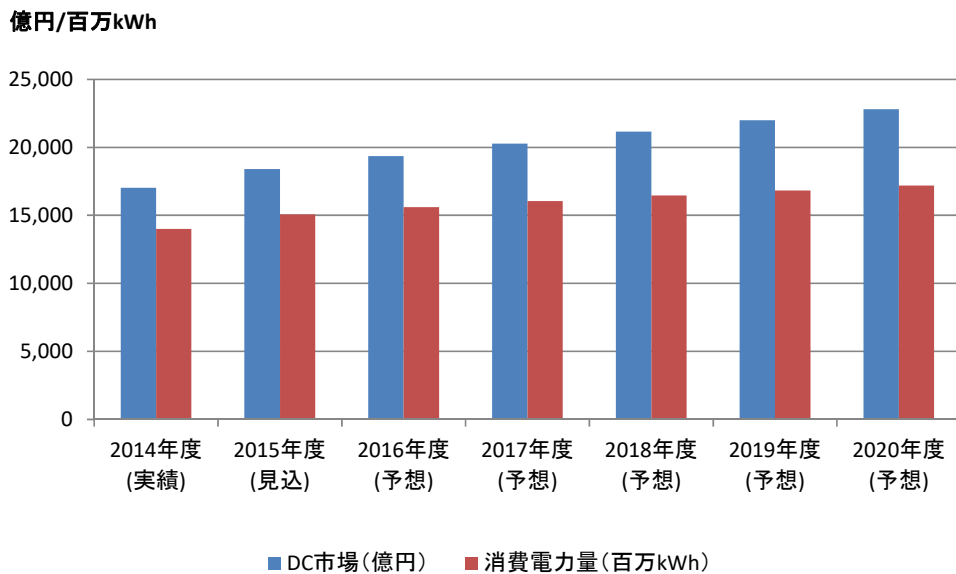


図 1-9 データセンタ (DC) 市場、消費電力量の推移予想<sup>(11)</sup>

## 1.2. 研究の技術的背景

電気自動車や情報通信装置用に利用されている商用電源を入力としたスイッチング電源の基本構成は、図 1-10 に示す通り主に PFC(力率改善、Power Factor Correction) 部と、絶縁と電圧の変換を兼ねた DC-DC 部で構成されている<sup>(5)・(8)</sup>。スイッチング電源に求められる技術は、商用電源から負荷に電力を供給する回路技術やそこに用いさせるデバイスのほか、出力を安定化する制御、温度上昇を抑制する放熱、ノイズを抑制する回路(フィルタ)、小型・軽量化する実装や構造といった技術が必要で、これらはそれぞれ密接にかかわっており最適化されることになるが、本研究では効率に直接関係する電力変換部に焦点をあて、まず 1.2.2 項で電力変換部の主な回路構成例とその特徴および課題を示す。

次に、1.2.3 項にてスイッチング電源を高効率化するためにソフトスイッチング化が進められている現状を示し、その実現方法として昇圧チョッパ型電流臨界 PFC 回路+LLC 回路の構成が優位であることを示す。

さらに、1.2.4 項にてソフトスイッチングに伴い寄生成分の影響が顕在化してきている課題を提示し、その改善がソフトスイッチング電源の高効率化に不可欠であるという本研究の技術的背景を示す。寄生成分の影響とは、具体的には PFC 部におけるスイッチング素子の寄生容量による力率低下と、DC-DC 部のトランス巻線の寄生キャパシタンスによる影響である。

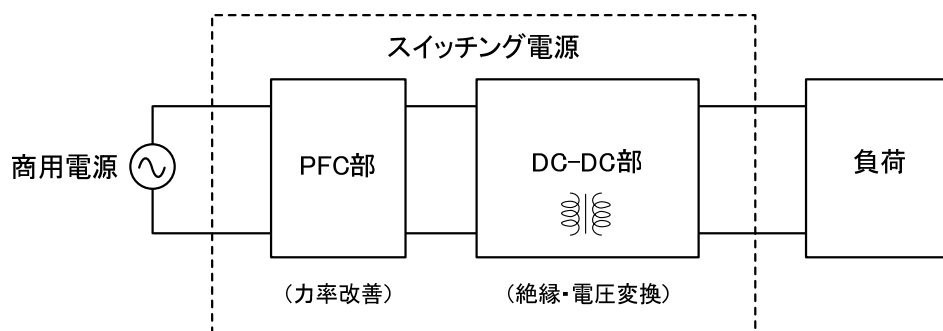


図 1-10 商用電源を入力としたスイッチング電源の基本構成

## 1.2.1. 力率改善の必要性

まず、商用電源を入力としたスイッチング電源における力率改善の必要性について説明する。

図 1-12 に示すように、入力電圧と入力電流が歪みのない正弦波で位相が等しい理想的な場合に力率はもっとも高くなり 1 となる。力率は有効電力と皮相電力の比で表される。負荷側で消費される電力（有効電力）が一定とすると、入力電流波形の歪みが少なく実効値が低いと力率が高くなるなり、商用電源の給電設備への負担が少なくなる。しかし、電気自動車や情報通信装置が動作するには直流電圧が必要なため、商用電源の交流電圧を直流電圧に変換する必要がある。

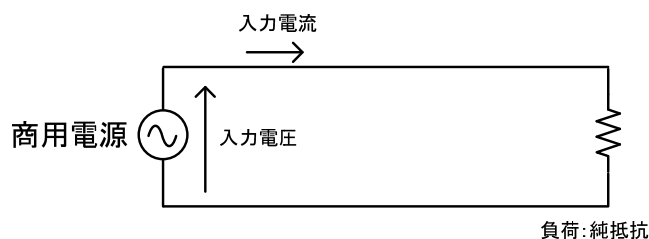


図 1-11 純抵抗負荷の回路

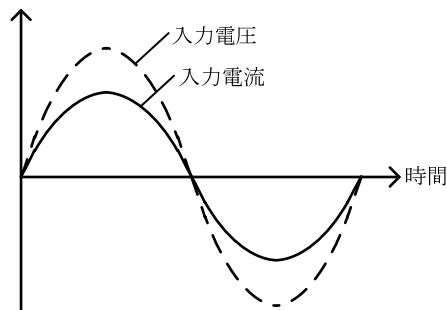


図 1-12 純抵抗負荷の入力電圧、電流波形（力率 = 1）

$$\text{有効電力} = \frac{1}{\text{周期}} \int_0^{\text{周期}} (\text{入力電圧の瞬時値}) \cdot (\text{入力電流の瞬時値}) dt \quad (1-1)$$

$$\text{皮相電力} = (\text{入力電圧の実効値}) \cdot (\text{入力電流の実効値}) \quad (1-2)$$

$$\text{力率} = \frac{\text{有効電力}}{\text{皮相電力}} \quad (1-3)$$

商用電源の交流電圧を直流電圧に変換する方法としてキャパシタインプット半波整流回路がある。

図 1-12 で示した理想的な電流波形との比較として、図 1-13、図 1-14 にキャパシタインプット半波整流回路と、入力電圧に対する入力電流波形の概略図を示す。商用電源を平滑する整流回路としては非常にシンプルであるが、入力電流の流れる時間が狭まるため、入力電流の実効値が増加し力率低下につながり、商用電源の給電設備への負担が大きくなる。

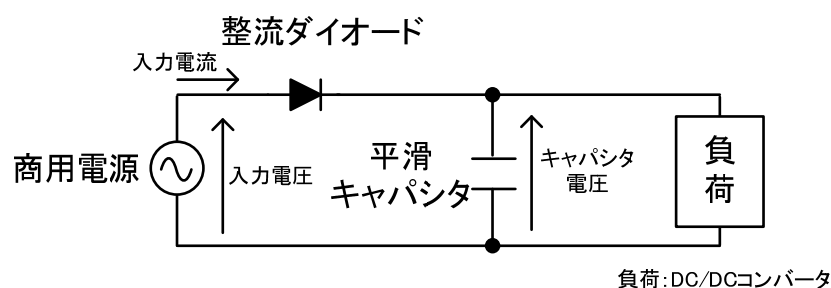


図 1-13 キャパシタインプット半波整流回路

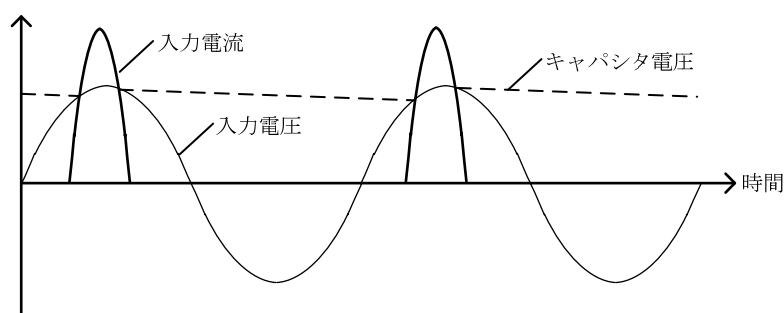


図 1-14 キャパシタインプット半波整流回路の入力電圧・電流波形

したがって、電気自動車や情報通信装置に利用される商用電源を入力としたスイッチング電源には、力率を改善し商用電源の交流電圧を直流電圧に変換する回路が必要であり、力率を 1 に近づけられる回路として利用されているのが PFC（力率改善、Power Factor Correction）回路である。

力率が低く歪んだ入力電流波形は、商用電源の 50Hz もしくは 60Hz 以外の周波数の高調波電流を含むため、これが入力側の商用電源に帰還すると、送配電設備の損傷や同じ商用電源を入力としている機器の動作に影響を及

ぼす恐れがある。

高調波に対する規制は、1980年代の主に蛍光灯や空調、パソコンなどの消費電力量の増加にともなう高調波の問題に対し、IEC(国際電気標準会議)が1982年に家庭用機器による高調波の発生を寄生するIEC555-2を策定し、多くの国で採用された。その後1995年に1相当たり16アンペア以下のすべての電気機器を対象としたIEC1000-3-2が発表され、その後のIEC61000-3-2をもとに各国で国内法に反映されている<sup>(19)</sup>。

IEC61000-3-2による機器のクラス分けを表1-1に示す。電気自動車や情報通信装置に利用される商用電源を入力としたスイッチング電源の多くは、規制値の最も厳しいクラスAに分類される。クラスAの最大許容高調波電流の限度値を図1-15に示す。

表 1-1 IEC61000-3-2 による機器のクラス分け

クラス A	平衡三相機器、家庭用器具（クラス D の機器を除く）、工具（ポータブル工具を除く）、白熱ランプ用調光器、オーディオ機器、他の 3 つのクラスに規定されない機器
クラス B	ポータブル型工具、汎用アーク溶接機器
クラス C	照明装置
クラス D	消費電力 600W 以下の次の機器 ・パーソナルコンピュータ及びそのモニター ・テレビ受信機

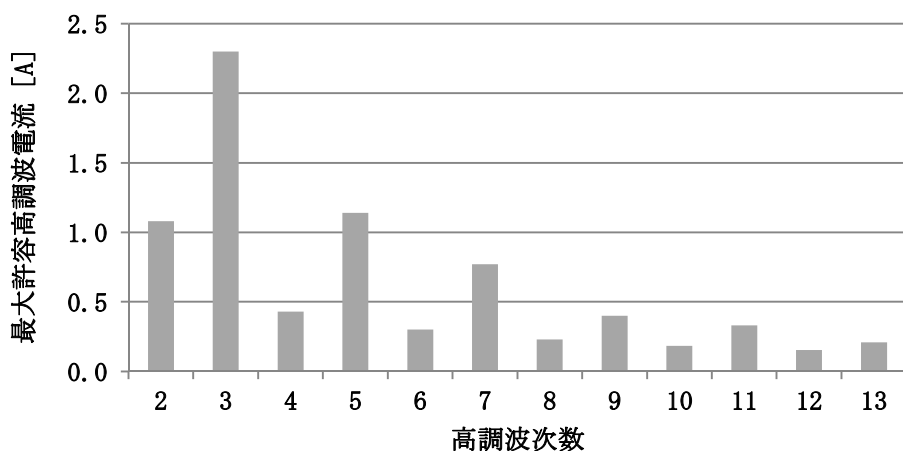


図 1-15 クラス A 限度値 (13 次以下)

近年ではスイッチング電源が商用電源を入力とする機器に幅広く利用されており、力率改善とともに高調波の抑制も不可欠となっているため、スイッチング電源メーカーを含む業界団体でも IEC の高調波規制に準拠している<sup>(20)</sup>。

## 1.2.2. 商用電源を入力としたスイッチング電源の回路構成例

商用電源を入力としたスイッチング電源の主な回路構成例とその特徴について説明する<sup>(15)(18)(21)</sup>。

図 1-16 はキャパシタインプット全波整流回路<sup>(22)</sup>と RCC (リングングチョークコンバータ、Ringing Choke Converter) 回路<sup>(23)</sup>を組み合わせた AC-DC 電源である。回路構成は非常にシンプルのため、低コストで出力電力が比較的小さい用途に使用される。

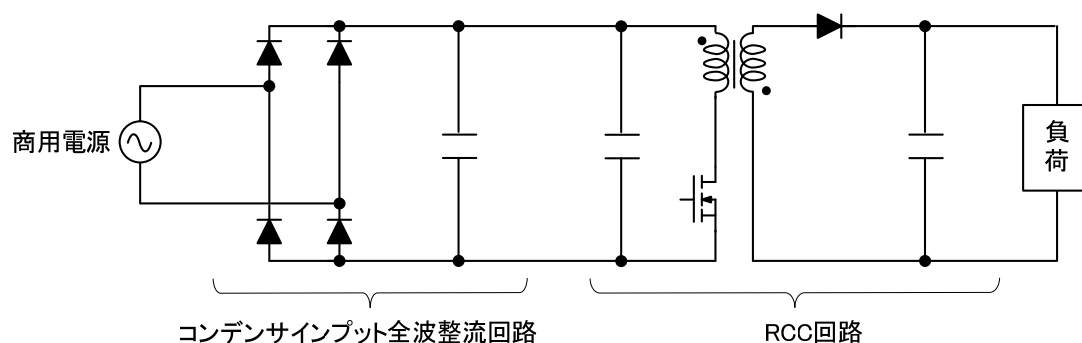


図 1-16 キャパシタインプット全波整流回路 + RCC 回路

キャパシタインプット全波整流回路の構成要素および入力電圧に対する入力電流波形の概略図を図 1-17 に示す。整流ブリッジダイオードで全波整流されるため、図 1-13 で示した半波整流回路よりも高調波電流は減少するが、それでも入力電流波形は入力電圧の周波数以外の高調波成分を多く含んだ波形となる。また、半波の入力電流に対ダイオードが 2 個直列に挿入されることになるため、半波整流時と比較しダイオードの導通損失が 2 倍となる。整流ブリッジダイオードは全波整流用に一つのパッケージに 4 個の整流ダイオードが入った素子である。

ダイオードには古くは真空管、セレン、ゲルマニウムなどが使われてきたが、安価で小型にできるシリコンダイオードが広く使用されるようになっていく。

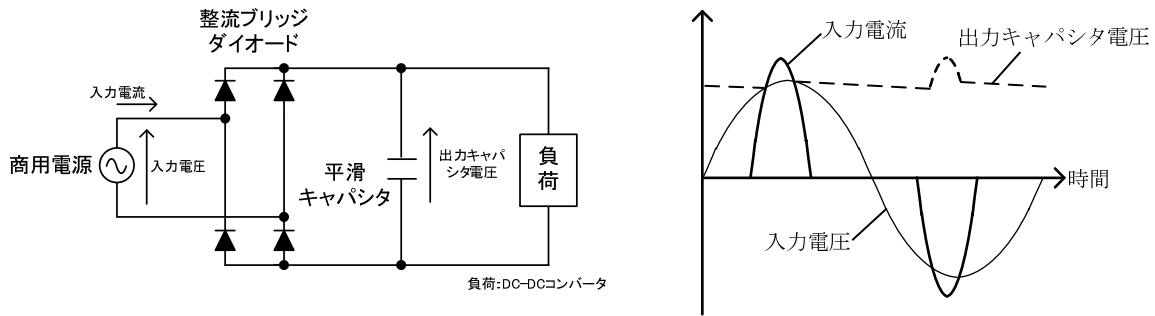


図 1-17 キャパシタインプット全波整流回路と入力電圧・入力電流波形

RCC 回路の構成要素および入力電圧に対する入力電流波形の概略図を図 1-18 に示す。平滑キャパシタは整流ダイオードから電流が供給されない期間は、すべての負荷電流を供給しなければならないためリップル電流が大きくなり、損失増加やキャパシタの大型化につながる。整流ダイオードの電流も導通期間（主スイッチがオフの期間）に負荷電流に相当する電流が流れ導通損失が大きいため、高効率化には不向きである。

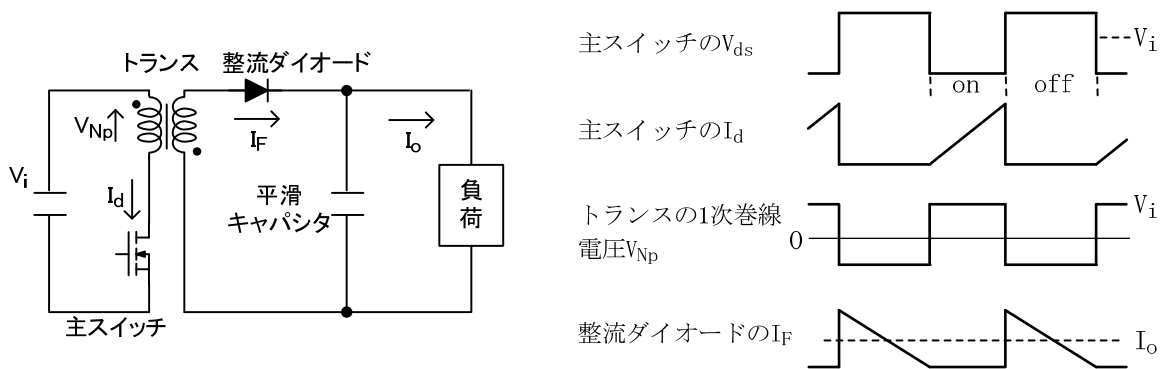


図 1-18 RCC 回路と動作波形

次に、図 1-19 はチョークインプット全波整流回路<sup>(22)</sup>とフライバック回路<sup>(24)</sup>を組み合わせた AC-DC 電源である。キャパシタインプット全波整流回路と RCC 回路を組み合わせた構成と同様に、回路は非常にシンプルのため、低コストで出力電力が比較的小さい用途に使用される。



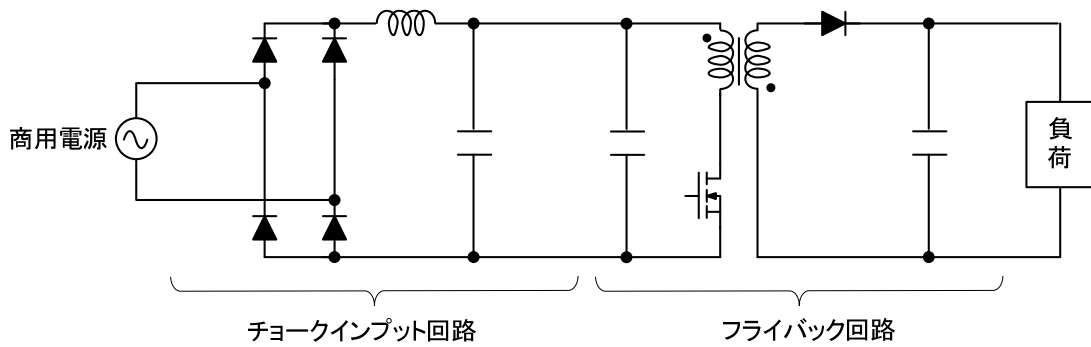


図 1-19 チョークインプット全波整流回路+フライバック回路

チョークインプット全波整流回路の構成要素および入力電圧に対する入力電流波形の概略図を図 1-20 に示す。挿入されたインダクタでキャパシタに流入する電流の導通期間が広がるため、キャパシタインプット回路よりも高調波電流は減少するが、それでも入力電流波形は入力電圧の周波数以外の高調波成分を多く含んだ波形となる。また、インダクタは大型のものが必要になる。

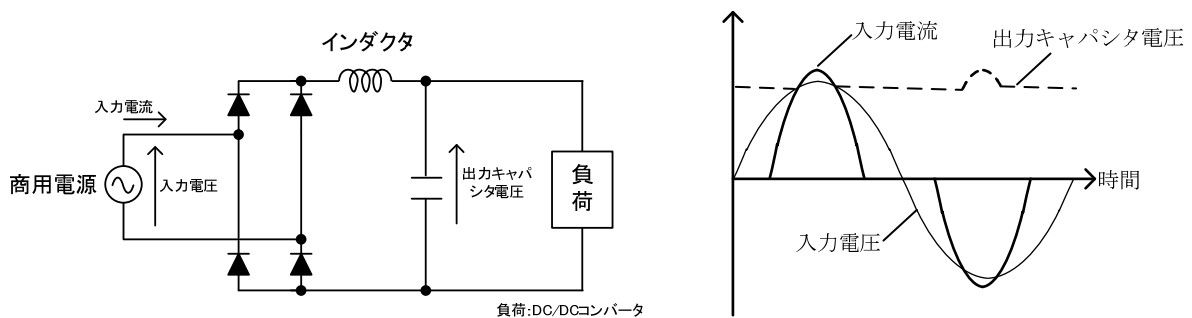


図 1-20 チョークインプット全波整流回路と入力電圧に対する入力電流波形

フライバック回路の構成要素および入力電圧に対する入力電流波形の概略図を図 1-21 に示す。RCC 回路と同様に、平滑キャパシタは整流ダイオードから電流が供給されない期間は、すべての負荷電流を供給しなければならないためリップル電流が大きくなり、損失増加やキャパシタの大型化につながる。整流ダイオードの電流も導通期間（主スイッチがオフの期間）に負荷

電流に相当する電流が流れるが、波形はRCC回路が三角波であるのに対し、フライバック回路では矩形波になるため、ダイオードと主スイッチの導通損失は改善される。

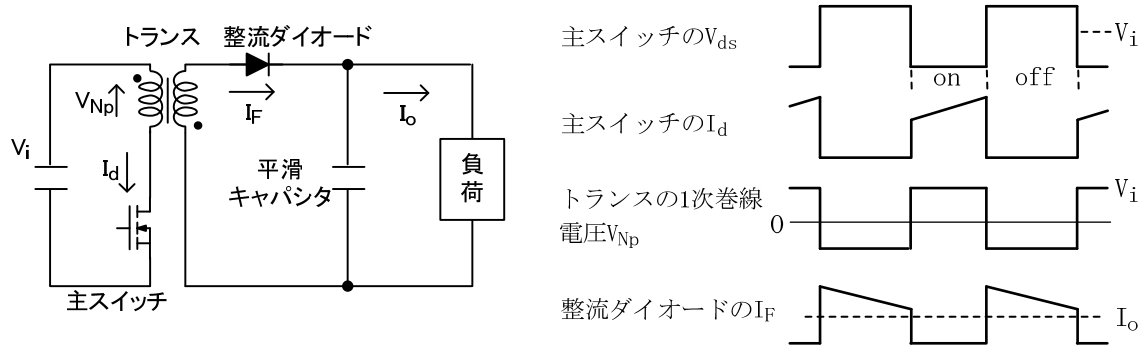


図 1-21 フライバック回路と動作波形

次に図 1-22 は、昇圧チョッパ型電流連続 PFC 回路<sup>(25)</sup>とフォワード回路<sup>(26)</sup>を組み合わせた AC-DC 電源である。力率が高く高効率化も可能なため、これまで広く利用されている回路構成である。

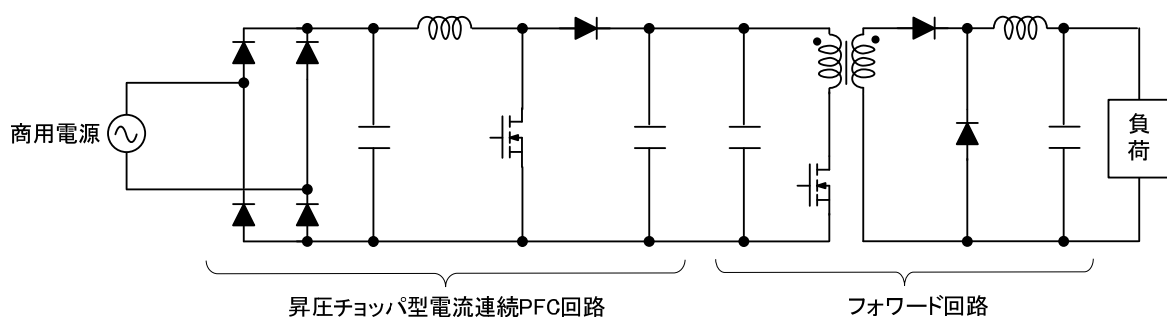


図 1-22 昇圧チョッパ型電流連続 PFC 回路 + フォワード回路

昇圧チョッパ型電流連続 PFC 回路の構成要素を図 1-23 に示す。また、入力電圧に対する入力電流波形と半導体の動作波形（スイッチング周期で拡大）の概略図を図 1-24 に示す。

主スイッチを商用周波数よりも高い周波数でオンとオフを繰り返させることで、インダクタに流れる電流の平均値を正弦波状に調整し、この電流を入力キャパシタで平滑すると入力電流が正弦波に近づけることが出来る。ま

た、入力キャパシタは入力電流の高周波成分のみ平滑するため静電容量は小さい。このためキャパシタインプット回路やチョークインプット回路と比較し、大幅に力率を改善することが可能となる。図 1-24 で示したインダクタの電流波形は、正弦波状の電流に高周波のリプル電流が重畳された連続波形で、電流連続モードの PFC と呼ばれる。スイッチング周波数は常に固定となる。

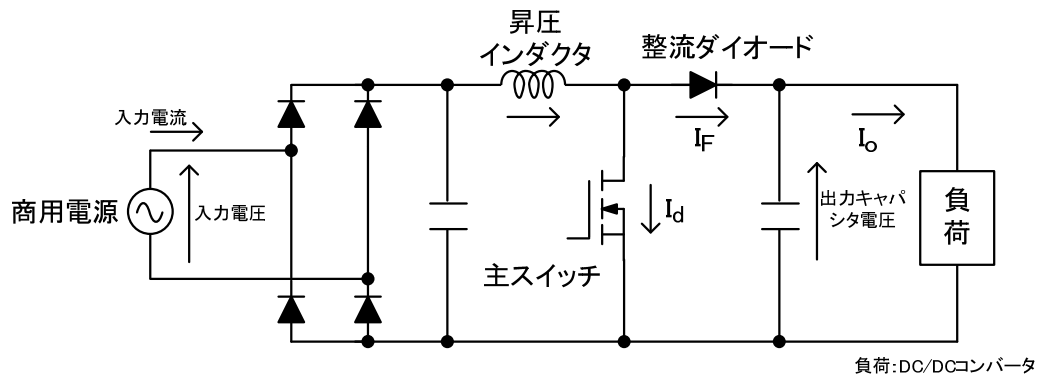


図 1-23 昇圧チョッパ型電流連続 PFC 回路

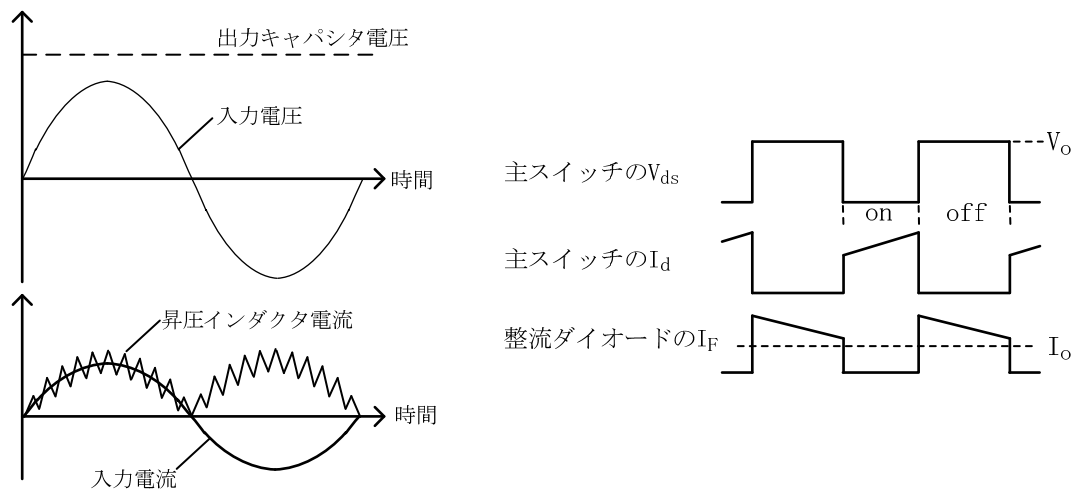


図 1-24 昇圧チョッパ型電流連続 PFC 回路の入力電圧・電流波形と半導体の動作波形（スイッチング周期で拡大）の概略図

半導体スイッチにはバイポーラトランジスタが使われてきたが、よりスイッチング時間が短くオン電圧が低い Si-MOSFET（シリコン電界効果トランジスタ、Silicon -Metal Oxide Semiconductor Field Effect Transistor）が広く使用されるようになっている。

出力キャパシタに接続されているダイオードは、半導体スイッチと同期（半導体スイッチがオンの時、ダイオードはオフ）して高周波でオンとオフを繰り返すため、スイッチングスピードの速い特性が必要となる。具体的にはオフ時に逆電圧が印加されたときのリカバリ電流が少ない（逆回復特性が優れている）ものが求められ、ファーストリカバリなどと呼ばれるダイオードがこれに当たる<sup>(27)</sup>。

昇圧チョッパ型電流連続 PFC 回路の高効率化を大きく阻害する課題としては、半導体スイッチがオンまたはオフするときに電流と電圧が重なる領域で大きなスイッチング損失が発生する点である。一般的な半導体スイッチのスイッチング波形と損失の模式図を図 1-25 に示す<sup>(28)</sup>。このようにスイッチング損失が発生する単純なオン・オフ動作をハードスイッチングという。

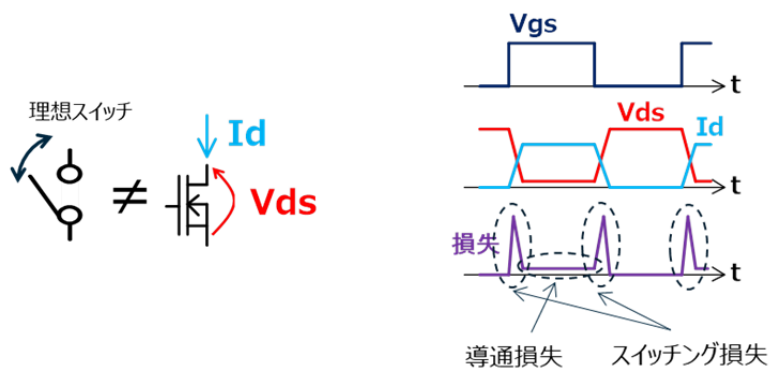


図 1-25 一般的な半導体スイッチのスイッチング波形と損失の模式図

特に半導体スイッチがオンしたとき、ダイオードに逆電圧が印加され大きなリカバリ電流が流れ（図 1-26）、半導体スイッチのスイッチング損失となる点である。

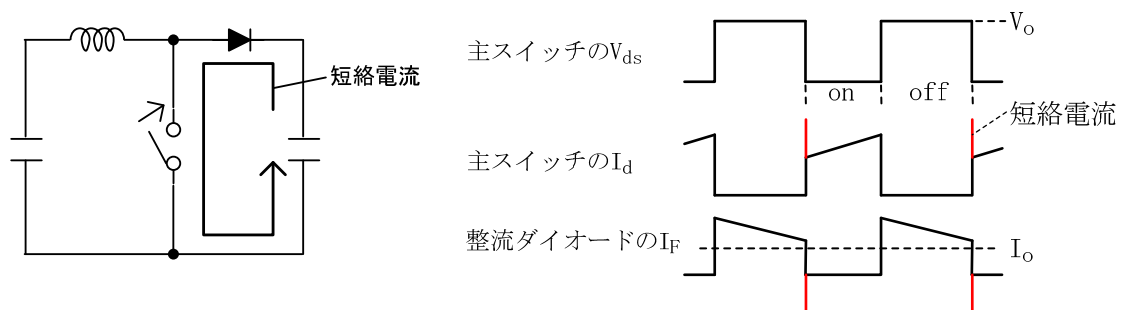


図 1-26 スイッチターンオン時に発生する整流ダイオードリカバリによる短絡電流

また、Si-MOSFET はバイポーラトランジスタと比較し、ドレインソース間の出力キャパシタンスが大きいため<sup>(29)</sup>、オフ時に出力キャパシタンスに蓄えられた電荷がオン時に Si-MOSFET 自身で放電されるため（図 1-27）、これによるスイッチング損失増加の課題がある。

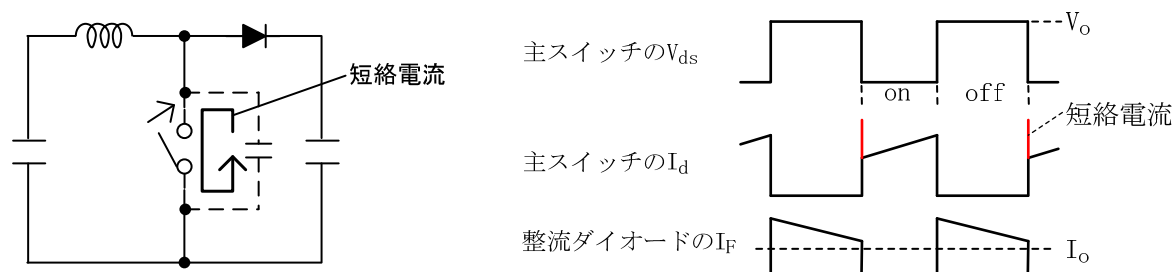


図 1-27 スイッチターンオン時に発生するスイッチ出力キャパシタンスの電荷放電による短絡電流

これに対し、シリコンダイオードと比較しリカバリ電流が非常に小さい SiC ダイオード（シリコンカーバイドダイオード、Silicon Carbide Diode）が実用化されたため<sup>(30)</sup>、電流連続モードでもスイッチング損失を小さく抑えることが可能となった。また、インダクタの電流の振幅は後述する電流臨界モード比較し約 1/2 となるため、半導体スイッチの実効電流が小さく、導通損失も抑制できる利点がある。

半導体スイッチについては、Si-MOSFET と比較し出力キャパシタンスの小さい SiC-MOSFET（シリコンカーバイド電界効果トランジスタ、Silicon Carbide - Metal Oxide Semiconductor Field Effect Transistor）が実用化されたため<sup>(31)</sup>、オン時のドレインソース間出力キャパシタンスを放電する損失の発生を抑制する効果が得られるようになった。さらに、その後さらにスイッチングスピードが速い GaN-HEMT（窒化ガリウム高電子移動度トランジスタ、Gallium Nitride High Electron Mobility Transistor）が実用化されたため<sup>(32)</sup>、スイッチング損失を大幅に抑制することが可能となっている。しかしながら、SiC-MOSFET や GaN-HEMT は Si-MOSFET よりも理論上オン抵抗を低く出来るが、現状量産レベルのオン抵抗特性は従来の Si-MOSFET に及んでおらずコストも高いため、汎用的に使用しにくいといった課題がある。

ここで、昇圧チョッパ型電流連続 PFC 回路の制御動作を簡単に説明する。  
 図 1-28 に昇圧チョッパ型電流連続 PFC 回路の制御ブロック図を示す。

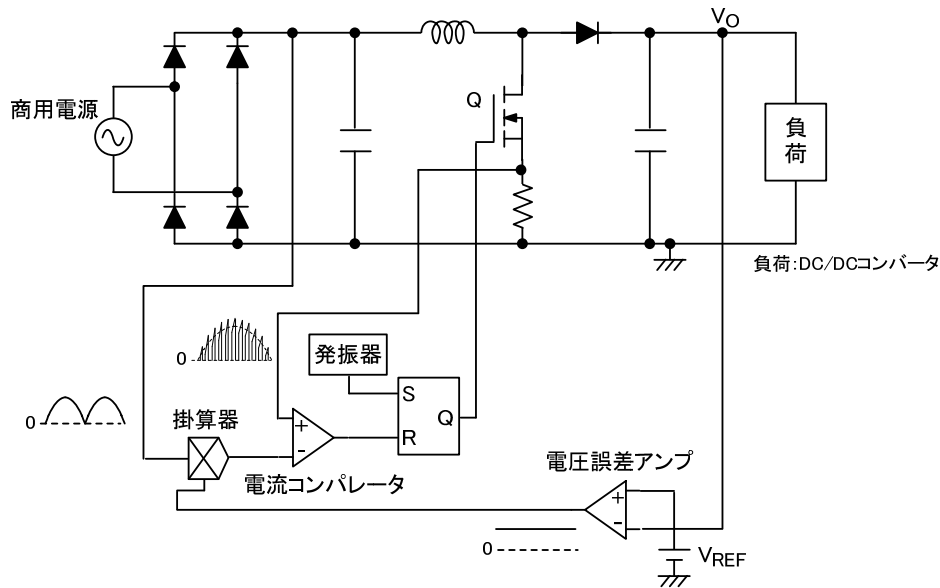


図 1-28 昇圧チョッパ型電流連続 PFC の制御ブロック図

スイッチング周波数を決定している発振器からのトリガ信号にてスイッチ  $Q$  がオン状態となる。電流コンパレータにて、スイッチ  $Q$  のドレイン電流レベルが、出力電圧  $V_o$  と目標電圧  $V_{REF}$  とを比較する電圧誤差アンプの出力と入力電圧の全波整流波形とを掛け合わせたレベルに到達するまで出力される。スイッチのオフ状態は、発振器からの次のトリガ信号まで継続する。

次にフォワード回路の構成要素および動作波形の概略図を図 1-29 に示す。

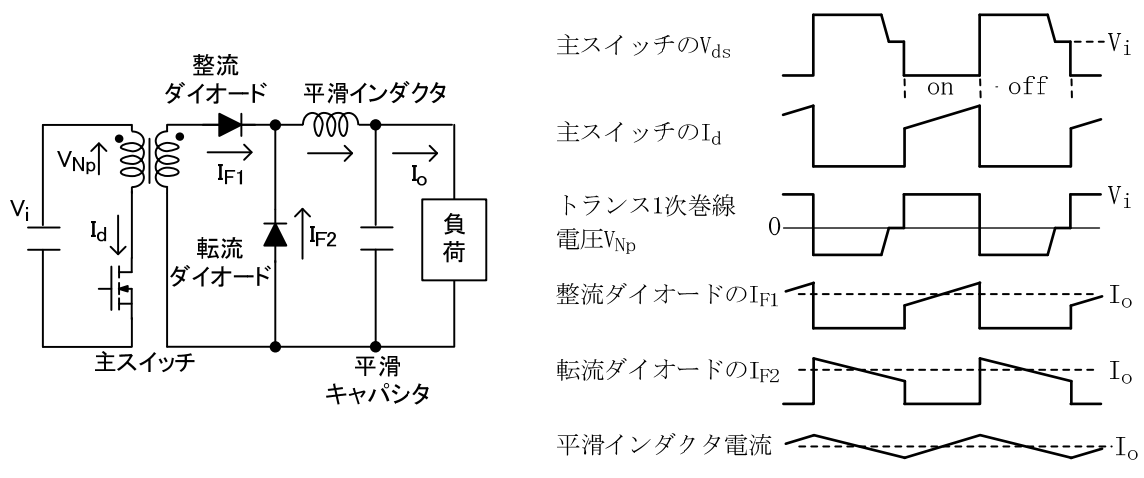


図 1-29 フォワード回路と動作波形

平滑キャパシタはインダクタのリプル電流のみが流れるため、キャパシタの小型化が可能である。整流ダイオードの電流は出力電流にインダクタのリプル電流が重畳された波形となるため、RCC回路やフライバック回路より電流ピーク値を抑えられる。

フォワード回路の高効率化を大きく阻害する課題としては、図 1-25 で示したように半導体スイッチがオンまたはオフするときのスイッチング損失が発生する点である。図 1-30 に示す通り特に半導体スイッチがオンしたとき、ダイオードに逆電圧が印加され大きなリカバリ電流が流れ、半導体スイッチのスイッチング損失となる点である。

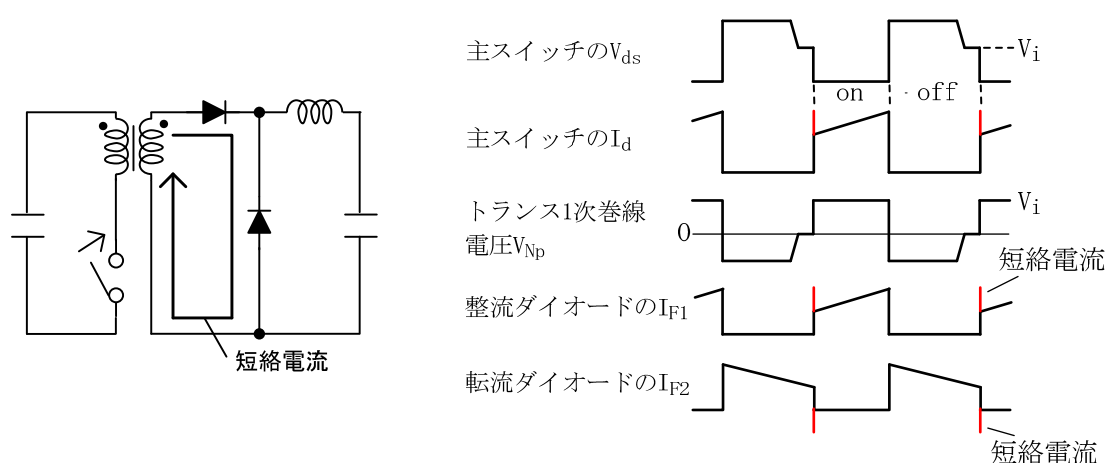


図 1-30 スイッチターンオン時に発生する転流ダイオード  
リカバリによる短絡電流

また半導体スイッチがオンしたとき、Si-MOSFET はバイポーラトランジスタと比較し、ドレイン-ソース間の出力キャパシタンスが大きいいため、オフ時に出力キャパシタンスに蓄えられた電荷がオン時に Si-MOSFET 自身で放電されるため(図 1-31)、これによるスイッチング損失増加の課題がある。

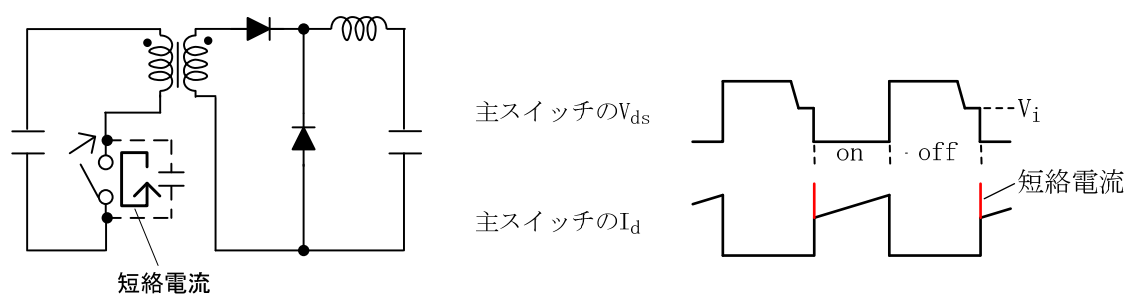


図 1-31 スイッチターンオン時に発生するスイッチ出力キャパ  
シタンスの電荷放電による短絡電流

次に、図 1-32 は昇圧チョップパ型電流臨界 PFC 回路<sup>(33)</sup>とハーフブリッジ回路<sup>(34)</sup>を組み合わせた AC-DC 電源である。力率が高く高効率化も可能なため、これまで広く利用されている回路構成である。

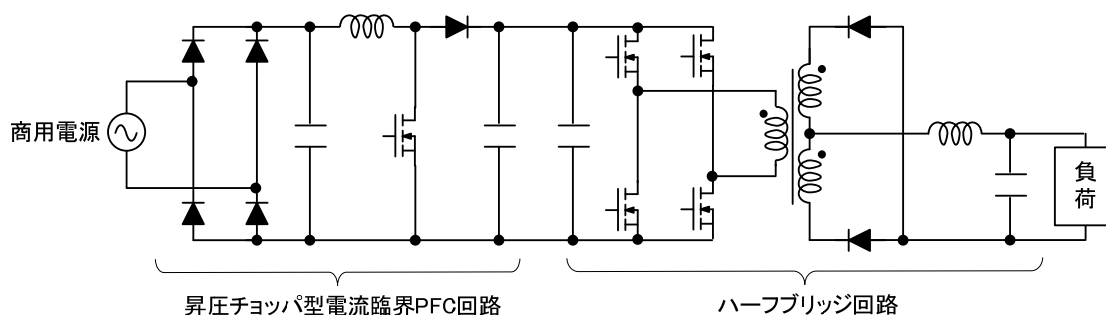


図 1-32 昇圧チョップパ型電流臨界 PFC 回路 + ハーフブリッジ回路

昇圧チョップパ型電流臨界 PFC 回路の構成要素を図 1-33 に示す。また、入力電圧に対する入力電流波形と、半導体の動作波形（スイッチング周期で拡大）の概略図を図 1-34 に示す。なお、回路構成は電流連続タイプと同一であるが、制御の方法が異なる。

半導体スイッチを商用周波数よりも高い周波数でオンとオフを繰り返させることで、インダクタに流れる電流の平均値を正弦波状に調整し、この電流を入力キャパシタで平滑すると、入力電流を正弦波に近づけることが出来るため、キャパシタインプット回路やチョークインプット回路と比較し、大幅に力率を改善することが可能となる。ただし、インダクタの電流の振幅は電流連続タイプと比較し約 2 倍となるため、半導体スイッチの実効電流が大きく、導通損失が増加する。なお、図 1-34 で示したインダクタの電流波形は、0A で半導体スイッチがオンするように制御されており、電流臨界モードの PFC と呼ばれる。詳しくは後述するが、スイッチング周波数は入力正弦波の波高値に応じて変化する。

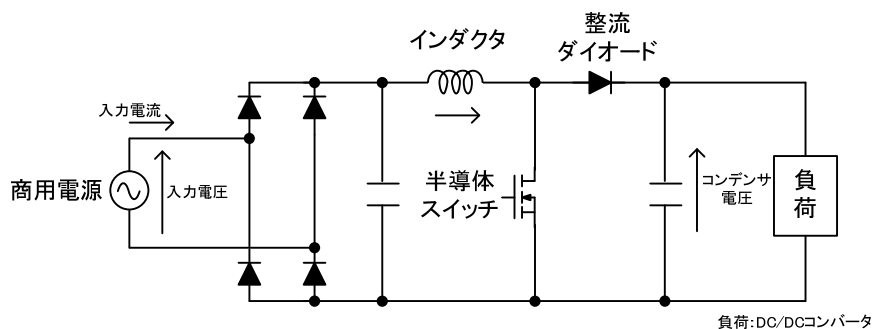


図 1-33 昇圧チョップパ型電流臨界 PFC 回路



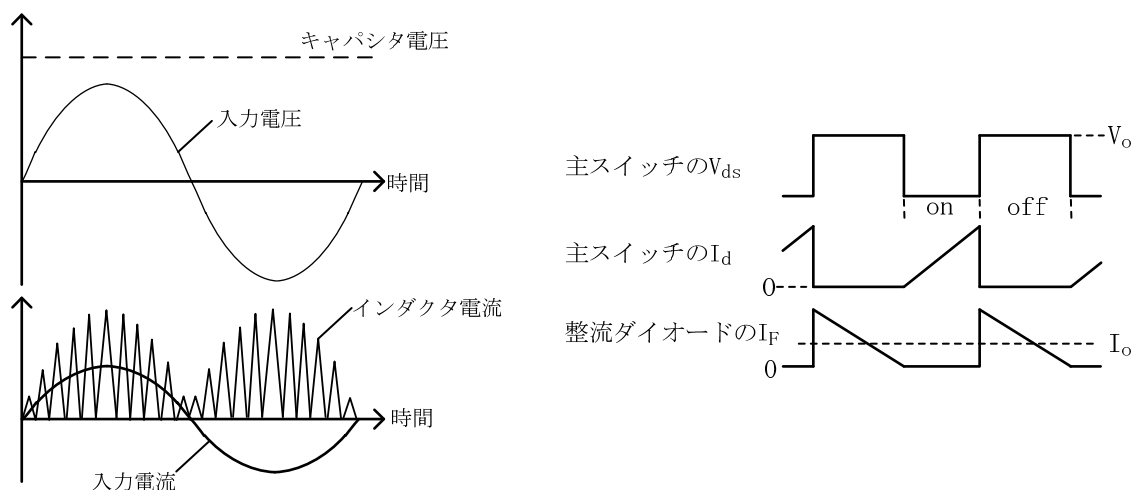


図 1-34 昇圧チョッパ型電流臨界 PFC 回路の入力電圧・電流波形と半導体の動作波形（スイッチング周期で拡大）の概略図

昇圧チョッパ型 PFC 回路の高効率化を大きく阻害する課題としては、半導体スイッチがオンまたはオフするときのスイッチング損失が発生する点である。電流連続 PFC では半導体スイッチのオンしたとき、ダイオードに逆電圧が印加され大きなリカバリ電流が流れ、半導体スイッチのスイッチング損失となる点が大きな課題であったが、電流臨界 PFC ではスイッチングダイオードの電流が 0A で半導体スイッチがオンするため、リカバリ電流によるスイッチング損失を抑制する効果がえられる。しかし、電流連続 PFC 同様に、図 1-27 に示した出力キャパシタンスの電荷を放電する損失は発生する。

次にハーフブリッジ回路の構成要素および動作波形の概略図を図 1-35 に示す。前述したフォワード回路との大きな違いは、主スイッチがターンオフした後のドレイン電圧が入力電圧の 1/2 となるため、スイッチング損失を大幅に低減できる。また、主スイッチのオフ時に印加される最大電圧がほぼ入力電圧となるため、ドレイン耐圧が低い素子を使用できる。ドレイン耐圧が低い素子を使用できるとオン抵抗が低く出来るため、導通損失を低減できることになる<sup>(35)</sup>。またトランスは RCC 回路、フライバック回路およびフォワード回路のようにスイッチオン期間に励磁された磁束をオフ期間にリセッ

トする必要が無い場合、正負に電圧が発生している期間、電流をトランス 2 次側に伝達できるため、トランスの利用率を上げられる利点がある。なお、トランスに印加される正負の電圧と印加時間が一致していないと、トランスが偏励磁されトランスコアが飽和する恐れもあるため、偏励磁を防止するためのキャパシタをトランス 1 次巻線に直列に挿入されていることが多い。

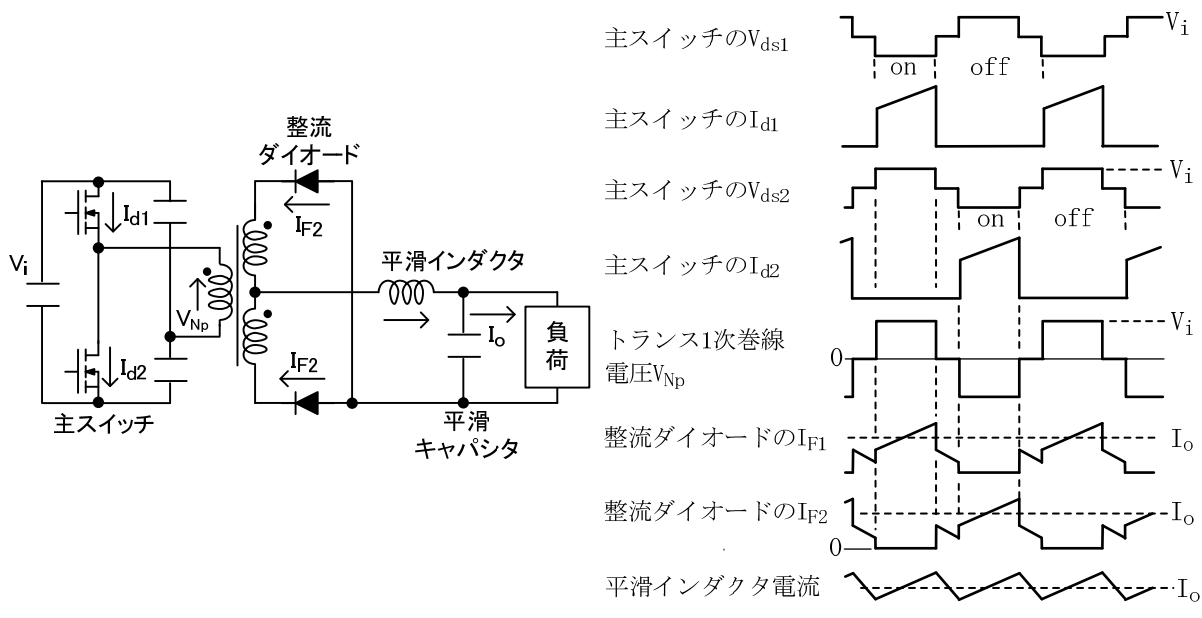


図 1-35 ハーフブリッジ回路と動作波形

フォワード回路の課題として図 1-30 に示したスイッチターンオン時に発生するダイオードリカバリによる短絡電流や、図 1-31 で示したスイッチターンオン時に発生するスイッチ出力キャパシタンスの電荷放電による短絡電流の影響は、ハーフブリッジ回路でも同様に課題となる。

ここで図 1-33 に示した昇圧型電流臨界 PFC の動作を、詳しく説明する。図 1-36 に昇圧型電流臨界 PFC の制御ブロック図を示す。

スイッチのオン状態は、電流コンパレータにて、スイッチ  $Q$  のドレイン電流レベルが、出力電圧  $V_o$  と目標電圧  $V_{REF}$  とを比較する電圧誤差アンプの出力と入力電圧の全波整流波形とを掛け合わせたレベルに到達するまで出力される。スイッチのオフ状態は、インダクタ電流がゼロになりインダクタの 2 次巻線電圧が低下するのをゼロ電流検出コンパレータが検知するまで継続される。

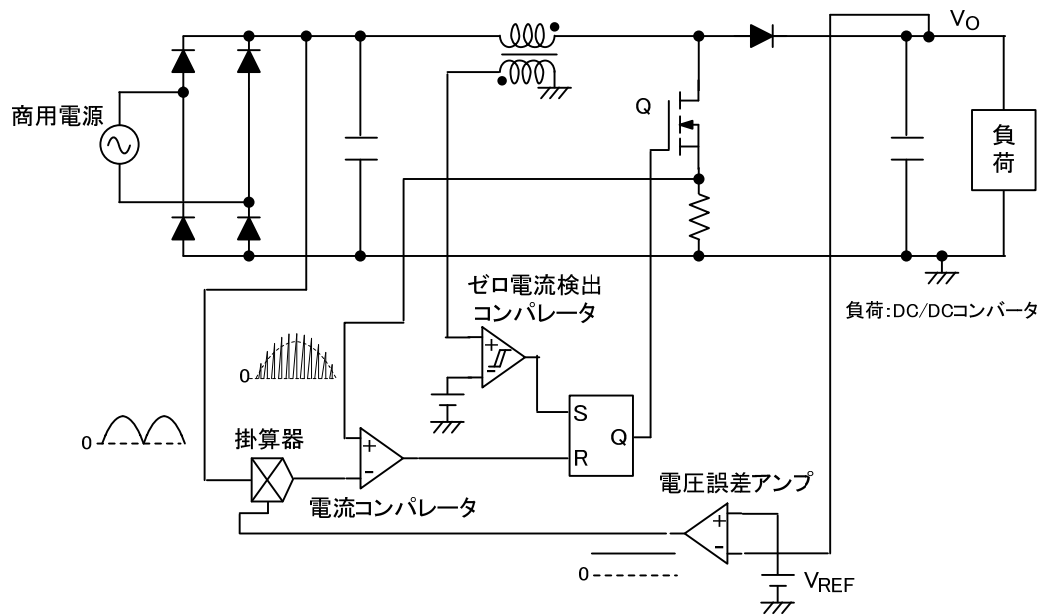


図 1-36 昇圧型電流臨界 PFC の制御ブロック図

[スイッチオン時]

昇圧チョップアのスイッチオン時のインダクタに印加される電圧と電流の関係から、(1-4) 式が成り立つ。

$$\int_0^{T_{on}} V_{i(t)} dt = \int_0^{T_{on}} L \frac{dI_L}{dt} dt \quad (1-4)$$

スイッチング周期内では入力電圧はほぼ一定、スイッチオフ時のインダクタ電流の最大値を  $I_{L(peak)}$  とすると、電流臨界モードではインダクタ電流の最大値とインダクタ電流の振幅が等しくなるため (1-5) 式となる。

$$V_{i(t)} = L \frac{I_{L(peak)}}{T_{on}} \quad (1-5)$$

ただし  $V_{i(t)}$  を  $t$  の関数で表しているのは、商用周期で正弦波状に変化することを表している。

[スイッチオフ時]

同様に昇圧チョップアのスイッチオフ時のインダクタに印加される電圧と電流の関係から、(1-6) 式が成り立つ。

$$\int_{T_{on}}^T (V_o - V_{i(t)}) dt = \int_{T_{on}}^T L \frac{dI_L}{dt} dt \quad (1-6)$$

出力電圧  $V_o$  は出力平滑キャパシタ  $C_o$  によりほぼ一定とすると電流臨界モードでは、(1-7) 式が成り立つ。

$$V_o - V_{i(t)} = L \frac{I_{L(peak)}}{T - T_{on}} = L \frac{I_{L(peak)}}{T_{off}}$$

$$\therefore V_o - V_{i(t)} = L \frac{I_{L(peak)}}{T_{off}} \quad (1-7)$$

インダクタ電流は連続で定常状態では (1-5) (1-7) 式の  $I_{L(peak)}$  は等しいため、(1-8) 式の関係が得られる。

$$V_{i(t)} T_{on} = (V_o - V_{i(t)}) T_{off}$$

$$\therefore V_o = \frac{T_{on} + T_{off}}{T_{off}} V_{i(t)} \quad (1-8)$$

ここでスイッチング周期でのインダクタ電流の平均は入力電流と等しくなるため、(1-9) 式が得られる。

$$T \times I_{i(t)} = \frac{T \times I_{L(peak)}}{2}$$

$$\therefore I_{L(peak)} = 2I_{i(t)} \quad (1-9)$$

(1-5) (1-9) 式の  $I_{L(peak)}$  は等しいため、(1-10) 式が得られる。

$$V_{i(t)} = L \frac{I_{L(peak)}}{T_{on}} = L \frac{2I_{i(t)}}{T_{on}}$$

$$\therefore I_{i(t)} = \frac{V_{i(t)}}{2L} T_{on} \quad (1-10)$$

入力電圧の瞬時値  $V_{i(t)}$  は商用周期で正弦波状に変化するため、入力電流の瞬時値  $I_{i(t)}$  との関係が (1-11) 式で表される。

$$I_{i(t)} = \frac{V_{i(t)}}{2L} T_{on} = \frac{\sqrt{2} V_{i(rms)} \sin \omega t}{2L} T_{on}$$

$$\therefore I_{i(t)} = \frac{\sqrt{2}T_{on} V_{i(rms)}}{2L} \sin \omega t \quad (1-11)$$

このことから、 $T_{on}$ を一定に制御すれば入力電流を正弦波状に制御できることになる。これは図 1-36 の制御ブロック図の電圧誤差アンプの出力レベルに相当する。以上が動作原理となる。

次に入出力条件と操作量（オン時間、周波数）の関係について説明する。  
(1-11) 式を変形すると次式が求まる。

$$T_{on} = \frac{2LI_{i(t)}}{\sqrt{2}V_{i(rms)} \sin \omega t} = \frac{2L\sqrt{2}I_{i(rms)} \sin \omega t}{\sqrt{2}V_{i(rms)} \sin \omega t} = \frac{2LI_{i(rms)}}{V_{i(rms)}} \quad (1-12)$$

入力電流の実効値を  $I_{i(rms)}$ 、出力電力を  $P_o$ 、効率を  $\eta$ 、入力電圧実効値を  $V_{i(rms)}$  とすると、力率がほぼ 1 とした場合 (1-13) 式が成り立つ。(1-12) (1-13) 式から、入力電圧とオン時間  $T_{on}$  の関係が (1-14) 式で求められる。

$$I_{i(rms)} = \frac{P_o}{\eta V_{i(rms)}} \quad (1-13)$$

$$T_{on} = \frac{2L \frac{P_o}{\eta V_{i(rms)}}}{V_{i(rms)}} = \frac{2LP_o}{\eta V_{i(rms)}^2} \quad (1-14)$$

これを簡易的にグラフで表すと図 1-37 のようになる。

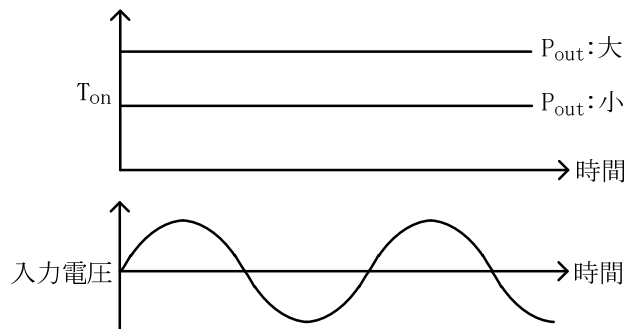


図 1-37 昇圧チョッパ型 PFC 回路の入力電圧とオン時間の関係（電流臨界モード）

出力電力の変化は出力電圧の変動として図 1-36 の制御ブロック図の電圧誤差アンプによりフィードバックされ、オン時間が制御されることで常に入

力電流が正弦波状に制御されることになる。

また、(1-5) (1-7) (1-8) 式より以下の関係が得られる。

$$T_{on} + T_{off} = L \frac{I_{L(peak)}}{V_{in(t)}} + L \frac{I_{L(peak)}}{V_{out} - V_{in(t)}} = L \frac{2I_{in(t)}V_{out}}{V_{in(t)}(V_{out} - V_{in(t)})}$$

$$= \frac{I_{in(t)}}{V_{in(t)}} \frac{2LV_{out}}{V_{out} - V_{in(t)}} = \frac{\sqrt{2}I_{in(rms)} \sin \omega t}{\sqrt{2}V_{in(rms)} \sin \omega t} \frac{2LV_{out}}{V_{out} - V_{in(t)}} = \frac{I_{in(rms)}}{V_{in(rms)}} \frac{2LV_{out}}{V_{out} - V_{in(t)}}$$

(1-13) 式から、入力電圧と周波数  $f_{sw}$  の関係が (1-15) で表される。

$$T_{on} + T_{off} = \frac{\frac{P_{out}}{\eta V_{in(rms)}}}{V_{in(rms)}} \frac{2LV_{out}}{V_{out} - V_{in(t)}} = \frac{2LP_{out} V_{out}}{\eta V_{in(rms)}^2 (V_{out} - V_{in(t)})}$$

$$\therefore f_{sw} = \frac{\eta V_{in(rms)}^2 (V_{out} - V_{in(t)})}{2LP_{out} V_{out}} \quad (1-15)$$

これを簡易的にグラフで表すと図 1-38 のようになる。オン時間  $T_{on}$  は一周内で一定に制御されるため、オフ時間（インダクタ電流がゼロになるまでの時間）の変化により、この周波数変化の特性が示されることになる。

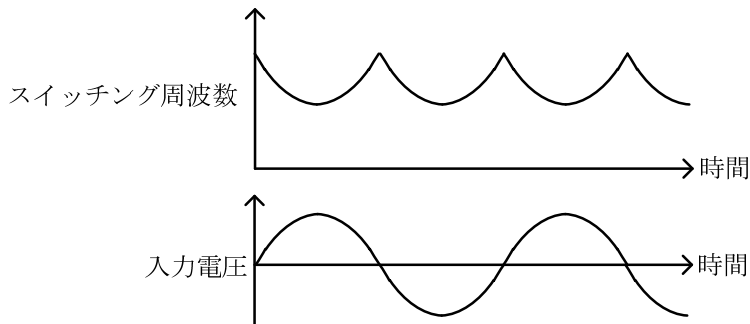


図 1-38 昇圧チョッパ型 PFC 回路の入力電圧と周波数の関係  
(電流臨界モード)

次にインダクタのインダクタンスと動作周波数について説明する。

式 (1-15) はインダクタのインダクタンス値を変えることで、任意に動作周波数を決定できることを示している (図 1-39)。動作周波数はスイッチング素子やインダクタの特性を考慮し、一般的に数 10kHz から数 100kHz で設定されている。

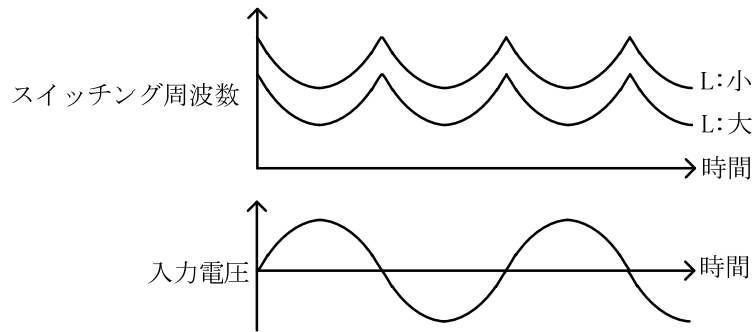


図 1-39 インダクタのインダクタンスと周波数の関係  
(電流臨界モード)

なお、制御の周波数特性について補足説明をしておく。

図 1-33 で示した昇圧チョッパ型電流臨界 PFC 回路では、ダイオード  $D$  の電流はスイッチ  $Q$  のオフ期間に電流が流れる (図 1-40)。この電流は出力キャパシタで平滑されるが商用交流周期に同期した(実際には 2 倍の周波数)の電圧変動が生じる。図 1-36 の制御ブロック図で示した通り、出力電圧は一周期内のスイッチのオン時間を一定に制御するために利用するため、商用交流周期に同期した電圧変動はこれに影響を及ぼすことになる。したがって、出力電圧  $V_o$  と目標電圧  $V_{REF}$  とを比較する電圧誤差アンプの周波数特性は、商用交流周波数よりも低くする必要がある。図 1-41 にトランスコンダクションアンプを用いた周波数特性設定例を示す<sup>(36)(37)</sup>。

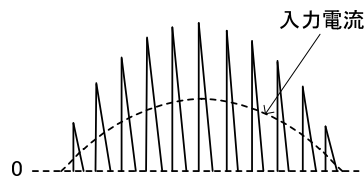


図 1-40 昇圧チョッパ型電流臨界 PFC のダイオードの  
スイッチング電流波形

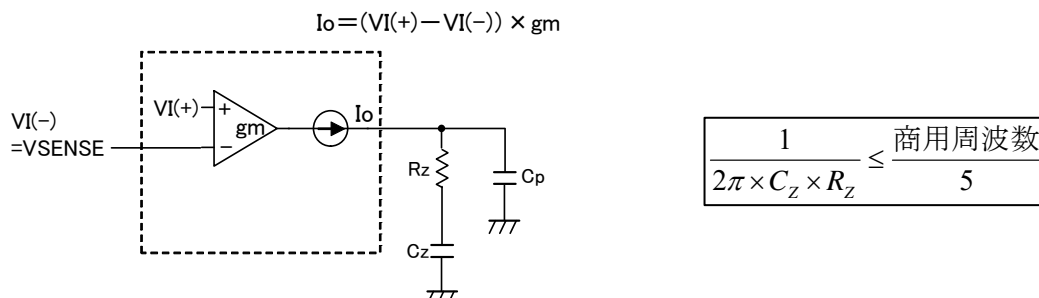


図 1-41 電圧誤差アンプの周波数特性設定例

ここまでで説明した商用電源を入力としたスイッチング電源の主な回路構成例において、その主な特徴である力率とスイッチ損失を比較すると表 1-2 の通りとなる。

表 1-2 商用電源を入力としたスイッチング電源の主な回路構成例における  
力率とスイッチ損失の比較

種類	力率	PFC 部 主スイッチ	DC-DC 部 主スイッチ
キャパシタインプット 全波整流回路 + RCC 回路	×	—	電流実効値大 ハードスイッチング 損失大×
チョークインプット 全波整流回路 + フライバック回路	△	—	ハードスイッチング 損失大×
昇圧チョッパ型 電流連続 PFC 回路 + フォワード回路	○	ハードスイッチング ダイオードリカバリ大 損失大×	ハードスイッチング 損失大×
昇圧チョッパ型 電流臨界 PFC 回路 + ハーフブリッジ回路	○	ハードスイッチング ダイオードリカバリ小 損失大△	ハードスイッチング オフ時電圧小 損失大△

キャパシタインプット全波整流回路+RCC 回路は力率が大幅に低く、DC-DC 部の主スイッチの電流実効値が大きくハードスイッチングのため損失も大きい。

チョークインプット全波整流回路+フライバック回路は、キャパシタインプット全波整流回路より入力電流導通期間が広がり力率は改善されるが十分ではない。DC-DC 部の主スイッチについても電流実効値は RCC 回路より小さくなるがハードスイッチングのため損失は大きい。

このほかにも PFC 部を用いず力率を改善し、かつ絶縁と電圧変換を兼ねる回路（ワンコンバータ方式と呼ばれる）が複数存在するが、いずれも力率



は低いため高調波規制の制限値の高くない一部の機器（表 1-1 のクラス D 対の象のもの）などに使用が制限される<sup>(38)</sup>。

昇圧チョッパ型電流連続 PFC 回路＋フォワード回路は、入力電流が正弦波状に制御されるため力率は改善される。PFC 部主スイッチについてはスイッチング損失が大きい。DC-DC 部の主スイッチもハードスイッチングのため損失は大きい。

昇圧チョッパ型電流臨界 PFC 回路＋ハーフブリッジ回路も入力電流が正弦波状に制御されるため力率は高い。PFC 部主スイッチについては電流臨界動作の効果でダイオードのリカバリ電流が抑制されるため、スイッチング損失は抑制されるが、ハードスイッチング動作のため損失低減は十分ではない。DC-DC 部の主スイッチは、オフ時に印加される電圧が他の回路と比較し半分になるため、スイッチング損失は低減されるが、ハードスイッチング動作のため損失低減は十分ではない。

したがってさらなる高効率化のためにはスイッチング損失の低減が不可欠である。

### 1.2.3. スイッチング電源のソフトスイッチング化

1.2.2 項の商用電源を入力としたスイッチング電源の回路構成例で示した通り、構成要素である PFC 回路および DC-DC 回路において、さらなる高効率化のためにはスイッチング損失の低減が不可欠である。このスイッチング損失の低減に大きな効果が期待できるのがソフトスイッチング化である。

さらに、近年情報通信市場の拡大に伴いデータ量が増加するとともに、サーバー、ストレージ装置の消費電力が増加しており、これに用いられる電源の更なる高効率化が求められているため<sup>(39)(40)</sup>、ソフトスイッチング化に最適な回路の選択が重要となる。以下にソフトスイッチングが可能な主な回路構成例とその特徴を示す。

図 1-42 は昇圧チョッパ型電流臨界 PFC 回路<sup>(41)</sup>と位相シフト回路<sup>(42) (43)</sup>を組み合わせた AC-DC 電源である。ソフトスイッチング化により高効率化が可能なため、これまで広く利用されている回路構成である。

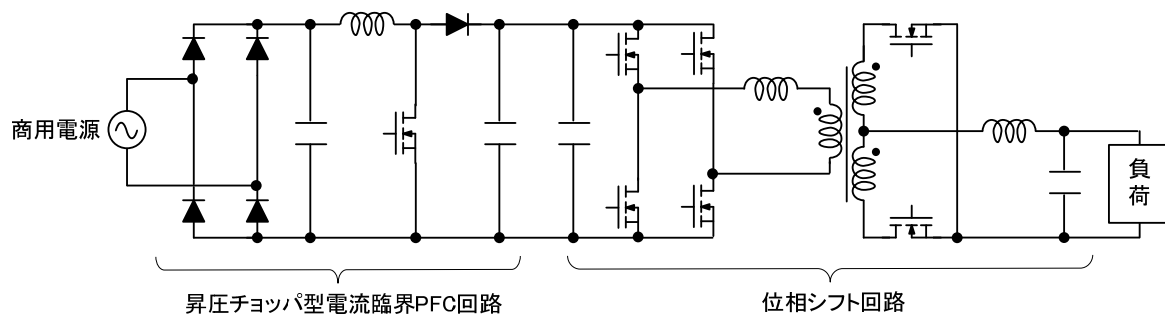


図 1-42 昇圧チョッパ型電流臨界 PFC 回路 + 位相シフト回路

昇圧チョッパ型電流臨界 PFC 回路については 1.2.2 項で説明した(図 1-34 他) とおりのため、ここでは ZVS (ゼロ電圧スイッチング、Zero Voltage Switching) によるソフトスイッチング動作と制御方法について説明する。

図 1-43 に昇圧チョッパ型電流臨界 PFC 回路の ZVS 動作波形(スイッチング周期で拡大)の概略図を示す。図 1-34 の電流臨界 PFC 回路の動作波形と比較すると、主スイッチがオンするタイミングが遅くなっており、この間に昇圧インダクタを介して整流ダイオードの出力キャパシタンスが充電され

るとともに、主スイッチの出力キャパシタンスに充電されていた電荷が放電される。このため主スイッチがターンオンするときは、主スイッチのドレインソース間電圧はゼロボルトになっているため、図 1-27 に示した出力キャパシタンスの電荷を放電する短絡電流の発生を抑制することが出来る利点がある。また、整流ダイオードに逆電圧が印加される直前のダイオードの電流も小さいため、リカバリによる短絡電流の発生も抑制できる。

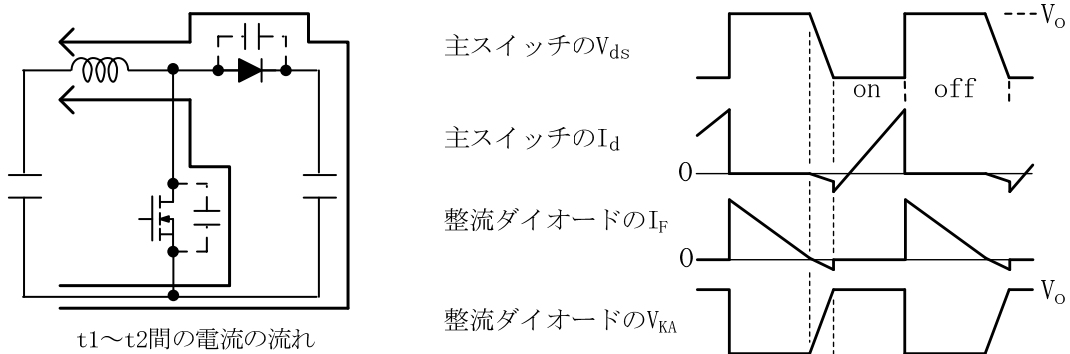


図 1-43 昇圧チョッパ型電流臨界 PFC 回路の ZVS 動作波形  
(スイッチング周期で拡大) の概略図

次に位相シフト回路の構成要素および動作波形の概略図を図 1-44 に示す。

図 1-35 で示したハーフブリッジ回路と同様に主スイッチのオフ時に印加される電圧がほぼ入力電圧となるため、ドレイン耐圧が低くオン抵抗が低い素子を使用出来るため、導通損失を低減できることになる。

位相シフト回路の最大の特徴はソフトスイッチングが可能な点である。図 1-44 で示した動作波形において、主スイッチ  $Q1$  がターンオンするときの ZVS 動作波形を図 1-45 に示す。図 1-45 の a) で示した時間領域では、 $Q2$  と  $Q3$  がオン状態で、トランスを介し負荷側に供給されている電流が部分共振用インダクタにも流れている。部分共振とはスイッチがターンオン/オフするときのみ共振を行うというものである<sup>(15)</sup>。その後  $Q2$  がオフすると、部分共振用インダクタと  $Q1$ 、 $Q2$  の出力キャパシタンスの共振により  $Q1$  の出力キャパシタンスが放電されるとともに、 $Q2$  の出力キャパシタンスが充電される ( $t1 \sim t2$ )。その後  $Q1$  の出力キャパシタンスが入力電圧まで充電されると、 $Q1$  のボディダイオードが導通する ( $t2 \sim t3$ )。この状態で  $Q1$  がオンするとゼロボルトスイッチングとなる。

なお、整流スイッチのオフ時に印加される電圧は出力電圧の2倍以上となる。これは入力電圧最小時にトランスの2次巻線電圧が出力電圧と同等になるようにトランスの巻数が設定されるため、入力電圧定格時ではトランスの2次巻線電圧が出力電圧よりも高くなるためである。

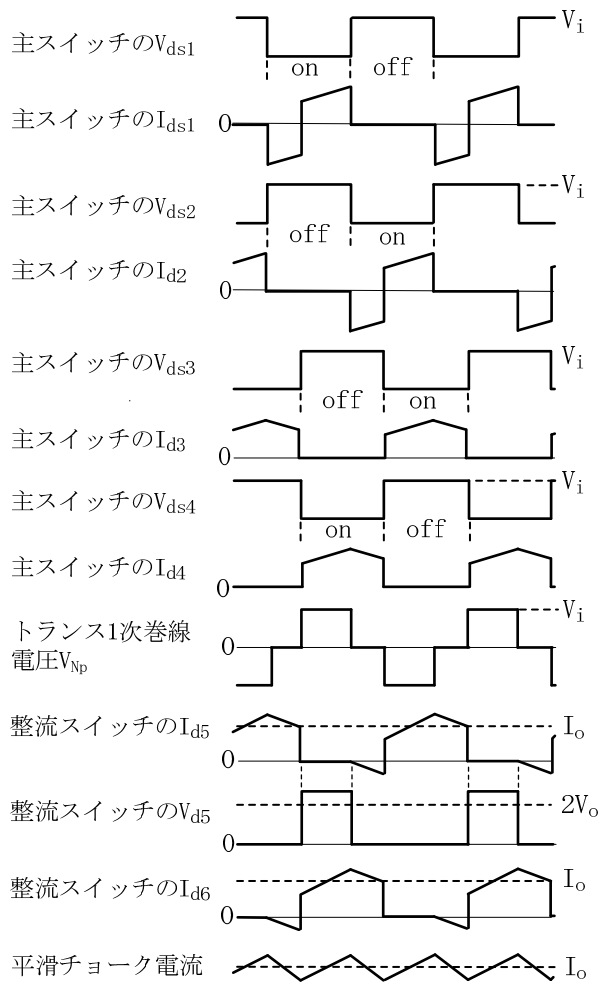
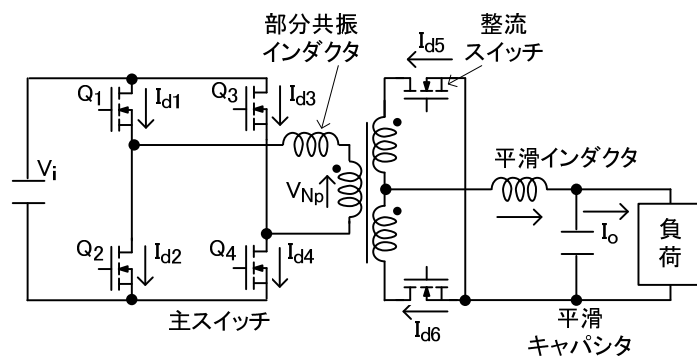


図 1-44 位相シフト回路と動作波形

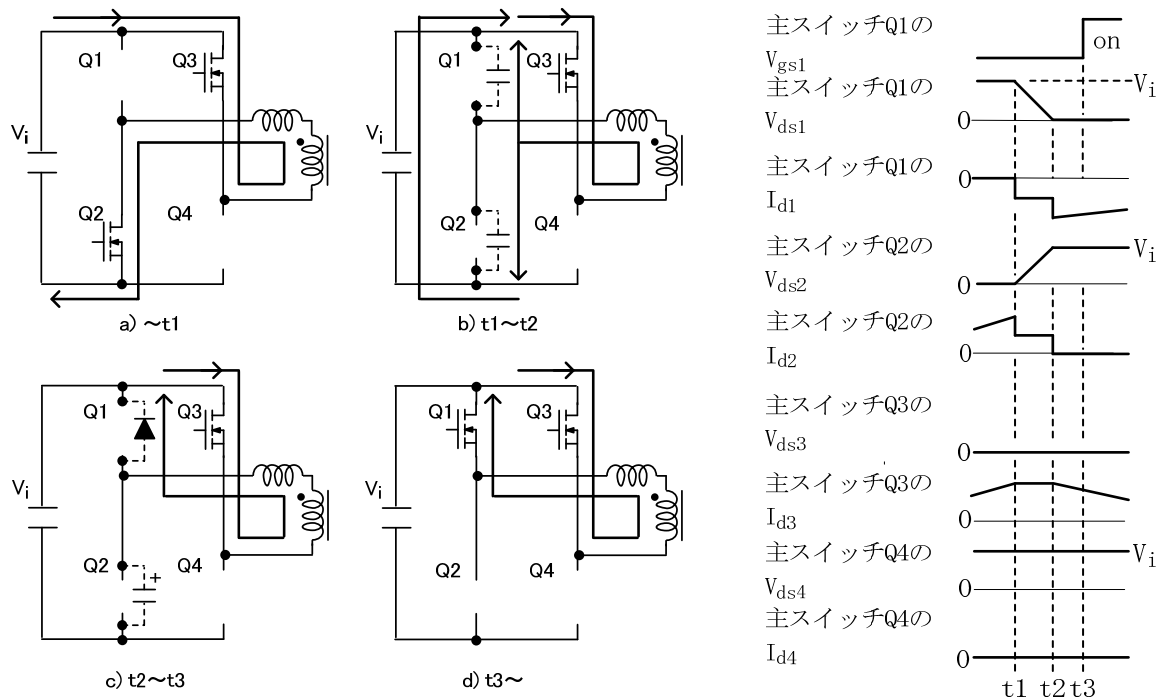


図 1-45 位相シフト回路の ZVS 動作波形 (Q1 ターンオン時)

同様に、主スイッチ Q4 がターンオンするときの ZVS 動作波形を図 1-46 に示す。図 1-46 の a) で示した時間領域では、Q1 と Q3 がオン状態で、トランスを介し負荷側に供給されている電流が部分共振用インダクタにも流れている。その後 Q3 がオフすると、部分共振用インダクタと Q3、Q4 の出力キャパシタンスの共振により Q3 の出力キャパシタンスが充電されるとともに、Q4 の出力キャパシタンスが放電される ( $t_4 \sim t_5$ )。その後 Q3 の出力キャパシタンスが入力電圧まで充電されると、Q4 のボディダイオードが導通する ( $t_5 \sim$ )。この状態で Q4 がオンするとゼロボルトスイッチングとなる ( $t_6$ )。

位相シフト回路の主スイッチの ZVS 動作は、トランス 1 次側巻線と部分共振用インダクタに流れる電流を利用しているため、軽負荷時には ZVS 動作から逸脱しスイッチング損失が増加することになる。したがって、軽負荷領域の損失を低減する場合は課題となる。

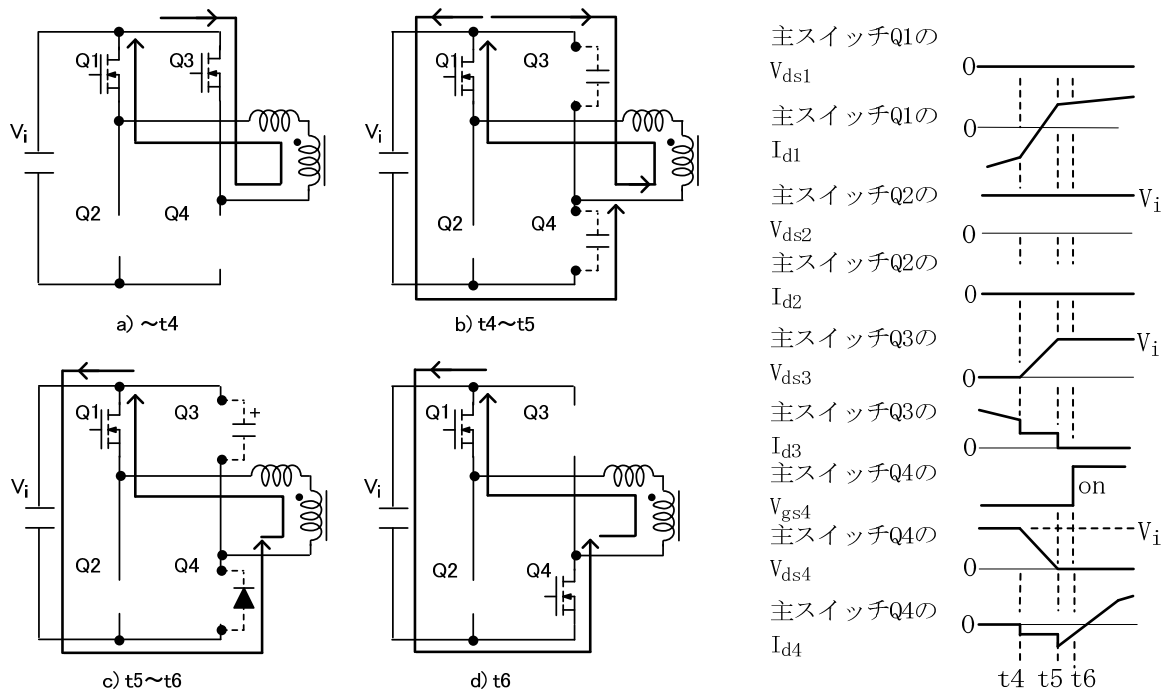


図 1-46 位相シフト回路の ZVS 動作波形 (Q4 ターンオン時)

次に図 1-47 は昇圧チョッパ型電流臨界 PFC 回路<sup>(41)</sup>と LLC 回路<sup>(44)(45)</sup>を組み合わせた AC-DC 電源である。位相シフト回路と LLC 回路では主回路部品の構成はほぼ同等であるが、位相シフト回路ではスイッチがターンオン／オフするときのみ共振を利用するのに対し、LLC 回路ではスイッチング周期すべてで共振動作を行う。LLC 回路で高効率化が可能となる理由としては、1 次側スイッチ素子が、1 次スイッチ素子の出力キャパシタンス、共振電流、トランスの励磁電流を利用し、全ての負荷電流範囲で ZVS 動作することが出来るためである。

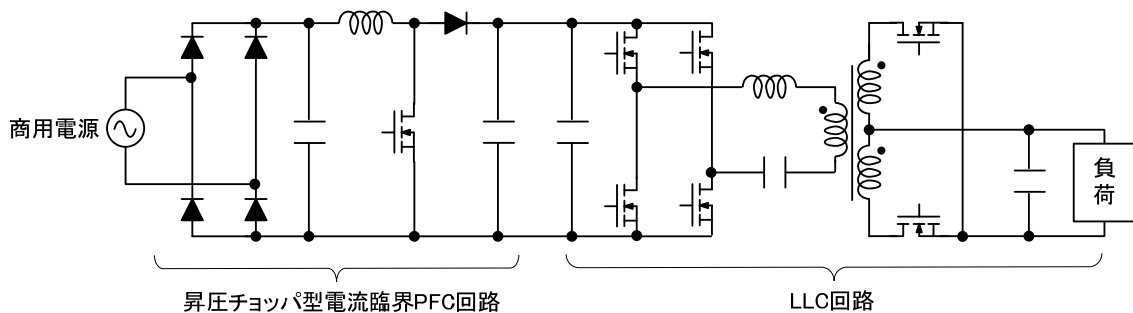


図 1-47 昇圧チョッパ型電流臨界 PFC 回路 + LLC 回路

LLC 回路の構成要素および動作波形の概略図を図 1-48 に示す。共振用インダクタとキャパシタの共振周波数とスイッチング周波数が一致していると、トランス 2 次側の整流スイッチには正弦半波の電流が流れる。主スイッチには整流スイッチと同様に正弦半波の電流が流れるとともに、トランスの励磁電流が流れるため、電流波形は三角波に正弦半波が重畳した波形となる。

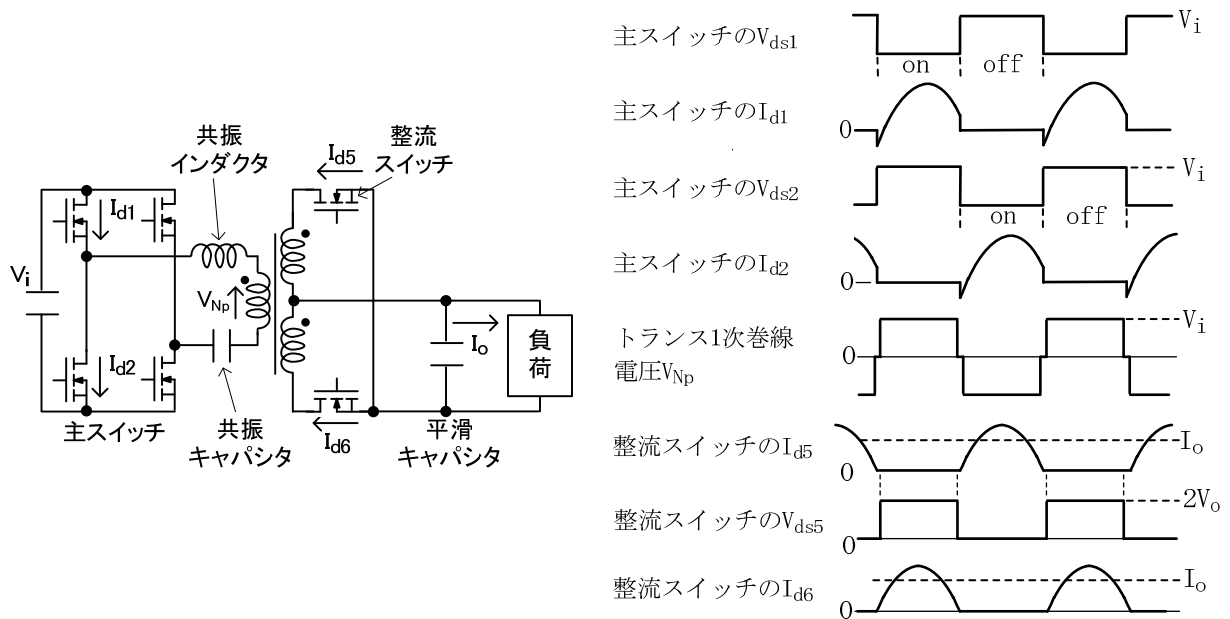


図 1-48 LLC 回路の構成要素および動作波形の概略図

主スイッチのオフ時に印加される電圧は、図 1-44 で示した位相シフト回路と同様にほぼ入力電圧となるため、ドレイン耐圧が低くオン抵抗が低い素子を使用出来るため、導通損失を低減できることになる。また、スイッチングの一周期内でトランスが 2 次側に電流を供給している期間は位相シフト回路より広いため、トランスの利用度をさらに上げられる利点がある。さらに整流スイッチのオフ時に印加される電圧は常に出力電圧の 2 倍で、位相シフト回路と比較し低く抑えられるため、ドレイン耐圧が低くオン抵抗が低い素子を使用出来き、導通損失を低減できる利点がある。

LLC 回路の最大の特徴はソフトスイッチングが可能である点である。図 1-48 で示した動作波形において、主スイッチ  $Q1$ 、 $Q4$  がターンオンするときの ZVS 動作波形を図 1-49 に示す。図 1-49 の a) で示した時間領域では、 $Q2$  と  $Q3$  がオン状態で、共振用のインダクタとキャパシタによる共振電流が流

れており、トランスを介し負荷側に電流が供給されている。その後、時間  $t_1$  の時点で共振電流がゼロになるタイミングで  $Q_2$ 、 $Q_3$  がオフするとともにトランス 2 次側の整流スイッチがオフするため共振電流が流れなくなり、これ以降はトランスの励磁電流のみが流れる。この励磁電流とスイッチの出力キャパシタンスの共振により  $Q_1$ 、 $Q_4$  の出力キャパシタンスが充電されるとともに、 $Q_2$ 、 $Q_3$  の出力キャパシタンスが充電される ( $t_1 \sim t_2$ )。その後  $Q_1$ 、 $Q_4$  の出力キャパシタンスが入力電圧まで充電されると、 $Q_1$ 、 $Q_4$  のボディダイオードが導通する ( $t_2 \sim t_3$ )。この状態で  $Q_1$ 、 $Q_4$  がオンすると ZVS 動作となる。

主スイッチ  $Q_1$ 、 $Q_4$  がターンオンするときの ZVS 動作波形は、主スイッチ  $Q_1$ 、 $Q_4$  がターンオンするときと同様である。

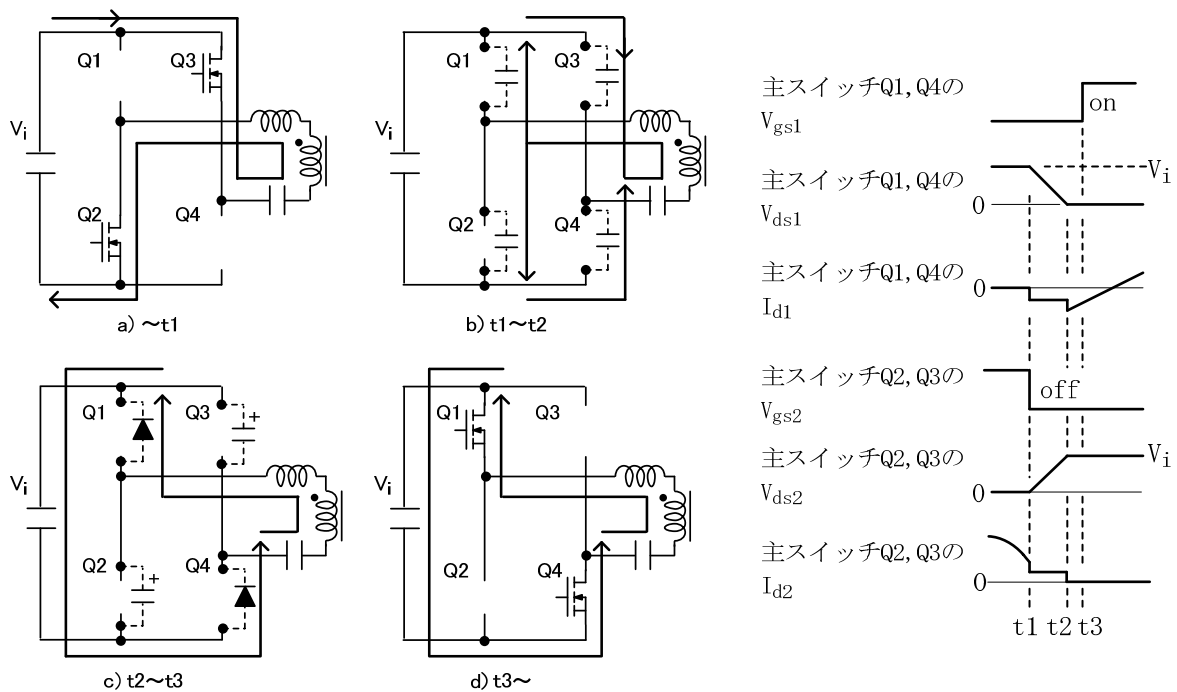


図 1-49 LLC 回路の ZVS 動作波形 ( $Q_1, Q_2$  ターンオン時)

また LLC 回路の 2 次側整流部は、図 1-48 で示したスイッチング周波数と共振周波数が同一の場合 (電流臨界条件)、またはスイッチング周波数が共振周波数より低い場合 (電流不連続条件)、スイッチング時の電流は常にゼロである。したがって 2 次側のスイッチは ZCS (ゼロ電流スイッチング、Zero Current Switching) を行うことが出来る。このため、高効率かつ低ノイズ



の電源を実現できるため以前から多くの研究がされている<sup>(45)・(48)</sup>。

近年 LLC 回路は再生可能エネルギー機器の電源としても非常に有効な手法となっている。再生可能なエネルギーを電気に変換する効率は十分高くなっていないため、再生可能なエネルギーの有効活用にはスイッチング電源を高効率化することが必要となっている。また、再生可能エネルギーの電力は不安定のため、コンバータがこの電力を安定な電圧に維持することが求められる。この点で LLC 回路は、共振回路の  $Q$  ファクタを高くするか、または共振インダクタと励磁インダクタの比を小さくすることにより入力電圧範囲を広く設計することが可能で、設計の自由度が高い<sup>(49)</sup>。したがって、コンバータを高効率化する回路方式としては、LLC 回路は最良の方式と言え、上記の特徴から情報通信用電源としても研究が行われている<sup>(50)・(54)</sup>。

図 1-50 に  $Q$  ファクタを変化させた場合のスイッチング周波数に対する出力電圧特性例を示す<sup>(55)・(56)</sup>。位相シフト回路などが PWM (パルス幅変調、Pulse Width Modulation) 制御を行うのに対し、LLC 回路は PFM (周波数変調、Pulse Frequency Modulation) 制御で出力を安定化する動作となる。

$Q$  値は共振インダクタ  $L_r$ 、共振キャパシタ  $C_r$ 、トランス 1 次側における実効負荷抵抗  $R_{eff}$  により (1-16) で表される。

$$Q = \frac{\sqrt{L_r/C_r}}{R_{eff}} \quad (1-16)$$

ただし、実効負荷抵抗  $R_{eff}$  は負荷抵抗  $R_o$ 、トランス巻数比  $n$  と次式の関係にある。

$$R_{eff} = \frac{8n^2}{\pi^2} R_o \quad (1-17)$$

$Q$  値が高くなるとスイッチング周波数に対する出力電圧の変化が大きくなるため、幅広く出力電圧を制御できることが分かる。なお、図 1-50 中の  $k$  はトランス励磁インダクタ  $L_{MAG}$  と共振インダクタ  $L_r$  の比である。

$$k = \frac{L_{MAG}}{L_r} \quad (1-18)$$

次に図 1-51 に励磁インダクタ  $L_{MAG}$  と共振インダクタの比  $k$  を変化させた場合のスイッチング周波数に対する出力電圧特性を示す。励磁インダクタの値

が共振インダクタの値に近づくと ( $k$  値が小さくなると)、スイッチング周波数に対する出力電圧の変化が大きくなるため、幅広く出力電圧を制御できることが分かる。

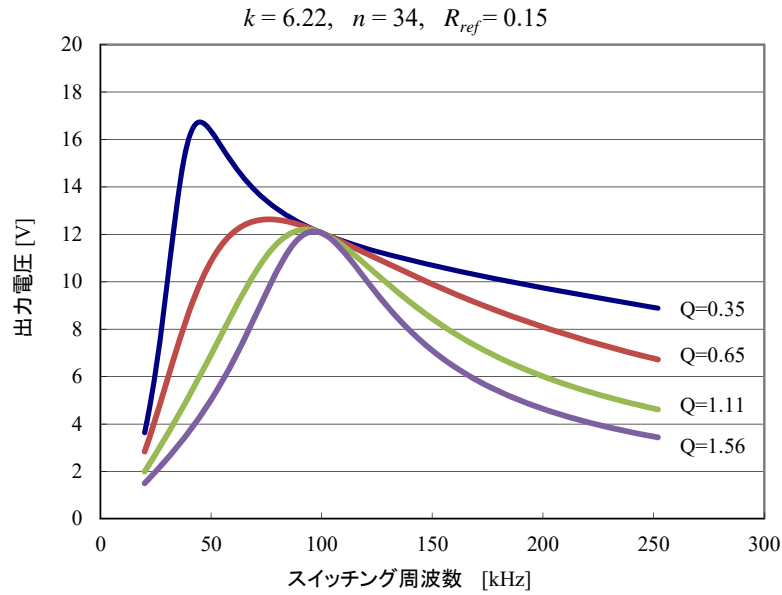


図 1-50  $Q$  ファクタを変化させた場合のスイッチング周波数に対する出力電圧特性

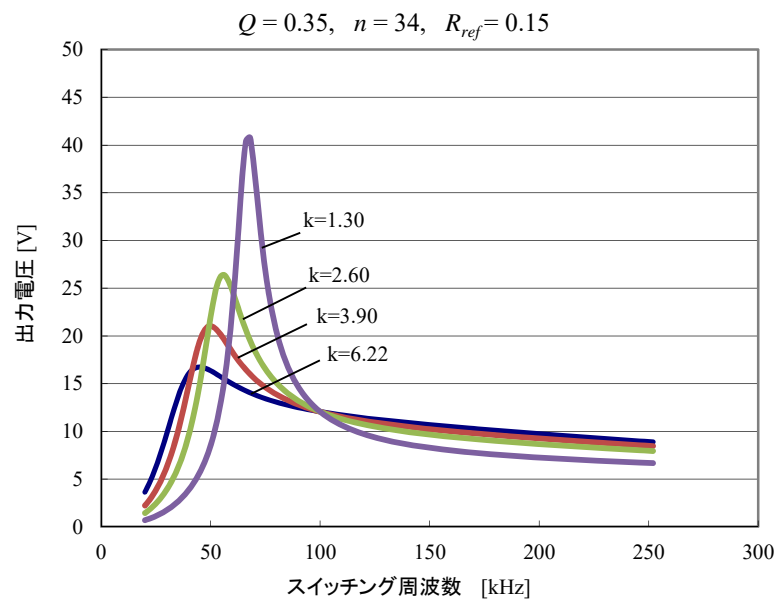


図 1-51 励磁インダクタと共振インダクタの比  $k$  を変化させた場合のスイッチング周波数に対する出力電圧特性

なお、図 1-48 に示した LLC 回路は、トランスの 1 次側がフルブリッジ、2 次側がセンタータップの構成となっているが、この他に図 1-52 に示すように 1 次側がハーフブリッジ、2 次側がフルブリッジという構成も選択可能である。

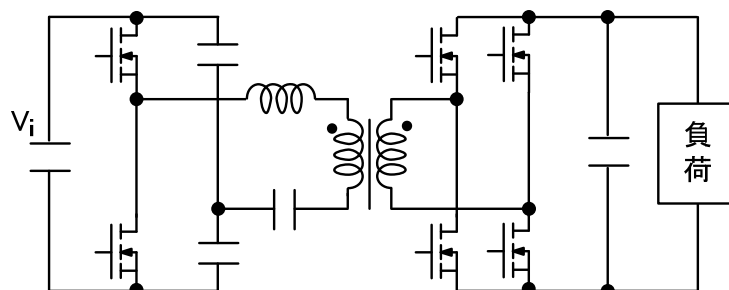


図 1-52 1 次側ハーフブリッジ+2 次側フルブリッジ LLC 回路

ここまでで説明したソフトスイッチング化が可能な主な回路構成例における損失低減効果を比較すると表 1-3 の通りとなり、昇圧チョッパ型電流臨界 PFC 回路+LLC 回路の構成が高効率化に優位と言える。

共振回路には LLC 回路のほかに、トランスの励磁インダクタンスを用いない直列共振回路、共振キャパシタがトランスと並列に接続される並列共振回路、両者を組み合わせた直並列共振回路があるが、スイッチング素子の電圧・電流ストレスや、軽負荷の損失と制御性、回路構成部品の個数などの点から、LLC 回路が最も優位という研究がされている<sup>(57)</sup>。

表 1-3 ソフトスイッチング化が可能な主な回路構成例における効果

種類	PFC 部 主スイッチ	DC-DC 部 スイッチ
昇圧チョッパ型 電流臨界 PFC 回路 + 位相シフト回路	ソフトスイッチング (オン時のみ) 損失小○	ソフトスイッチング 損失小○
昇圧チョッパ型 電流臨界 PFC 回路 + LLC 回路	ソフトスイッチング (オン時のみ) 損失小○	ソフトスイッチング 損失小○ 整流スイッチ：低耐 圧・低オン抵抗 損失小○

このようにスイッチング電源を高効率化するためにソフトスイッチング化が進められている一方で、それに伴い寄生成分の影響が顕在化している問題がある。具体的には、PFCにおけるスイッチング素子の寄生容量による効率低下と、DC-DCコンバータのトランス巻線の寄生キャパシタンスによる影響があり、1.2.4項で具体的にその内容を説明する。

## 1.2.4. ソフトスイッチング化に伴う寄生キャパシタンスによる影響と高効率化の課題

1.2.3 項で電気自動車や IoT、および再生可能エネルギーなどの広い分野で利用される商用電源を入力とするスイッチング電源において、高効率化に不可欠なソフトスイッチングに適した PFC 部と DC-DC 部の回路は、昇圧チョップ型電流臨界 PFC 回路と LLC 回路であることを示したが、さらに高効率化を進めるにあたり、ソフトスイッチング化に伴う寄生キャパシタンスによる影響が課題となってきた。

具体的には、以下の 4 つの課題が挙げられる。

- (1) 昇圧チョップ型電流臨界 PFC 回路において、さらなる高効率化のため整流素子を同期整流化する場合や、オン抵抗が低い素子を使用した場合の、スイッチ素子の寄生（出力）キャパシタンスの影響による力率低下の問題。
- (2) LLC 回路において、ソフトスイッチング化によりスイッチ素子の損失が低減される一方で、その他の回路を構成するデバイス（特にトランス）などを含めても、他の回路（位相シフト回路）と比較して低損失であるのか明らかではない問題。
- (3) LLC 回路のトランスについては、流れる電流の実効値が他の回路（例えば位相シフト回路）と比較し大きくなるため、トランス巻線の銅損増加の懸念があるが、巻線間のカップリング（結合）が高いインターリーブ構造のプレーナトランスを利用すると銅損を低減できることが報告されている。ところが、カップリング（結合）が高いインターリーブ構造のプレーナトランスは巻線間の寄生キャパシタンスがあり、損失増加の影響については明らかになっていない課題がある。
- (4) LLC 回路において損失の割合が高いトランスの銅損を低減する目的として、巻線の交流抵抗の低減可能な巻線間結合が高く寄生キャパシタンスが大きい構造のトランスを採用した場合で、さらにノイズ対策として LLC 回路に入出力ノイズフィルタが接続されている場合において、巻線間キャパシタンスに起因する損失影響の懸念がある。

上記の (1) から (4) の内容について以下に詳しく説明する。

昇圧チョッパ型電流臨界 PFC 回路では、主スイッチがターンオンする前にインダクタ電流を利用し整流素子の出力キャパシタンスを充電することで、ターンオン時の短絡電流を抑制する ZVS が可能なため、低損失を実現することが可能な方法として広く利用されているが<sup>(58)(59)</sup>、整流素子の寄生 (出力) キャパシタンスを充電する電流はインダクタを介して入力に回生されるため、入力正弦波電圧のゼロクロス付近では、インダクタ電流の平均値に相当する入力電流波形が入力正弦波電圧と相似にならず、力率を低下させる弊害がある<sup>(60)</sup>。

これに対しては、ゼロクロス付近で主スイッチのオン時間を拡張し対策する報告があるが<sup>(61)-(63)</sup>、整流素子の損失をさらに低減するために同期整流化した場合やオン抵抗の小さな素子を採用した場合には、整流素子の出力キャパシタンスはさらに増加するため対策は十分でない。

この問題に対しては、従来から使用されている Si-MOSFET を、出力キャパシタンスが小さい SiC-MOSFET もしくは GaN-HEMT に変更することで、力率低下を抑制する報告がされている<sup>(64)(65)</sup>。SiC-MOSFET や GaN-HEMT は Si-MOSFET よりも理論上オン抵抗を低く出来るが、現状の量産性能レベルは Si-MOSFET に及んでおらず、コストも高いという課題がある。

したがって、PFC 部に使用される昇圧チョッパ型電流臨界 PFC 回路では、現状の量産性能レベルでオン抵抗が低く、かつコストも安価な汎用的な Si-MOSFET の採用を前提とした出力キャパシタンスによる力率低下の影響を低減することが必要となっている。

一方、DC-DC 部のソフトスイッチング化に優位な LLC 回路では、半導体スイッチの損失を小さく抑えることが出来るが、実際にはスイッチ以外のトランスなどでも損失は発生しており、DC-DC 部の回路方式の違いにより例えばトランスの巻数やその他の条件に違いがあるとその影響が生じることになる。また実際の製品ではサイズ (体積) の制約を満足する必要がある。これらを考慮すると、必ずしも従来の回路方式と比較し LLC 回路全体の効率が改善されるとは言い切れない。従って、サイズ、入出力仕様など同一条件で回路方式の効率比較が必要となる。

さらに、LLC 回路では小型、高電力密度化のためスイッチング周波数の高

周波化が検討されているが<sup>(66)</sup>、トランスの損失低減が大きな課題となっており<sup>(67)(68)</sup>、さらなる高効率化にはトランス巻線の銅損（交流抵抗）低減が不可欠である<sup>(69)(70)</sup>。LLC回路のトランスの1次側電流波形は正弦波状であるが、トランス2次側にセンタータップ巻線が採用されている場合、トランスの2次側電流波形は正弦半波で、位相シフト回路よりも実効電流値が高い。加えてLLC回路では、主スイッチのFETや2次側整流ダイオードもしくは整流FETなどのスイッチングデバイスはZVSまたはZCS条件でスイッチングするため、スイッチング損失は減少することから、LLC回路のトランスの銅損は、LLC回路内の他のデバイスの損失と比較し相対的に高くなる。巻線の銅損低減の課題については、巻線のカップリングの高いインターリーブ構造にすることで交流（AC）抵抗の低減が可能であるため<sup>(71)(72)</sup>、積層（プレーナ）トランスの採用が効果的である<sup>(67)(73)-(75)</sup>。しかしながら、カップリングが高いインターリーブ構造では1次と2次の巻線間の寄生キャパシタンスを増加させることになり<sup>(76)(77)</sup>、その巻線間キャパシタンスが損失をどの程度増加させるのかは現状明らかとはなっていない。実際、LLC回路に積層トランスを使用したところ、通常の巻線トランスでは見られなかった高周波振動がトランス2次側電流に現れ、電源としての損失も増加する現象が起ることを確認している。

したがって積層（プレーナ）トランスを利用しLLC回路のさらなる損失低減を行うには、巻線間寄生キャパシタンスの影響を明らかにすることが不可欠である。

加えて、LLC回路において損失の割合が高いトランスの銅損を低減する目的として、巻線の交流抵抗の低減可能な巻線間結合が高い構造のトランスを採用した場合、巻線間の寄生キャパシタンスの増加による影響を考慮する必要があることを述べたが、さらにLLC回路に入出力ノイズフィルタが接続されている場合においても巻線間キャパシタンスに起因する損失影響の懸念がある。ただし、このような場合の損失影響についてもこれまで明らかになっていないという課題がある。

以上の通り、ソフトスイッチング化に伴う寄生キャパシタンスによる影響は、高効率化と密接に関係がある重要な課題と言える。

### 1.3. 研究の意義

1.2.4 項で示したソフトスイッチング化に伴う寄生キャパシタンスによる影響と高効率化の課題について、本研究における具体的取り組みとその意義について以下に示す。

- (1) 昇圧型電流臨界 PFC において、整流スイッチング素子の出力キャパシタンスの影響により入力電圧のゼロクロス付近で入力電流波形が歪み、力率が低下する改善として、整流スイッチ寄生キャパシタンスの電圧依存性<sup>(29)</sup>の改善、昇圧回路のマルチフェーズ化、低電流時の昇圧回路切り替え、の 3 つの方法による効果を検証し、それぞれの効果を明らかにした。

この結果は、現在量産されているスイッチング素子の中でオン抵抗が低く、かつ低コストで汎用的ではあるが、出力キャパシタンスが大きい Si-MOSFET を使用しても、出力キャパシタンスの力率低下の影響を回避できる改善策を提示しており、実用上意義があると考えられる。

- (2) 情報通信機器用に製品化されている電源を使用し同一サイズ条件にて LLC 回路と位相シフト回路の比較を行い、回路各部の損失の差異とその要因について明らかにしている。さらに、主要な損失発生源であるトランス巻線について改善を行った場合の損失差がどのように変化するかを示した。

この結果は、LLC 回路のスイッチ素子の損失がソフトスイッチング化で低損失になる一方で、LLC 回路で特に損失低減が不可欠な素子がトランスであることとその要因について明らかにしており、LLC 回路をさらに高効率化することに大きく貢献すると考えられる。

- (3) トランス銅損低減が期待できるプレーナトランスを採用した LLC 回路による実験にて、厳密な損失分析により、巻線間キャパシタンスに起因する損失の特性（巻線間キャパシタンスや出力電力などの条件により損失がどのように変化するか）について明らかにした。また、巻線間キャパシタンスに起因する損失を計算で求める方法を新たに提案し、実験値との比較により妥当性の検証を行った。この損失計算に必要な巻線間キャパシタンスの測定方法について提案を行っている。



さらに、巻線間の動作電圧を考慮し巻線間の結合度を変化させることにより巻線間キャパシタンスに起因する損失を低減する新たな手法を示し、試作機において効果の確認を実施した。

この結果は、今後 LLC 回路の高効率化のために更にプレーナトランスが利用されていった場合や、小型化のためスイッチング周波数の高周波化が行われていった場合に、巻線間キャパシタンスに起因する損失増加の抑制に大きく貢献すると考えられる。

- (4) 実際に入出力ノイズフィルタを接続した LLC 回路にて、トランス巻線間の寄生キャパシタンスにより入出力ノイズフィルタの Y キャパシタ<sup>(15)</sup>を介して流れる電流と、電源損失を測定し、フィルタのコモンモードチョークの損失が増加する影響があることを検証した。さらに、巻線間キャパシタンスに起因するコモンモードチョークの損失を低減する新たな方法として、トランス 1 次、2 次間に橋絡キャパシタを追加する提案をし、その効果の検証を行った。車載充電器や ICT 装置の給電設備に用いられる LLC コンバータのトランスは、安全規格上の絶縁境界となり、この絶縁境界をまたがるキャパシタは、橋絡キャパシタと定義されているため<sup>(78)</sup>、本論文でも橋絡キャパシタという名称を用いる。

この結果は、今後 LLC 回路の高効率化のために、巻線間の結合が高く寄生キャパシタンスが大きいトランスがより多く利用されていった場合に、ノイズフィルタを含めた損失影響の把握とその抑制に大きく寄与すると考えられる。

以上の内容は、今後更に市場が拡大する電気自動車や情報通信、および再生可能エネルギー分野において広く利用される商用電源を入力とする昇圧型電流臨界 PFC 回路と LLC 回路で構成されるソフトスイッチング電源において、さらに高効率化する上で阻害要因となる寄生キャパシタンスの影響を低減することに貢献するため、最終的に省エネ化や省資源化、環境負荷の低減に寄与すると考える。

本論文の構成は以下の通りである。

第 1 章では研究の社会的背景、本研究の技術分野である商用電源を入力としたスイッチング電源回路の主な種類と特性比較、高効率化に不可欠なソフ

トスイッチング化に適した回路、ソフトスイッチング化に伴う寄生キャパシタンスの影響と対策の必要性を示し、本研究の意義について述べる。

第2章では、電気自動車や情報通信装置用に利用される商用電源を入力としたスイッチング電源の高効率化を目的とし、その構成要素である PFC 回路をソフトスイッチング化するのに適した昇圧チョッパ型電流臨界 PFC 回路を採用した場合に、整流スイッチング素子の寄生キャパシタンスの影響により、入力電流のゼロクロス付近で波形が歪み、力率が低下する問題に着目し、力率低下の改善として、整流スイッチ出力キャパシタンスの電圧依存性改善、昇圧回路のマルチフェーズ化、低電流時の昇圧回路切り替え、の3つの方法による効果を検証し、それぞれの効果を述べる。

第3章では、電気自動車や情報通信装置用に利用される商用電源を入力としたスイッチング電源の高効率化を目的とし、その構成要素である DC-DC 回路をソフトスイッチング化するのに適した LLC 回路を採用した場合の、従来使用されていた位相シフト回路に対する優位性を示す。具体的には、情報通信機器用に製造された電源を使用して同じサイズの条件下での損失比較の結果から、LLC 回路の全損失に対するトランスの損失の割合の高さを示し、その要因が2次側整流素子のオン抵抗と、トランスの1次巻数の差によって決定づけられることを述べる。また補足として、トランスの巻線間の結合を高くし銅損を低減した場合の、両回路方式の損失の比較結果を示す。

第4章では、LLC 回路において損失の割合が高いトランスに対し、銅損の低減が期待できる積層（プレーナ）トランスを適用した場合に、巻線間キャパシタンスに起因する損失が発生することを示し、その損失が増減する特徴を実験結果から示す。さらに、トランス巻線の層レイアウトを変えることで巻線間キャパシタンスに起因する損失を減少させる新しい手法を述べる。また、損失の大きさに関係する巻線間のキャパシタンス値を測定する方法を提案する。

第5章では、LLC 回路の高効率化に必要な不可欠なトランス銅損低減として、積層（プレーナ）トランスなどのように巻線間の結合を高くした場合に、巻線間キャパシタンスが増加しこの寄生キャパシタンスと入出力ノイズフィルタの Y キャパシタを介して循環電流が生じ、フィルタのコモンモードチョークの損失が増加する影響があることを示す。さらに、トランス巻線間に橋

絡キャパシタを追加して、コモンモードチョークの損失を低減する新たな方法を述べる。

第 6 章では、本研究報告における成果をまとめ、本研究の課題と将来展望について述べる。

## 第2章 昇圧チョッパ型電流臨界 PFC におけるスイッチ寄生キャパシタンス影響と力率改善

電気自動車や情報通信装置用に利用される商用電源を入力としたスイッチング電源の高効率化を目的とし、その構成要素である PFC 回路をソフトスイッチン化するのに適した昇圧チョッパ型電流臨界 PFC 回路を採用した場合に、整流スイッチング素子の寄生キャパシタンスの影響により、入力電流のゼロクロス付近で波形が歪み、力率が低下する問題がある。

これに対し本章では、現在量産されているスイッチング素子の中でオン抵抗が低く、かつ低コストで汎用的ではあるが、出力キャパシタンスが大きい Si-MOSFET の使用を前提とした力率低下の改善として、以下の 3 つの方法による効果の検証結果について述べる。

### (1) 整流スイッチ出力キャパシタンスの電圧依存性改善

Si-MOSFET の出力キャパシタンスは印加電圧依存性があるため、出力キャパシタンスを充電する電圧変化による出力キャパシタンス特性が力率に深く関係する<sup>(79)</sup>。この点に着目し、素子の出力キャパシタンスの電圧依存特性を最適化させることによる力率低下の抑制効果。

### (2) 昇圧回路のマルチフェーズ化

整流素子の出力キャパシタンスは電流定格に比例（オン抵抗に反比例）する点に着目し、昇圧回路をマルチフェーズ化し出力キャパシタンスの小さい素子を使用することによる力率低下の抑制効果。

### (3) 低電流時の昇圧回路切り替え

高効率化のため低オン抵抗のスイッチを選定した場合、Si-MOSFET の出力キャパシタンスはオン抵抗に反比例し大きくなる傾向を示す点に着目し、低入力電流領域で出力キャパシタンスが小さいスイッチを使用した昇圧回路に切り替えることによる力率低下の抑制効果。

## 2.1. 整流スイッチング素子の出力キャパシタンスによる 力率低下

まず昇圧チョッパ型電流臨界 PFC における整流スイッチング素子の出力キャパシタンスによる力率低下について、実際の事例をもとに説明する。

図 2-1 は電流臨界 PFC の回路図である。Q1 から Q4 は高周波でスイッチングする素子で、Q5、Q6 は商用周期でオン/オフする素子である。

この回路に表 2-1 に示す高周波スイッチング用デバイスを使用した場合の出力電力と力率の関係を示したグラフが図 2-2 で、出力キャパシタンス  $C_{oss}$  の大きいものほど力率が低下していることが分かる。

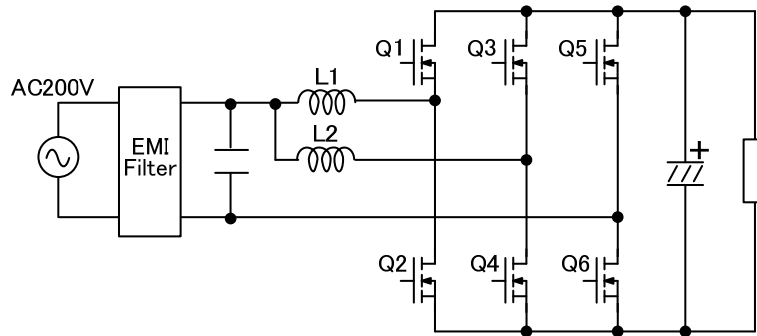


図 2-1 電流臨界 PFC 回路図

表 2-1 高周波スイッチング用デバイス

種類	デバイス名	Coss	Ron (typ.)
SiC-MOS	SCT3080AL	39pF	80mΩ
SiC-MOS	SCT3030AL	89pF	30mΩ
SJ-MOS	IPW65R041CFD	400pF	37mΩ

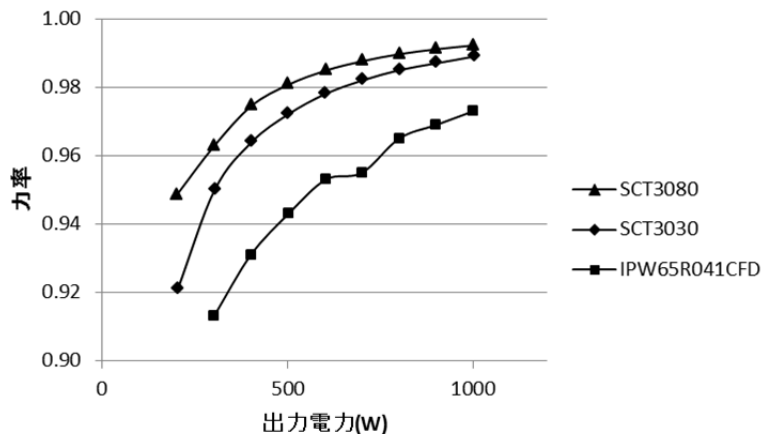


図 2-2 スwitchング素子別の力率

一方、図 2-3 は表 2-1 の 3 素子を使用した場合の効率特性で、軽負荷領域ではオン抵抗  $R_{on}$  の小さい素子を使用した場合の効率が低いため、出力キャパシタンスの影響が大きいことが分かる。

図 2-4 は整流スイッチ（図 2-1 の Q1 または Q3）の入力電流のゼロクロス付近の動作波形である。出力キャパシタンスの大きい素子ではターンオフ後に出力キャパシタンスを充電する電流が逆方向（ソースからドレイン）に流れる。この電流はインダクタを介して入力側に流れるが、インダクタの平均電流が入力電流となるため、入力電流のゼロクロス付近の電流値が減少し、力率低下につながることになる。

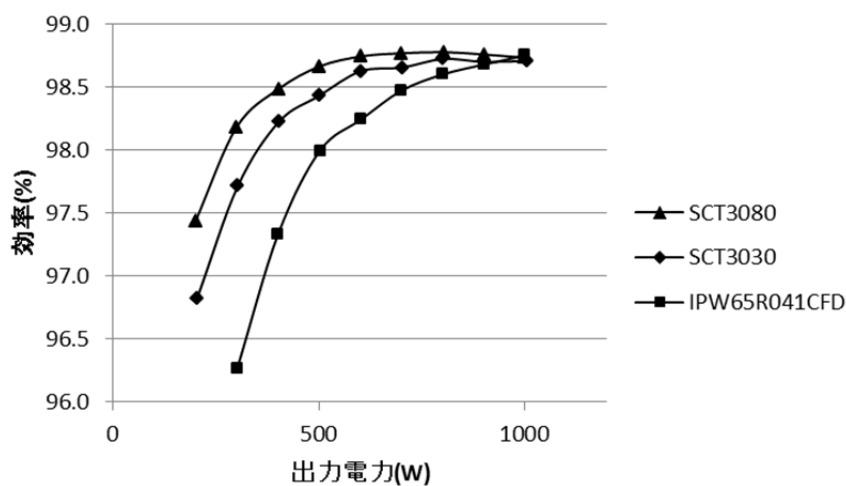


図 2-3 スイッチ素子別の効率特性

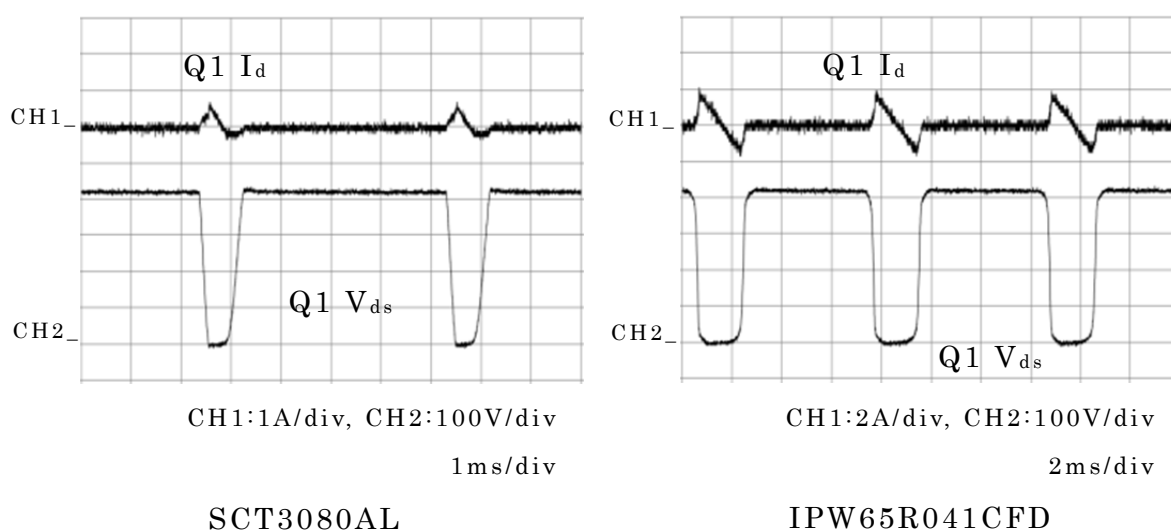


図 2-4 整流スイッチ波形（ゼロクロス付近）

ここで、整流スイッチの出力キャパシタンスによる力率低下を、回路シミュレータ PSIM<sup>(80)</sup>を用いて再現した。回路は単純化のため図 2-5 に示す通り単相の昇圧型 PFC とした。

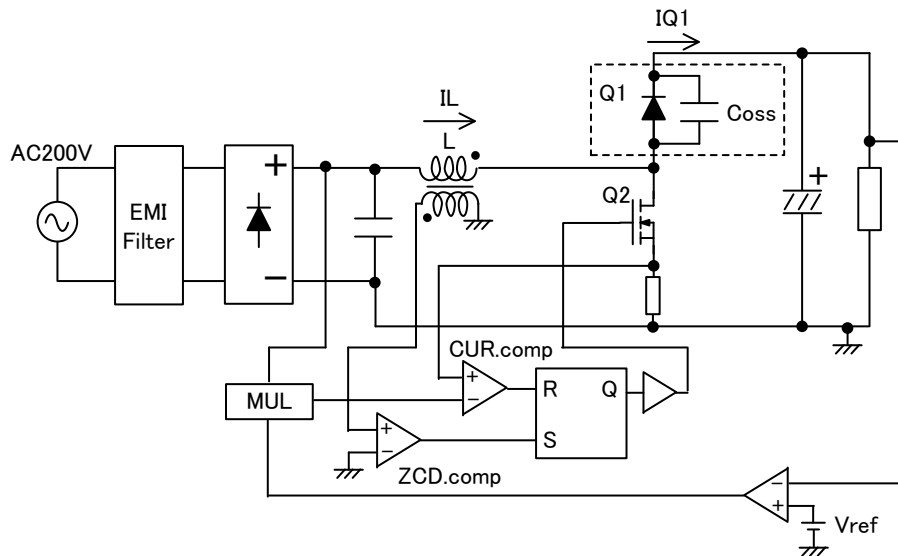


図 2-5 シミュレーション回路図

整流スイッチの出力キャパシタンスの影響のみを把握するため、整流スイッチは理想ダイオードと出力キャパシタンス  $C_{oss}$  の並列接続とし、ローサイド側の  $Q2$  は理想 FET とした。

$Q2$  のゲートパルス、インダクタ電流、 $Q1$ 、 $Q2$  のドレイン電流およびドレイン電圧の関係は図 2-6 の通りで、ローサイド側の  $Q2$  は整流スイッチの出力キャパシタンスが充電された後 ( $t2$  以降) にターンオンするため、ローサイド側の  $Q2$  は ZVS 動作するように駆動される。

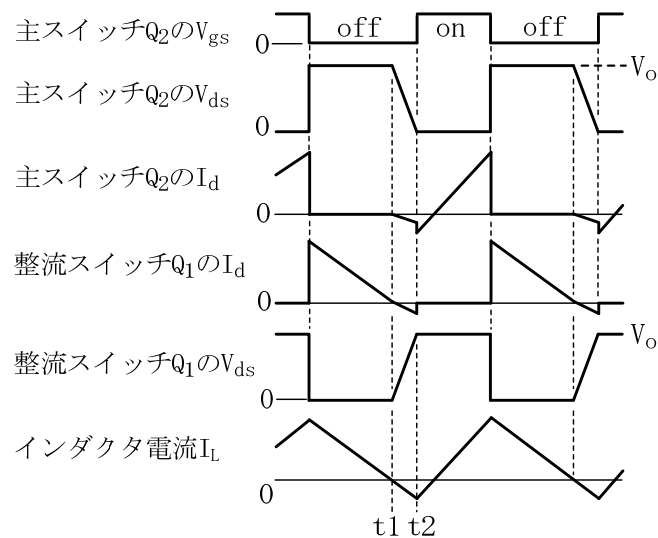


図 2-6 ZVS 動作波形

整流スイッチについては、表 2-2 に示す出力キャパシタンスの異なる SJ-MOSFET と SiC-MOSFET について、図 2-7 の通り電圧依存特性を再現した。

表 2-2 使用デバイス

種類	デバイス名	Coss	Ron (typ.)
SJ-MOS	IPW65R019C7	160pF	17mΩ
SiC-MOS	SCT3080AL	89pF	30mΩ

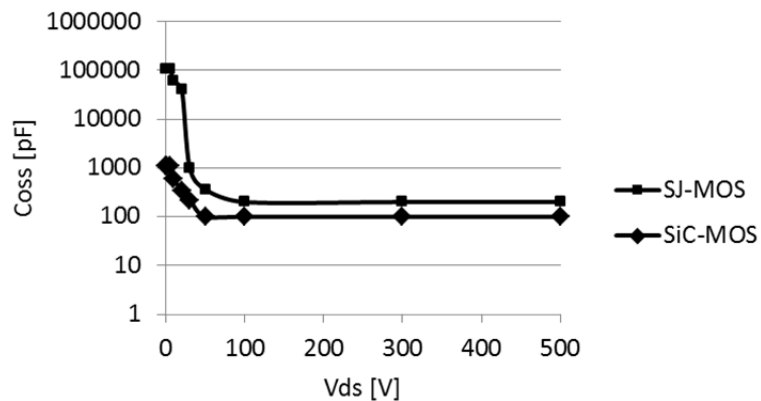


図 2-7 出力キャパシタンス  $C_{oss}$  電圧依存特性

PFC 動作をさせた場合の入力電流波形と、力率値の解析結果を図 2-8 に示す。力率は PSIM の VI・力率メータにて算出される値で、有効電力 P、皮相電力 S から算出式 (2-1) から (2-3) の通り求められる。

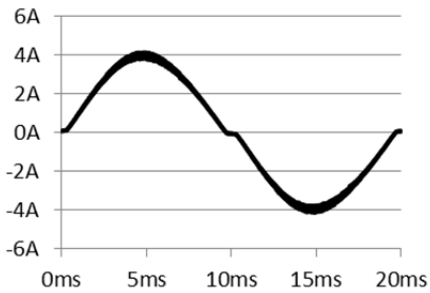
$$P = \frac{1}{T} \int_0^T (V_i(t) \cdot I_i(t)) dt \quad (2-1)$$

$$S = V_{i(rms)} \cdot I_{i(rms)} \quad (2-2)$$

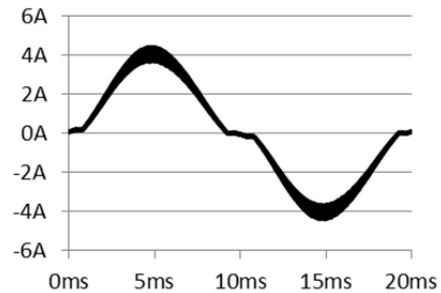
$$PF = \frac{P}{S} \quad (2-3)$$

この結果から、出力キャパシタンスが大きい SJ-MOSFET ではゼロクロス付近の電流値が減少し、力率も低下することが確認出来た。





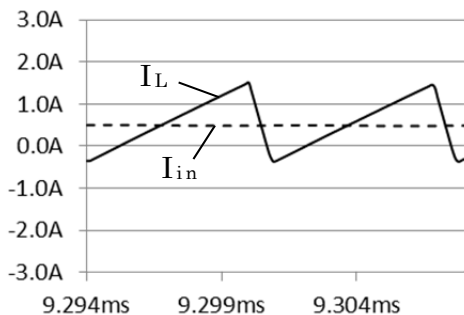
SiC-MOS、PF=0.997



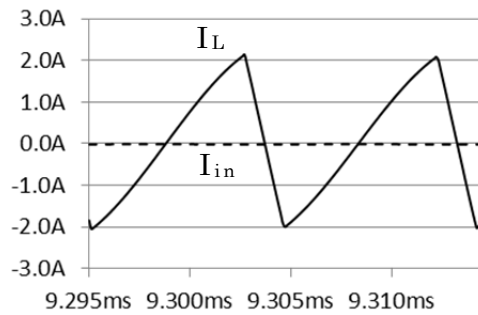
SJ-MOS、PF=0.980

図 2-8 入力電流波形（シミュレーション）

図 2-9、図 2-10 は正弦波のゼロクロス付近のインダクタ電流と整流スイッチ（Q1）の電流波形で、ターンオフ後に出力キャパシタンスを充電する電流が逆方向（ソースからドレイン）に流れ、インダクタにも同じ電流が流れていることが分かる。インダクタ電流の平均電流が入力電流となるが、出力キャパシタンスの大きい SJ-MOSFET で逆方向の電流が大きく、平均電流がほぼゼロになっており入力電流波形と一致していることが分かる。

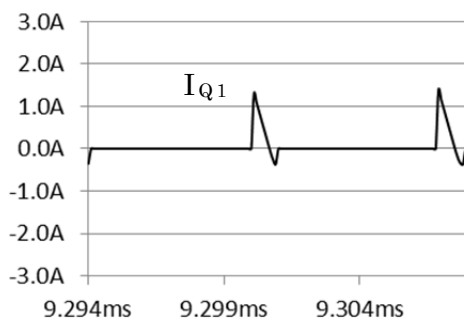


SiC-MOS

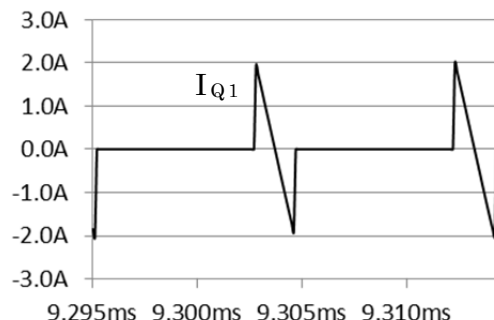


SJ-MOS

図 2-9 インダクタ電流波形（ゼロクロス付近）



SiC-MOS



SJ-MOS

図 2-10 整流スイッチ波形（ゼロクロス付近）

## 2.2. 出力キャパシタンスの電圧依存特性と力率

Si-MOSFET の出力キャパシタンスは印加電圧依存性があるため、出力キャパシタンスを充電する電圧変化による出力キャパシタンス特性が力率に深く関係する点に着目し、素子の出力キャパシタンスの電圧依存特性を変更することで力率低下の抑制に効果があるのかを確認した。

図 2-11 に比較を行った電圧依存性の異なる 2 つの出力キャパシタンス特性を示す。1 つ目は SiC-MOSFET と比較し出力キャパシタンスが大きい SJ-MOSFET、2 つ目は電圧依存性が一定で SJ-MOSFET と平均キャパシタンスが同一のものとした。

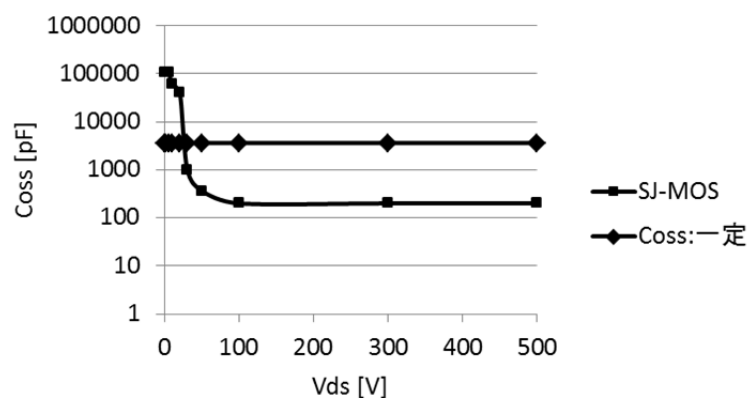


図 2-11 比較した 2 種類の出カキャパシタンス電圧依存性

図 2-12 は電圧依存性が一定の出力キャパシタンス特性を持つ整流スイッチを使用した場合との入力電流波形と力率のシミュレーションによる比較で、図 2-13 が入力電圧のゼロクロス付近の拡大波形である。平均キャパシタンスが同じだと、入力電流、力率、逆流電流はほぼ同等で、力率低下の抑制効果は無いことが確認出来る。

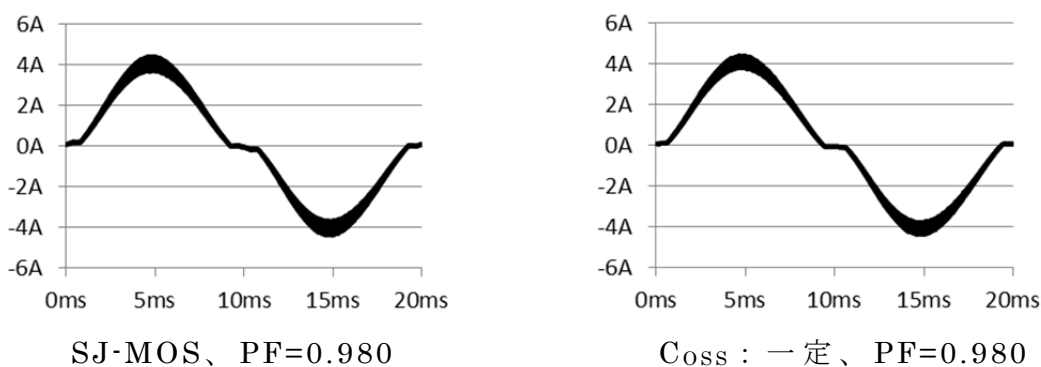


図 2-12 出力キャパシタンス電圧依存性の違うスイッチの入力電流波形

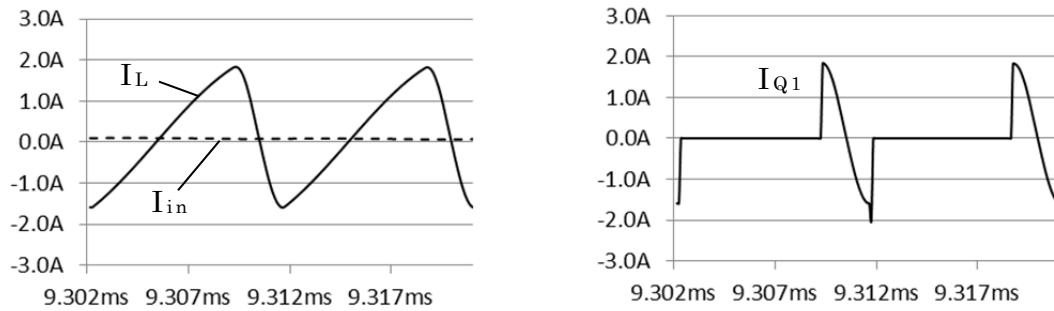


図 2-13 出力キャパシタンス一定時のインダクタと整流スイッチ波形（ゼロクロス付近）

図 2-14 は入力電圧 0V（ゼロクロス付近）条件での図 2-6 の時間  $t_1$  から  $t_2$  の期間における ZVS 動作波形をシミュレーションした回路で、図 2-15 は Q2 ドレイン電圧、インダクタ電流、Q1 の出力キャパシタンス充電電荷量  $Q_{Coss}$  を表した波形である。

Q2 の出力キャパシタンスの電圧依存特性が異なるため、Q2 ドレイン電圧の減少カーブは異なるが、400V からゼロボルトになるまでの Q1 の出力キャパシタンス充電電荷量は 1.33 $\mu$ C で等しいことが分かる。

この結果から、素子の出力キャパシタンスの電圧依存特性が変わっても、整流スイッチの出力キャパシタンスを充電する総電荷量が同じであれば、逆流電流は同じであるため、力率改善の効果が得られないということが確認出来た。

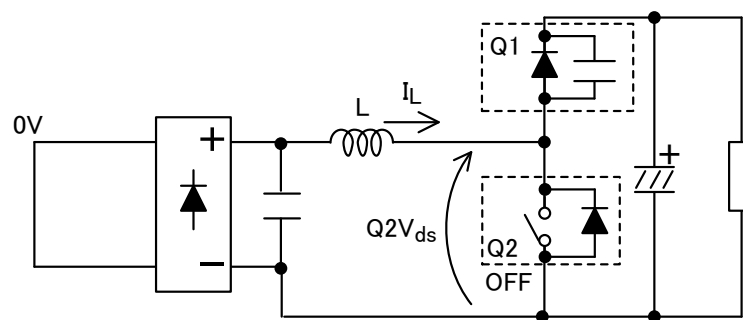


図 2-14 入力電圧 0V（ゼロクロス付近）条件での ZVS 動作波形シミュレーション回路

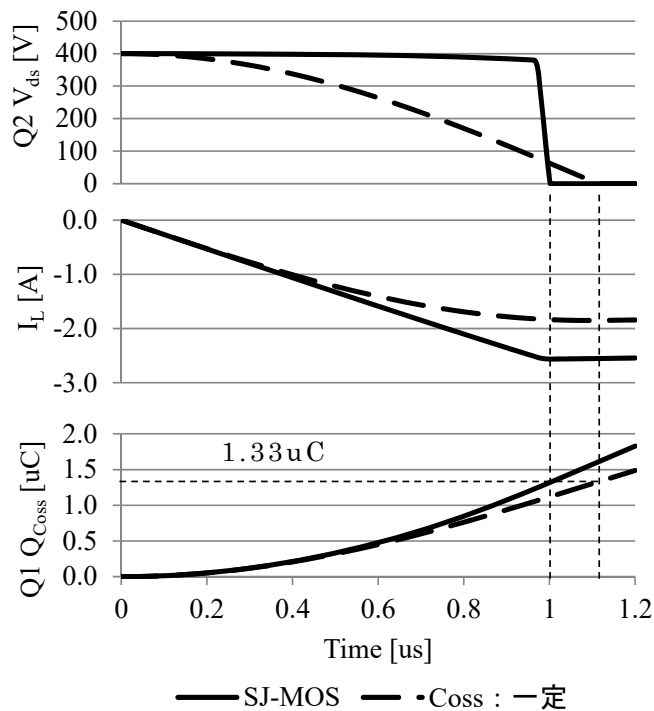


図 2-15 入力電圧 0V（ゼロクロス付近）条件での ZVS 動作波形

### 2.3. 多相化による力率改善

次に、Si-MOSFET の出力キャパシタンスは電流定格に比例（オン抵抗に反比例）する点に着目し、昇圧回路をマルチフェーズ化し出力キャパシタンスの小さい素子を使用することで力率低下の抑制に効果があるのかを確認した。

2 相化、3 相化それぞれの回路を図 2-16、図 2-17 に示す。多相化する場合各回路電流は相数分割されるため、表 2-3 に示す通り、オン抵抗が電流に反比例するような素子を選定する。各相のスイッチングタイミングは一般的なインターリーブ回路と同様に、2 相時は 180deg、3 相時は 120deg というように位相をずらす。

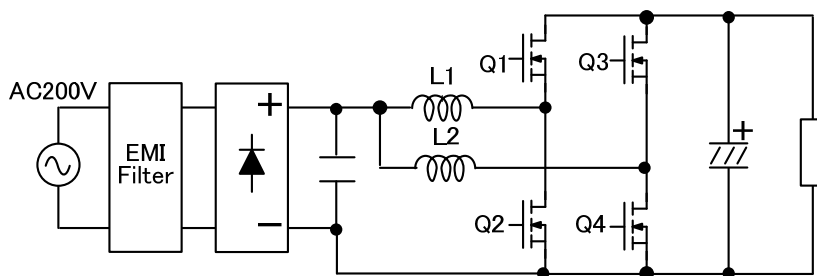


図 2-16 2 相化 PFC 回路図

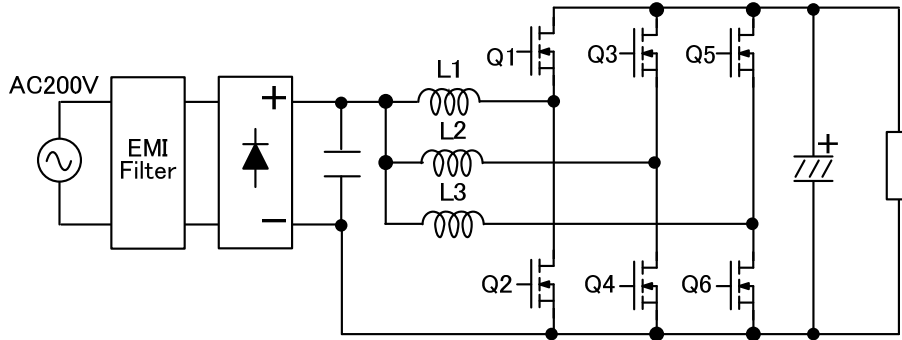


図 2-17 3相化 PFC 回路図

整流スイッチについては、表 2-3 に示す通り回路相数と出力キャパシタンス  $C_{oss}$  が反比例するものを選定した。

表 2-3 回路相数と使用デバイス

回路相数	デバイス名	Coss	Ron (typ.)
1相	IPW65R041CFD	400pF	37mΩ
2相	IPW65R080CFD	215pF	72mΩ
3相	IPW65R110CFD	160pF	99mΩ

回路シミュレーションによる2相化時の入力電流波形および力率値を図 2-18 に、スイッチ波形を図 2-19 に示す。負電流分は正電流分とほぼ同等で力率は改善されなかった。回路相数を増やすと1相あたりのインダクタ電流が減ることになる。素子の出力キャパシタンスが減少すると充電に必要な電荷も減少するが、インダクタ電流の減少と相殺されてしまうため、マルチフェーズ化しても力率は抑制されないと言える。

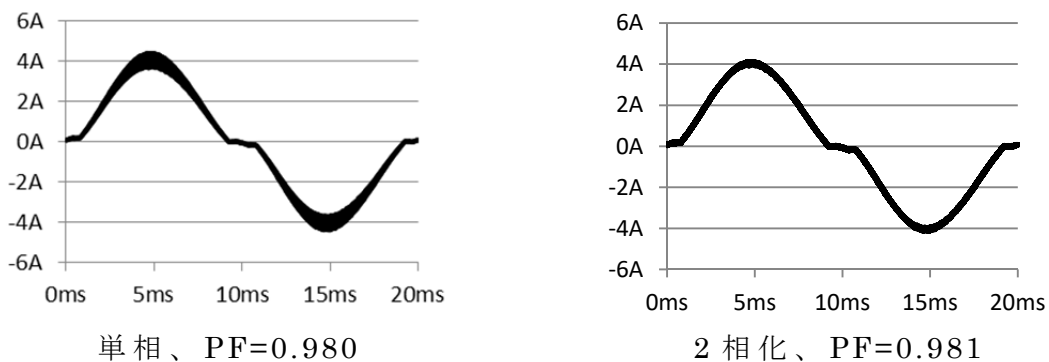


図 2-18 相数の違いによる入力電流波形

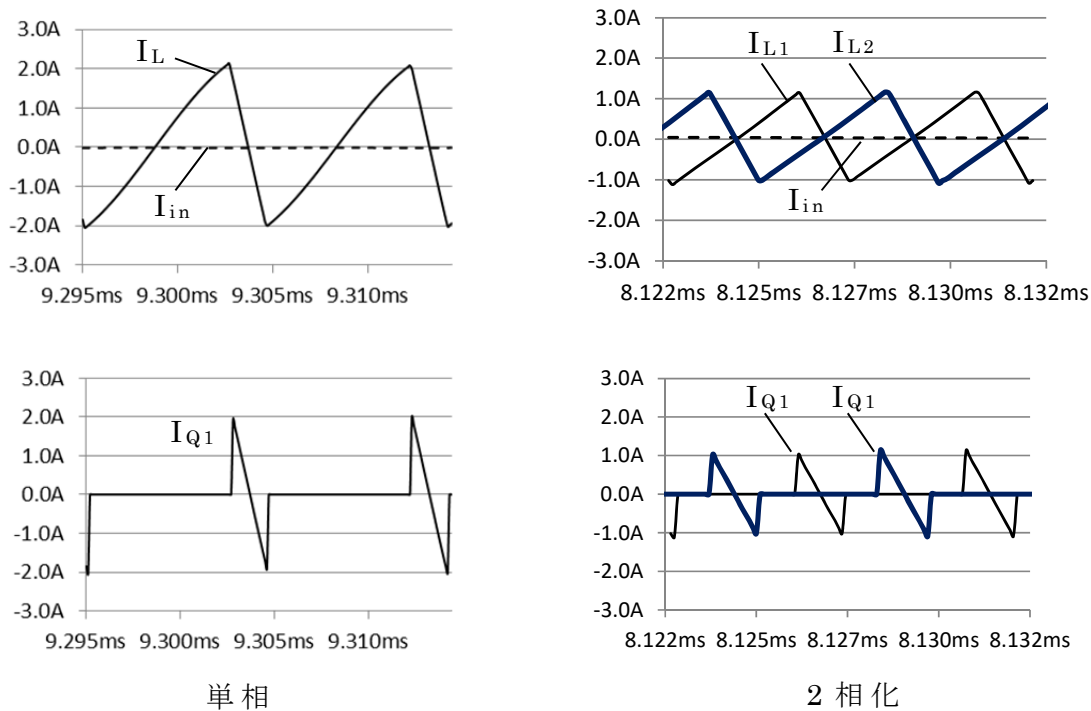


図 2-19 相数の違いによるインダクタと整流スイッチ波形

## 2.4. 低電流時昇圧回路切り替えによる力率改善

整流スイッチ出力キャパシタンスの影響による力率低下の改善として、低電流時に出力キャパシタンスが小さいスイッチを使用した昇圧回路に切り替えによる効果の検討を行った。回路図を図 2-20 に、使用するスイッチの特性を表 2-4 に示す。Q1 と Q2 が商用周期内の電流振幅が大きい領域で動作するスイッチで、出力キャパシタンスは大きいオン抵抗小さい特性となっている。一方、Q3 と Q4 が電流振幅の小さい領域で動作するスイッチで、オン抵抗は大きい出力キャパシタンスが小さい特性となっている。

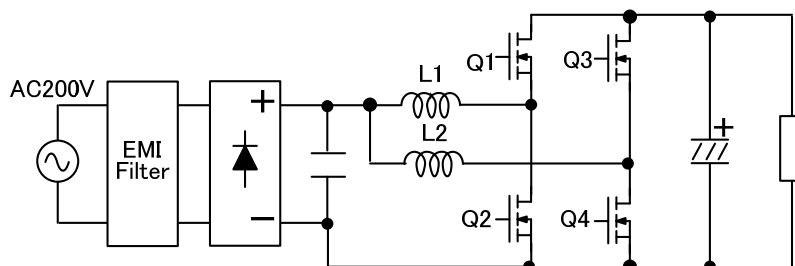


図 2-20 低電流時切り替え機能付き PFC 回路図

表 2-4 使用デバイス

スイッチ	デバイス名	Coss	Ron (typ.)
Q1, Q2	IPW65R019C7	160pF	17mΩ
Q3, Q4	SCT3080AL	89pF	30mΩ

このため入力電流の振幅の小さいゼロクロス付近で、出力キャパシタンスが小さいスイッチが動作するため、力率低下を改善する効果が期待できる。

低電流時に出力キャパシタンスが小さいスイッチを使用した昇圧回路に切り替えた場合の回路シミュレーションによる入力電流波形と力率値を図 2-21、インダクタ電流波形を図 2-22 に示す。

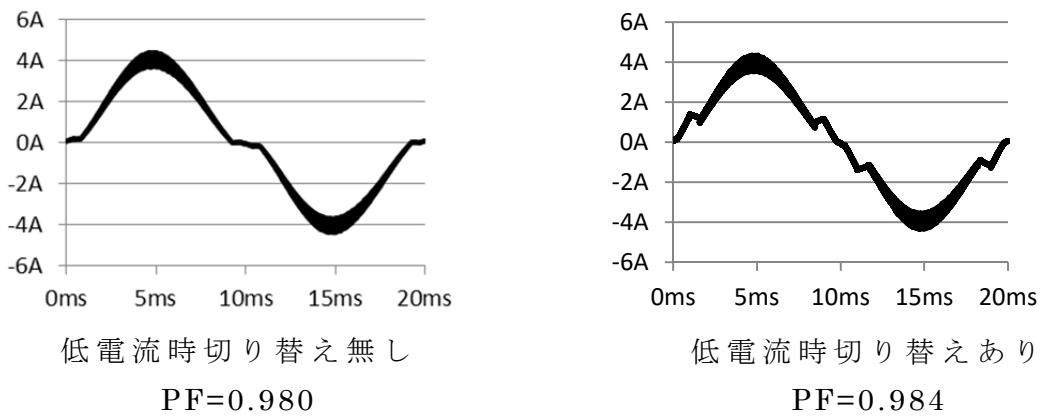


図 2-21 低電流時回路切り替え有無の入力電流波形

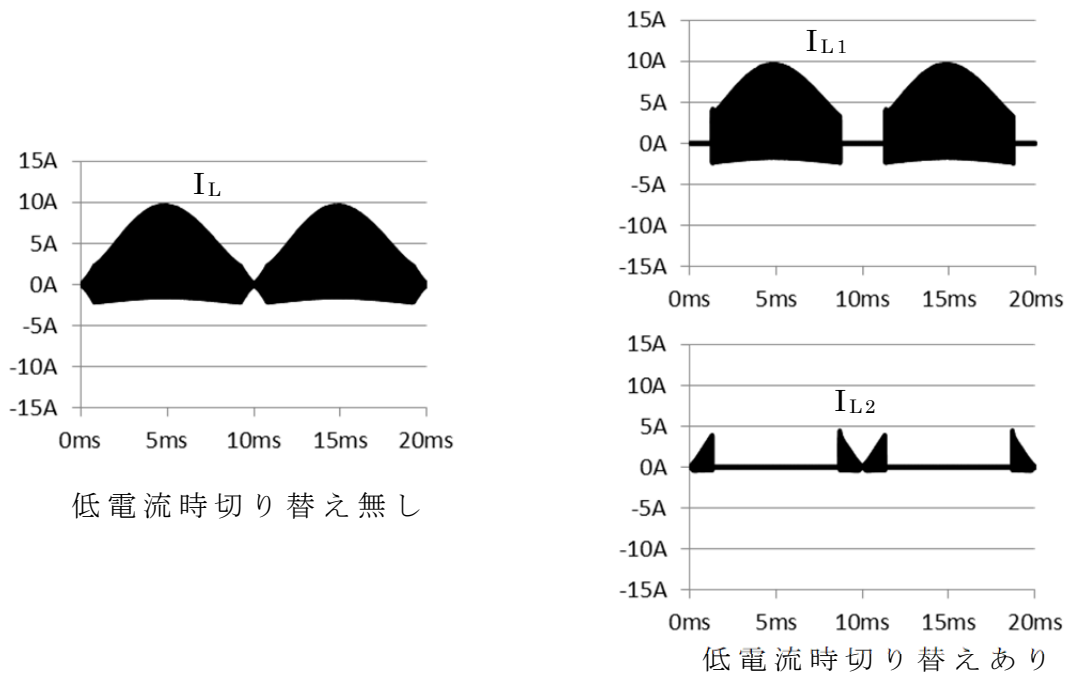


図 2-22 低電流時回路切り替え有無のチョーク電流波形

また、入力電圧のゼロクロス付近のインダクタと整流スイッチ電流波形を図 2-23 に示す。

切り替わり点のインダクタ電流の波高値はほぼ同等で、力率は 0.980 から 0.984 に改善が確認された。ただし昇圧回路の切り替わり点で出力キャパシタンスが小さい側は平均電流としての入力電流が上昇し段差が生じるため、力率改善量が少なくなっていると考えられる。

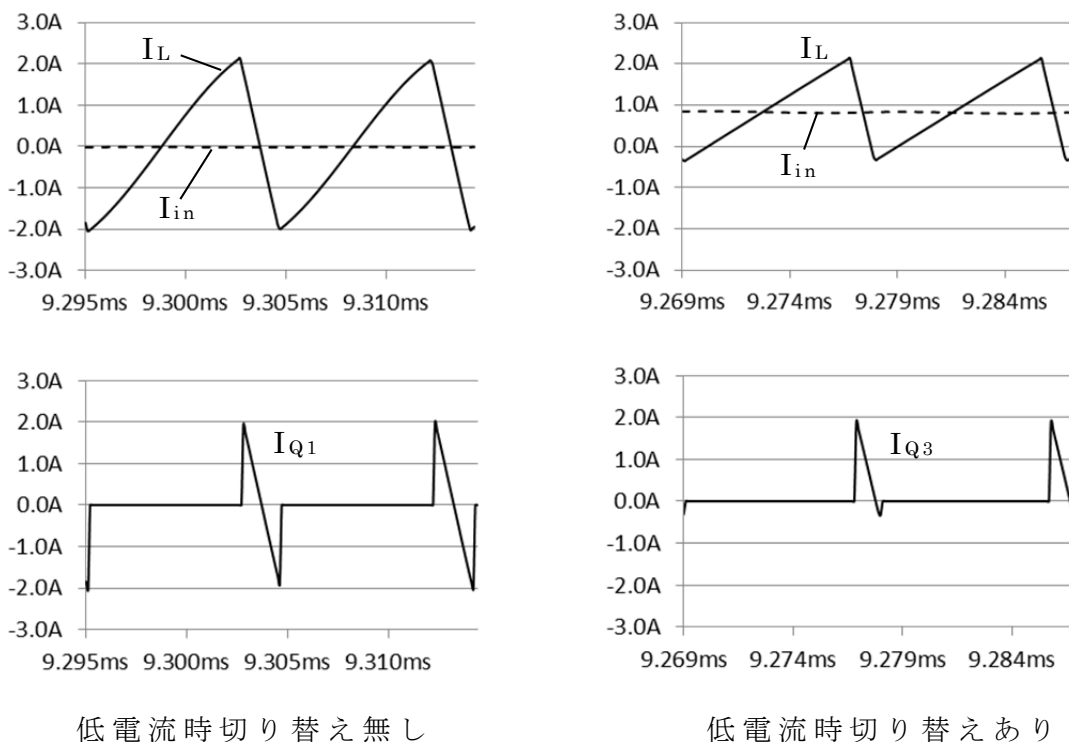


図 2-23 低電流時回路切り替え有無のインダクタと整流スイッチ電流波形（ゼロクロス付近）

## 2.5. まとめ

電気自動車や情報通信装置用に利用される商用電源を入力としたスイッチング電源の高効率化を目的とし、その構成要素である PFC 回路をソフトスイッチング化するのに適した昇圧チョップパ型電流臨界 PFC 回路を採用した場合に、整流スイッチング素子の寄生キャパシタンスの影響により、入力電流のゼロクロス付近で波形が歪み、力率が低下する課題に対し、現在量産さ



れているスイッチング素子の中でオン抵抗が低く、かつ低コストで汎用的ではあるが、出力キャパシタンスが大きい Si-MOSFET の使用を前提とした力率低下の改善として、実施した 3 つの方法による効果の検証結果は以下の通りである。

- (1) 整流スイッチ出力キャパシタンスの電圧依存性を改善する方法では、素子の出力キャパシタンスの電圧依存特性が変わっても、整流スイッチの出力キャパシタンスを充電する総電荷量が同じであれば、逆流電流は同じであるため力率改善の効果が得られない。
- (2) 昇圧回路の多相化については、昇圧回路 1 回路当たりの電力が分割される分、整流スイッチに電流定格が小さく出力キャパシタンスが小さい素子を使用出来ても、整流スイッチの出力キャパシタンスを充電する電流（負電流）と、負荷側に供給される電流それぞれが小さくなるため、平均電流は増加せず力率が改善されない。
- (3) 高効率化のため低オン抵抗のスイッチを選定した場合、出力キャパシタンスはオン抵抗に反比例し大きくなる傾向を示す点に着目し、低入力電流領域で出力キャパシタンスが小さいスイッチを使用した昇圧回路に切り替えることで力率低下を改善することが出来る。

## 第3章 LLC 回路の損失評価及び高効率化

本章では、電気自動車や情報通信装置用に利用される商用電源を入力としたスイッチング電源の高効率化を目的とし、その構成要素である DC-DC 回路をソフトスイッチング化するのに適した LLC 回路を採用した場合の、従来使用されていた位相シフト回路に対する優位性を明らかにしている。

具体的には、情報通信機器用に製造された電源を使用して同じサイズの条件下での損失比較の結果から、LLC 回路の全損失に対するトランスの損失の割合は、位相シフト回路のそれよりもはるかに高く、その要因がトランスの巻数の違いによることを明らかにしている。さらに、位相シフト回路と LLC 回路のどちらが低損失の点で優位になるかは、2次側整流素子のオン抵抗と、トランスの1次巻数の差によって決定づけられることを示している。

### 3.1. 損失評価の条件

図 3-1 に、損失評価に使用する情報通信機器用の電源の外観を示す。太線で囲まれた部分は DC-DC コンバータ部である。

表 3-1 に、入力電圧、出力電圧、出力電力、および DC-DC コンバータ部のサイズの仕様を示す。入力電圧は PFC（力率改善）部の出力電圧に相当する。

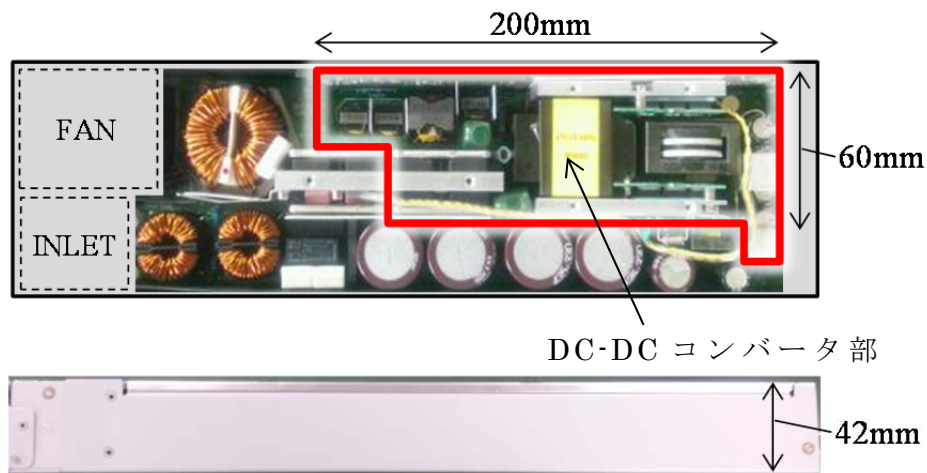


図 3-1 情報通信機器用の電源の外観

表 3-1 DC-DC コンバータ部の入力電圧、出力電圧、出力電力およびサイズの仕様

Input voltage.	Output voltage	Output power.	Size.
DC300V - 410V	DC12V	1000W	42(H)×60(W)×200(D)mm

図 3-2 に、位相シフト回路の回路図を示す。 $L_r$ は部分共振用のインダクタ、 $C_r$ はトランスの偏励磁を抑制するキャパシタ、 $L_o$ と $C_o$ は平滑用フィルタ、 $R_s$ は電流検出用の抵抗、 $Q_o$ は電源冗長用の ORing FET である。 $N_p$ はトランスの 1 次巻線である。 $N_s$ はトランスの 2 次巻線である。

図 3-3 に、LLC 回路の回路図を示す。 $L_r$ と $C_r$ は電流共振用インダクタとキャパシタである。LLC 回路は出力側のリップル電流が大きいため、出力キャパシタ $C_o$ は等価直列抵抗 (ESR) の小さいセラミックキャパシタが使用される。また、出力リップル電圧抑制用として $L_o$ 、 $C_o'$ が付加されている。位相シフト回路との比較のために、1 次側回路はフルブリッジであり、2 次側回路はセンタータップ整流である。両回路は基本回路の構成が同じであるため、構造を大きく変えることなく、実際の製品に適用しやすい利点がある。

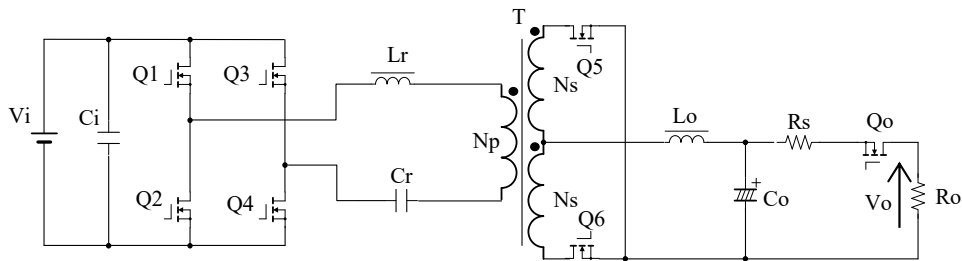


図 3-2 位相シフト回路の回路図

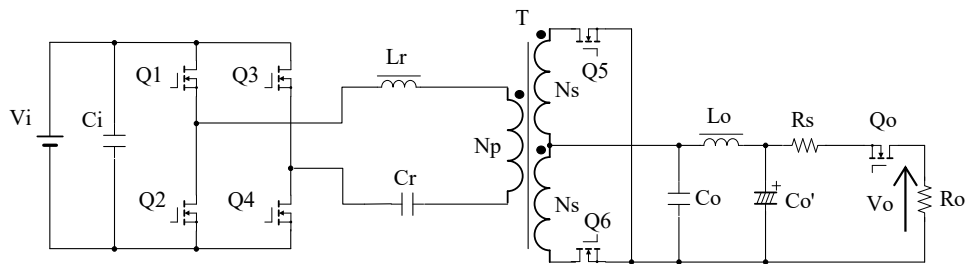


図 3-3 LLC 回路の回路図

図 3-4 は、スイッチング周波数の変動に対する LLC 回路の出力電圧を示している。低損失化のため定格入力電圧のスイッチング周波数は共振周波数に近い値としている。

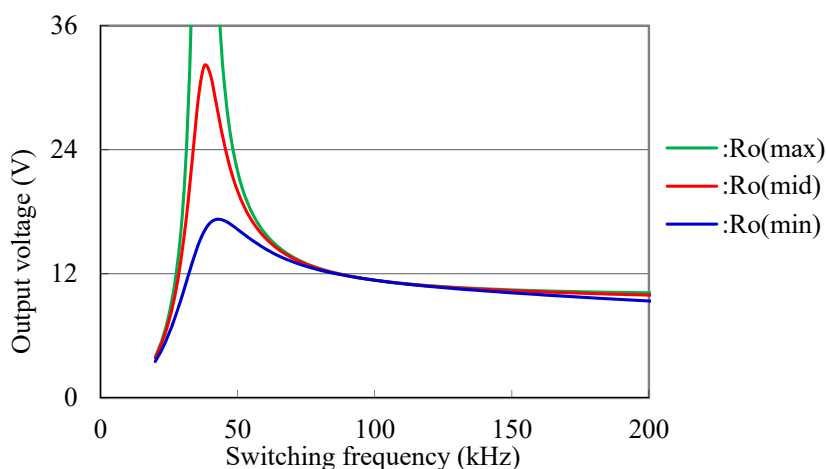


図 3-4 スwitchング周波数の変動に対する LLC 回路の出力電圧

### 3.2. 損失評価の結果

表 3-2 に各回路方式による部品の電圧と電流の値比較を示す。

表 3-2 各回路方式における部品の電圧と電流の値比較

		Phase shift	LLC
Primary SW	Voltage rating	600V	600V
	Drain current	2.7Arms	2.3Arms
Transformer	Primary current	3.9Arms	3.2Arms
	Np : Ns	21 : 1	36 : 1
	Magnetic flux density	0.15T	0.15T
	Secondary current	57Arms	64Arms
Secondary SW	Voltage rating	100V	40V
	Drain current	57Arms	64Arms

表 3-3 に各回路方式の効率と総損失値比較を示す。図 3-5 は、位相シフト回路と LLC 回路の損失を示している。両回路の損失の詳細は、各部品の動作電圧、電流、抵抗等によって求められている。スイッチ損失は、ドレイン電流とドレイン電圧波形の時間積分、またはドレイン電流実効値とオン抵抗から計算される。トランスまたはインダクタの銅損は、巻線電流の実効値と

交流抵抗から計算される。トランスまたはインダクタの鉄損は、動作電流または電圧から得られた磁束密度、およびコア材質固有の磁束密度と鉄損の関係から計算される。各キャパシタの損失は、リップル電流の実効値と等価直列抵抗（ESR）から計算される。PCB（Printed Circuit Board）はプリント基板の配線パターン損失を示している。 $R_{T-Qsec}$ はトランスの2次巻線から2次側同期整流スイッチまでの配線の交流抵抗である。損失比較の結果、位相シフトと比較し LLC 回路の2次側整流スイッチ損失は約 1/3 であるが、トランス損失は約 1.3 倍で、総損失はほぼ同じであることが判明した。

表 3-3 各回路方式の効率と総損失値比較

	Phase shift	LLC
Efficiency	95.3%	95.4%
Total loss	49.0 W	47.0 W

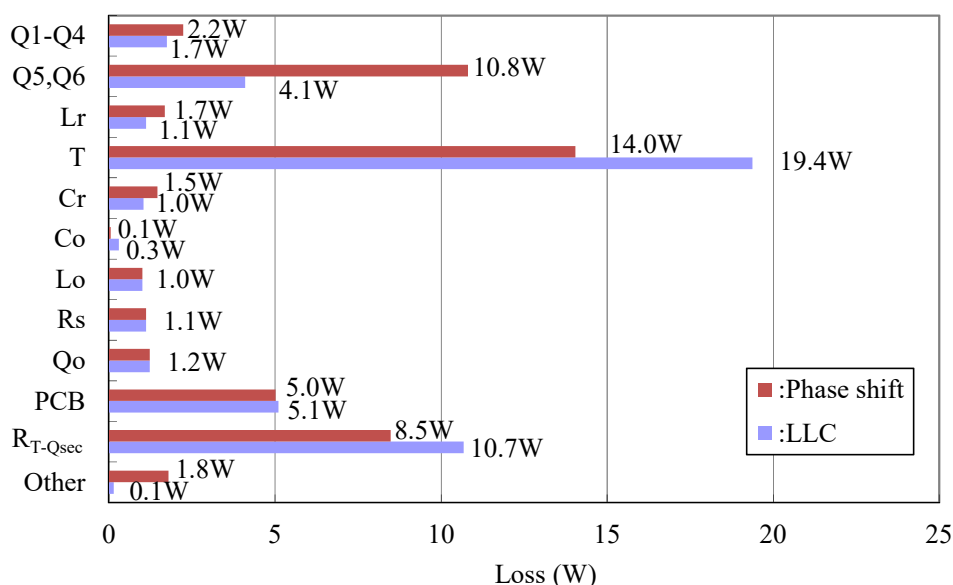


図 3-5 各回路方式における部品の損失比較

位相シフト回路などの PWM 制御の場合、最小入力電圧でトランスの巻数比を決める必要がある。最小入力電圧は PFC の出力電圧リップルや瞬時停電時の電圧低下などが想定される。(3-1) 式は、1 次巻数  $N_p$  と最小入力電圧  $V_{i(min)}$  との関係、2 次巻数  $N_s$ 、最大デューティ比  $D_{(max)}$ 、出力電圧  $V_o$  の関係を示している。

$$N_p = \frac{V_{i(min)} N_s D_{(max)}}{V_o} \quad (3-1)$$

入力電圧  $V_i$  時のトランスの 2 次電圧を式 (3-2) により求める。

$$V_{Ns} = \frac{V_i N_s}{N_p} \quad (3-2)$$

$$V_{Ns} = \frac{V_i V_o}{V_{i(min)} D_{(max)}} \quad (3-3)$$

このため、位相シフト回路では最小入力電圧が低くなるほど定格入力電圧時の 2 次側スイッチに印加される電圧が上昇し、定格電圧の高い素子が必要となる。

一方、LLC 回路ではトランスの 2 次巻線電圧は出力電圧と常に等しくなり、2 次側スイッチに定格電圧の低い素子が使用可能になる。したがって、2 次側スイッチの導通抵抗が低下し、消費電力が大幅に低減される。

しかしながら、LLC 回路を低損失で動作させるため定格入力電圧  $V_i$  時のスイッチング周波数を共振周波数とすると、1 次巻数は (3-4) 式となり、トランスの 2 次巻数が位相シフトの巻数と同じである場合、LLC 回路のトランス 1 次巻数は位相シフトよりも増加することになる。

$$N_p = \frac{V_i N_s}{V_o} \quad (3-4)$$

図 3-6 に出力電圧 12V、最大デューティ比 1、2 次巻数を最小 1 ターンとした場合の 1 次巻数  $N_p$  と最小入力電圧  $V_{i(min)}$  の関係を示す。同じサイズのトランスを使用する場合、巻数が多い方の巻線の断面積を減少させる必要がある。そのため、巻線の導通損失が増加し、高効率が悪化する。その結果、全損失に対するトランスの損失率が高くなり、LLC 回路ではトランスの損失の低減が不可欠であることが分かる。

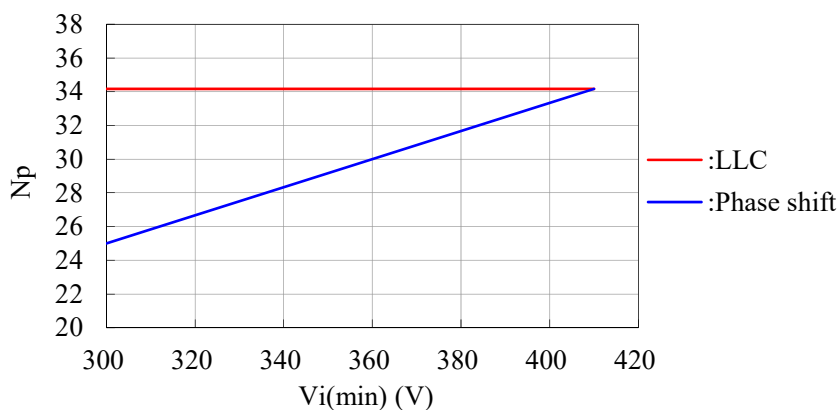


図 3-6 1 次巻数  $N_p$  と最小入力電圧  $V_{i(min)}$  の関係

実際の効率比較評価時のトランス 1 次巻数は、位相シフト回路では 21 ターン、LLC 回路では 36 ターンを選択したが、この時のトランス交流抵抗は図 3-7 に示す通りで、巻数が多い LLC 回路が大きい結果となっている。

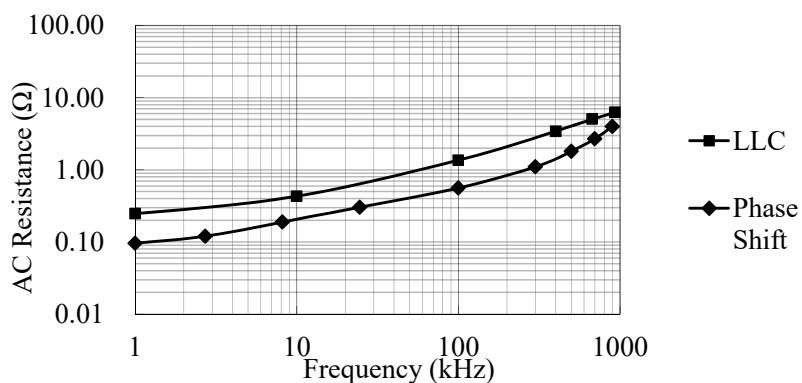


図 3-7 両方式のトランス交流抵抗比較

図 3-8 に両方式の 2 次側同期整流スイッチの駆動パルスとドレイン電流波形を示す。

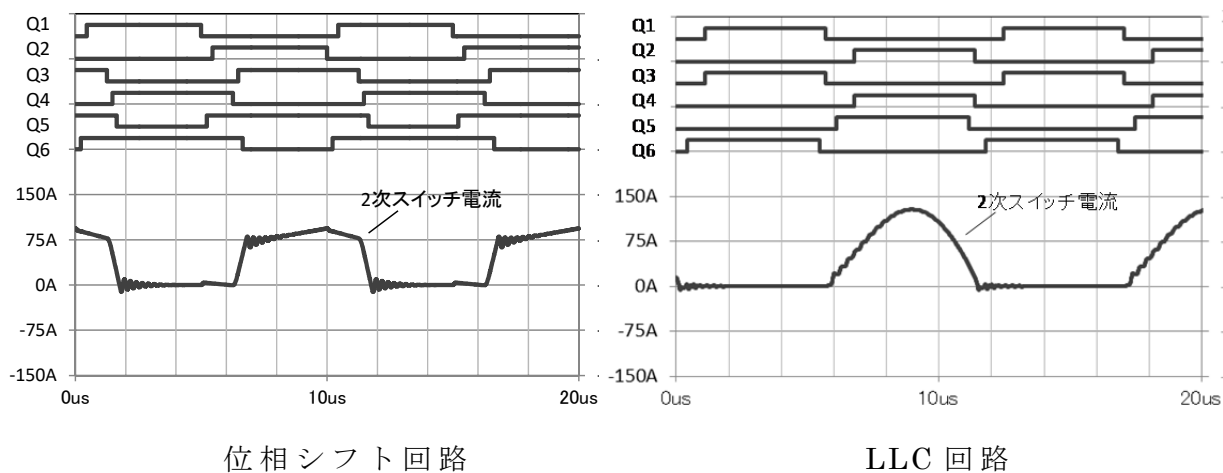


図 3-8 両方式の 2 次側同期整流スイッチの駆動パルスとドレイン電流波形

位相シフト回路の2次側同期整流スイッチドレイン電流波形は図3-9の通りで、実効値の計算値は(3-5)式の通り示される<sup>(81)</sup>。 $\Delta I_{LOUT}$ は出力インダクタのリップル電流の振幅である。

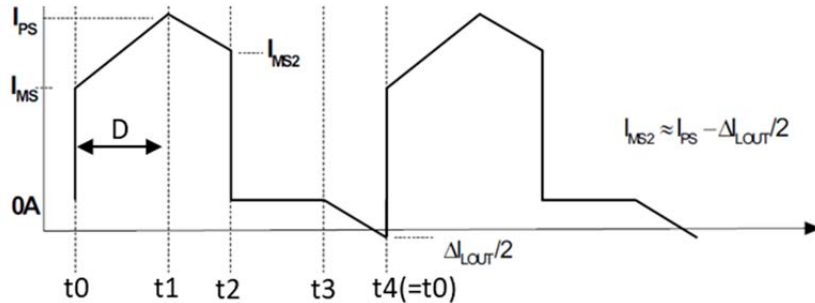


図 3-9 位相シフト回路の2次側同期整流スイッチドレイン電流波形

$$I_{Srms} = \sqrt{I_{Srms1}^2 + I_{Srms2}^2 + I_{Srms3}^2} \quad (3-5)$$

$$I_{Srms1} = \sqrt{\left(\frac{D}{2}\right) \left[ I_{PS} I_{MS} + \frac{(I_{PS} - I_{MS})^2}{3} \right]} \quad (t: t_0 \sim t_1) \quad (3-6)$$

$$I_{Srms2} = \sqrt{\left(\frac{1-D}{2}\right) \left[ I_{PS} I_{MS} + \frac{(I_{PS} - I_{MS2})^2}{3} \right]} \quad (t: t_1 \sim t_2) \quad (3-7)$$

$$I_{Srms3} = \frac{\Delta I_{LOUT}}{2} \sqrt{\left(\frac{1-D}{6}\right)} \quad (t: t_3 \sim t_4) \quad (3-8)$$

LLC回路の2次側同期整流スイッチドレイン電流実効値の計算値は(3-9)式の通り示される<sup>(55)</sup>。

$$I_{Srms} = \frac{\pi}{4} I_{OUT} \quad (3-9)$$

図3-10に両方式の出力電流に対する2次側同期整流スイッチドレイン電流実効値を示す。位相シフト回路の軽負荷時を除いて、今回実験値は計算値と傾向は一致している。定格82A負荷時では位相シフト回路が1割程度の差のため、前述した通り定格電圧と導通抵抗が低い素子を使用できるLLC回路が優位となることが分かる。



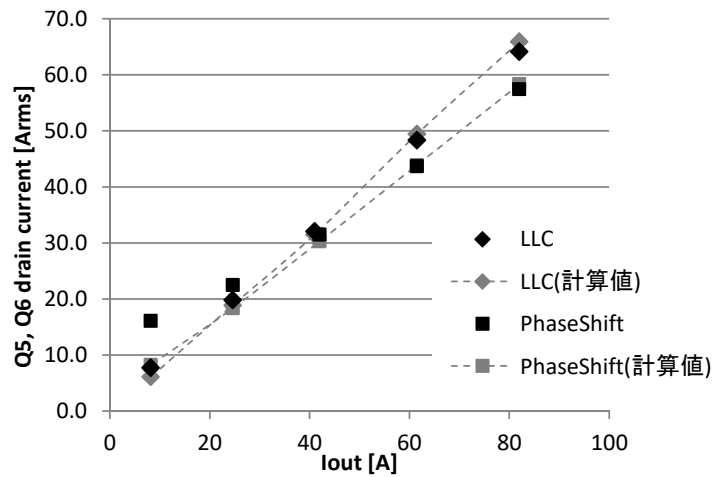


図 3-10 両方式の出力電流に対する 2 次側同期整流スイッチ  
ドレイン電流実効値

図 3-11 に両方式のスイッチ駆動パルスとトランス 1 次電流波形を示す。

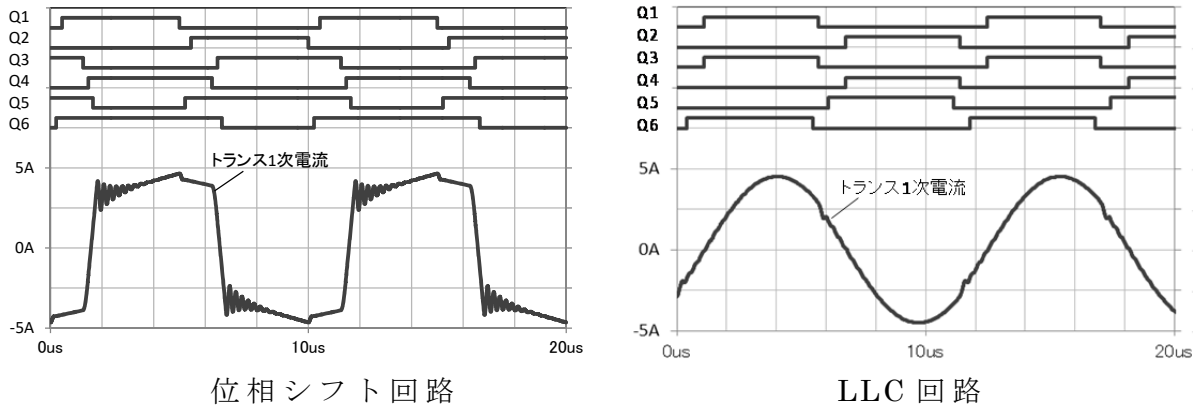


図 3-11 両方式のスイッチ駆動パルスとトランス 1 次電流波形

位相シフト回路のトランス 1 次側巻線電流波形は図 3-12 の通りで、実効値の計算値は (3-10) 式の通り示される<sup>(81)</sup>。

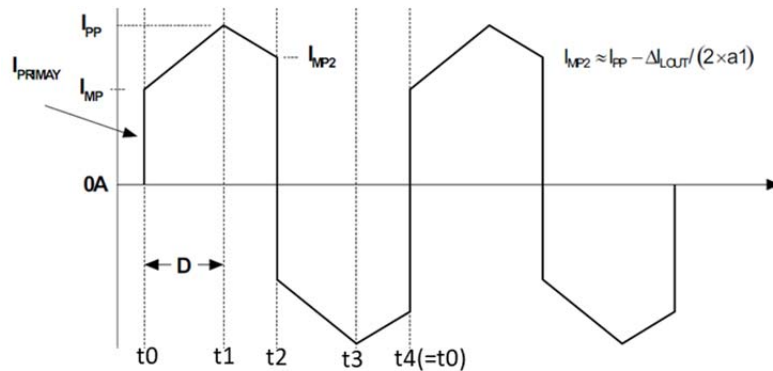


図 3-12 位相シフト回路のトランス 1 次側巻線電流波形

$$I_{Prms} = \sqrt{I_{Prms1}^2 + I_{Prms2}^2} \quad (3-10)$$

$$I_{Prms1} = \sqrt{(D) \left[ I_{PP} I_{MP} + \frac{(I_{PP} - I_{MP})^2}{3} \right]} \quad (t: t0 \sim t1) \quad (3-11)$$

$$I_{Prms2} = \sqrt{(1-D) \left[ I_{PP} I_{MP2} + \frac{(I_{PP} - I_{MP2})^2}{3} \right]} \quad (t: t1 \sim t2) \quad (3-12)$$

LLC 回路のトランス 1 次側巻線電流実効値の計算値は (3-13) 式の通り示される<sup>(82)</sup>。 $\Delta I_{LMAG}$  は励磁電流の振幅、 $n$  はトランス巻数比である。

$$I_{Prms} = \sqrt{I_{Prms1}^2 + I_{Prms2}^2} \quad (3-13)$$

$$I_{Prms1} = \frac{\pi}{2\sqrt{2}n} I_{OUT} \quad (3-14)$$

$$I_{Prms2} = \sqrt{\frac{\Delta I_{LMAG}^2}{12}} \quad (3-15)$$

図 3-13 に両方式の出力電流に対するトランス 1 次側巻線電流実効値を示す。位相シフト回路においては (3-12) 式で示した循環電流が流れるため、LLC 回路と比較し実効値が大きくなるが、図 3-6 で示した通りトランス 1 次巻数が位相シフト回路より多くなるため、損失が大きくなる結果となった。なお、LLC 回路では図 3-4 で示したゲイン特性を実現するためと、ZVS 動作のための励磁電流確保のため、位相シフト回路より励磁インダクタンスが小さくなり、軽負荷時の実効値が高くなる傾向を示している。

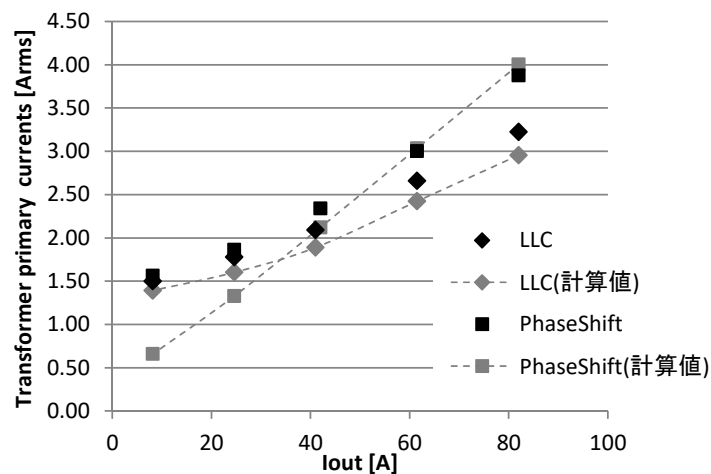


図 3-13 両方式の出力電流に対するトランス 1 次側巻線電流実効値

なお、軽負荷時の実験結果が計算値と異なる理由について補足する。位相シフト回路の軽負荷状態では、ZVSを達成するために必要な共振電流が不足する<sup>(83)</sup>。この対策として、より多くの共振電流を確保するために、デッドタイムを調整して循環電流を増やしている。このため、軽負荷での電流の実効値が増加している。図 3-14、図 3-15、および図 3-16 に、位相シフト回路におけるデッドタイムを変えた場合の軽負荷での動作波形を示す。図 3-14 は 2 次側同期整流スイッチの駆動パルスとドレイン電流波形を示している。図 3-15 は駆動パルスとトランスの一次電流波形を示している。

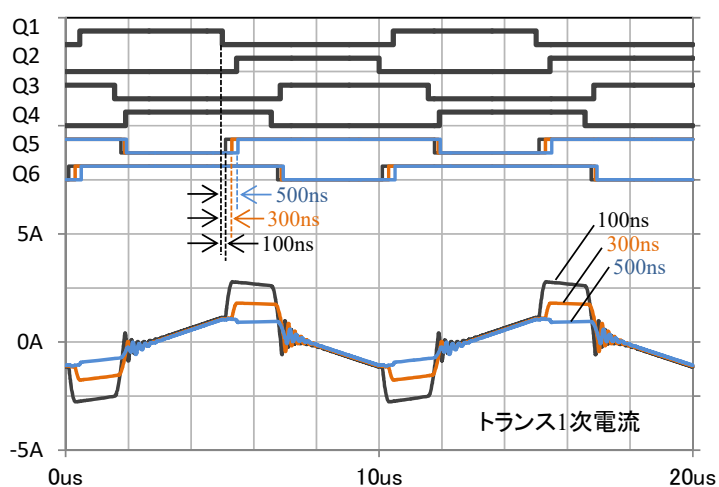


図 3-14 位相シフト回路におけるデッドタイムを変えた場合の軽負荷でのスイッチ駆動パルスとトランス 1 次電流波形

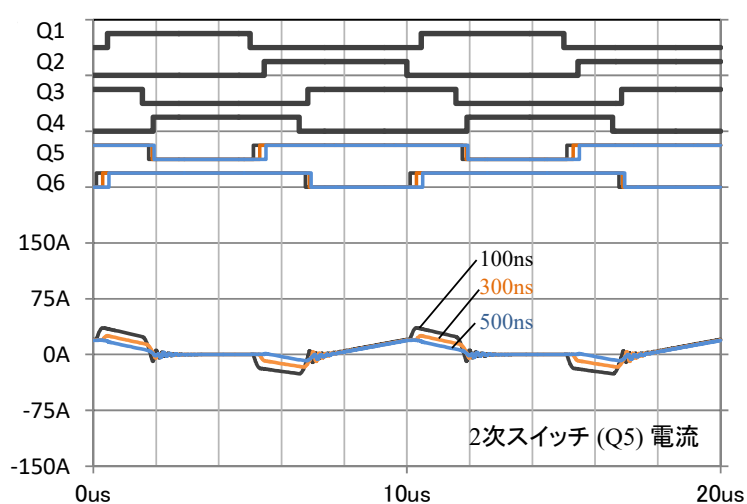


図 3-15 位相シフト回路におけるデッドタイムを変えた場合の軽負荷でのスイッチ駆動パルスと 2 次側同期整流スイッチ電流波形

図 3-16 は 1 次スイッチ Q3 の駆動パルスとドレイン電圧波形を示している。循環電流が増加すると、1 次スイッチ Q3 がオンするときのドレイン電圧が低下していることが分かる。

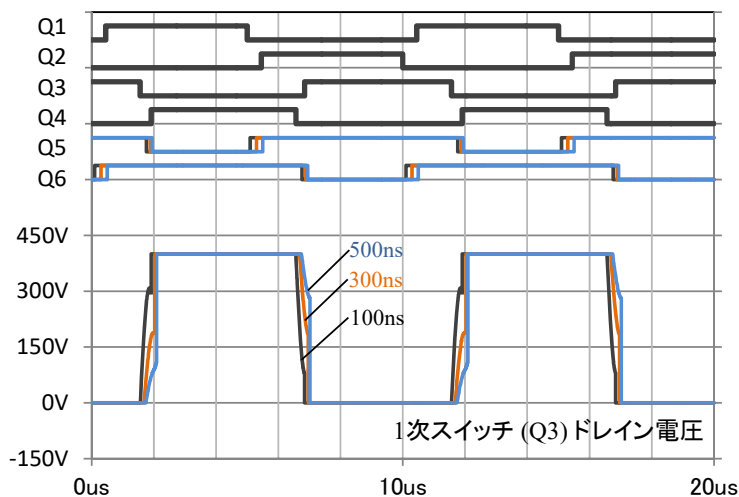


図 3-16 位相シフト回路におけるデッドタイムを変えた場合の軽負荷でのスイッチ駆動パルスと 1 次スイッチドレイン電圧波形

### 3.3. トランス損失の改善

損失の要因となったトランスの巻線抵抗は、スイッチング周波数における交流（AC）抵抗である<sup>(84)・(86)</sup>。そこで、1 次巻線と 2 次巻線の近接効果に着目した。図 3-17 に巻線構成の改良を示す。トランスの 1 次巻線および 2 次巻線はインターリーブ構造となり、2 つの巻線の間が向上されている。

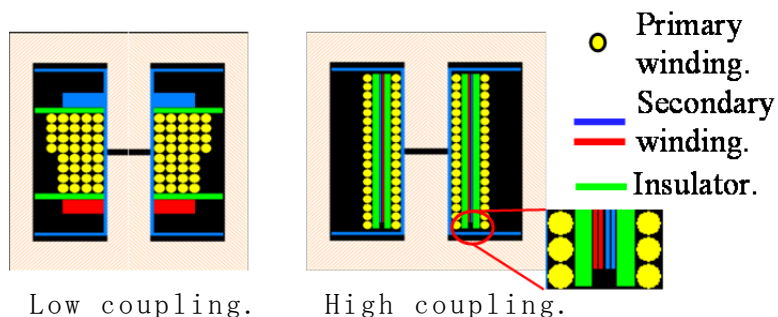


図 3-17 巻線構成の改良

表 3-4 は、結合改善の前後のトランスの構成要素を示す。1次巻線の線径は、ボビンの幅をちょうど占めるように調整される。また、カップリングの改善と表皮効果を考慮して、2次巻線は薄い銅板としている。

表 3-4 結合改善の前後のトランスの構成要素

	Low coupling	High coupling
Core	EERS-35	
Primary winding	Litz wire. 0.08φ×200pcs.	Litz wire. 0.08φ×168pcs.
Insulator thickness	1mm	1mm
Secondary winding	Foil wire 6(w)×2.5(t)	Foil wire 27(w)×0.1(t)×2parallel

トランスのカップリング改善の内容を、位相シフト回路へも適用した場合のトランス構造と構成要素を図 3-18、表 3-5 に示す。



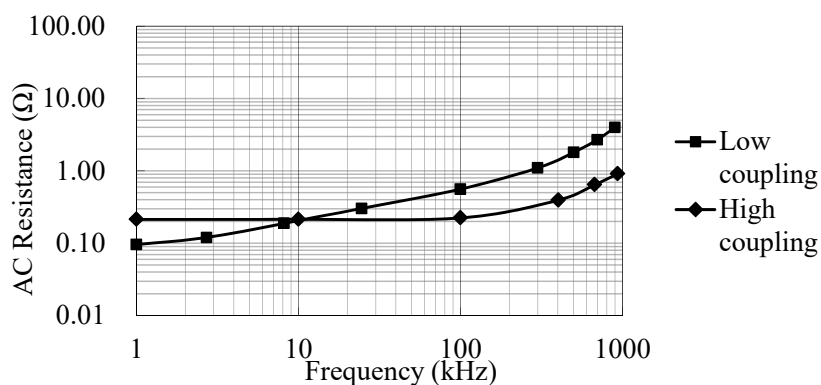
図 3-18 位相シフトのトランス構造

表 3-5 位相シフト回路のトランス構成要素

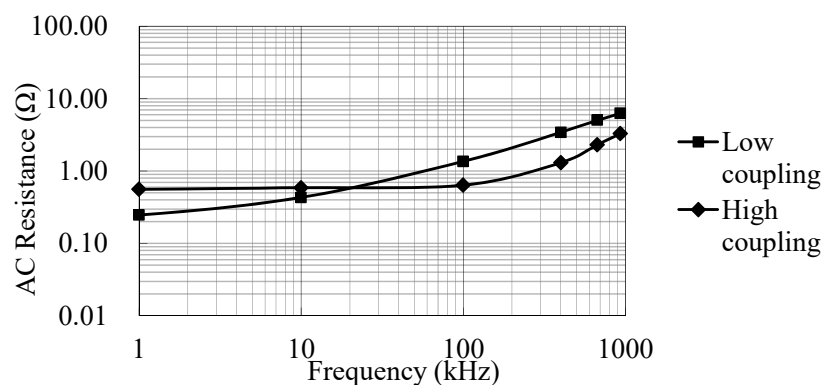
	Low coupling	High coupling
Core	EERS-35	
Primary winding	Litz wire. 0.08φ×336pcs.	Litz wire. 0.08φ×168pcs.
Insulator thickness	1mm	1mm
Secondary winding	Foil wire 6(w)×2.5(t)	Foil wire 27(w)×0.1(t)×2parallel

図 3-19 にトランスの巻線構成の改善前後の交流抵抗値のシミュレーション結果を示す。改善後のトランスでは、100kHz 以上で交流抵抗が低下して

いることが確認出来る。1次巻数が少なく出来る位相シフト回路の方が、トランス巻線の交流抵抗は小さくなる。



位相シフト回路



LLC 回路

図 3-19 トランスの巻線構成改善前後の交流抵抗値

トランス改善後の各回路方式の効率と総損失値比較を表 3-6 に、損失内訳の比較を図 3-20 に示す。トランスの損失は巻線構成の改良前より約 50% 減少する。その結果、LLC 回路の効率が位相シフト回路より約 0.4 ポイント上回ることを確認した。

トランスの改善後、共振インダクタ損失が増加している。これは、トランスの高結合化によりトランスの漏れインダクタンスが小さくなり、共振インダクタのギャップを調整してインダクタンスを大きくする必要が生じたためである。このため、共振インダクタの鉄損が増加しているが、トランス損失の低減効果はこれを上回っている。したがって、トランスの銅損の割合が

高い条件下では、高結合トランスの導入が高効率に有効と言える。

各部品の損失としては、位相シフト回路のトランスの損失が LLC 回路を下回るが、2次側整流スイッチが低耐圧、低オン抵抗の素子を使用できる LLC 回路が、総損失としては下回る。つまり、位相シフト回路と LLC 回路のどちらが優位になるかは、2次側整流素子のオン抵抗、トランスの1次巻数の差が大きくかわることが明らかである。

表 3-6 トランス改善後の各回路方式の効率と総損失値比較

	Phase shift	LLC
Efficiency	95.8%	96.2%
Total loss	43.0 W	39.0 W

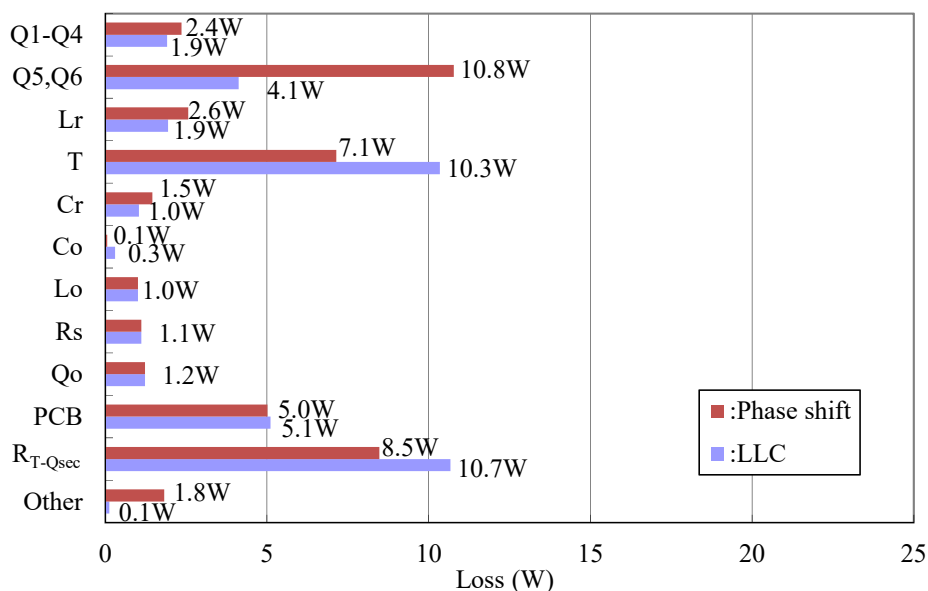


図 3-20 トランス改善後の各回路方式の損失内訳

### 3.4. まとめ

電気自動車や情報通信装置用に利用される商用電源を入力としたスイッチング電源の高効率化を目的とし、その構成要素である DC-DC 回路をソフトスイッチング化するのに適した LLC 回路を採用した場合に、従来使用され

ていた位相シフト回路に対する優位性を明らかにするため、情報通信機器用に製造された電源を使用して同じサイズの条件下で LLC 回路と位相シフト回路間の損失を比較した結果、以下の内容を明らかにした。

- (1) 位相シフト回路と LLC 回路の効率が約 95.3% で差がないことが判明した。また、損失分析により LLC は 2 次側整流スイッチに低オン抵抗素子を使用できる利点がある一方で、全損失に対するトランスの損失の割合が、位相シフト回路のそれよりもはるかに高く、その要因はトランスの巻数の違いである。
- (2) トランスの巻数の違いは、最小入力電圧時に出力電圧を確保する条件から決まる。
- (3) (1) (2) の結果から、位相シフト回路と LLC 回路のどちらが低損失の点で優位になるかは、2 次側整流素子のオン抵抗と、トランスの 1 次巻数の差によって決定づけられる。
- (4) トランスの 1 次巻線と 2 次巻線との間の結合を改善することによって巻線抵抗を減少させトランス損失を効果的に改善させられれば、位相シフト回路の効率 95.8% に対し LLC 回路の効率が 96.2% となり、LLC 回路が損失的に優位とすることが出来る。



## 第4章 積層トランスにおける巻線間キャパシタンスに起因する損失解析と、巻線間電圧を考慮した層レイアウトによる損失改善

本章では、電気自動車や情報通信装置用に利用される商用電源を入力としたスイッチング電源の高効率化を目的とし、その構成要素である DC-DC 回路をソフトスイッチング化するのに適した LLC 回路を採用した場合において問題となる、積層（プレーナ）トランス巻線間キャパシタンスに起因する損失解析の結果と、巻線間電圧を考慮した層レイアウト変更による損失改善効果について述べる。

具体的に検証を行った内容は以下の通りである。

- (1) 積層トランスを採用した LLC 回路による実験にて、厳密な損失分析により、1 次、2 次巻線間キャパシタンス (CPS) に起因する損失 (CPS ロス) の特性について明らかにしている。具体的には、入力 390V、出力 12V 200W 電源を設計、製作して、巻線間キャパシタンスや出力電力などの条件により損失がどのように変化するか、その特性を提示した。
- (2) 積層トランス巻線間キャパシタンスに起因する損失を計算で求める方法を新たに提案し、実験値との比較により妥当性の検証を実施した。
- (3) 積層トランス巻線間キャパシタンスに起因する損失計算過程で必要な、巻線間キャパシタンスの測定方法を提案した。
- (4) 積層トランス巻線間の動作電圧を考慮し巻線間の結合度を変化させることにより巻線間キャパシタンスに起因する損失を低減する新たな手法を示し、200W 12V 出力電源試作機において 98.1% の高効率を得た。

### 4.1. LLC のトランスについて

図 4-1 は 12V 200W 出力の LLC 回路の損失分析例である。

近年の半導体素子の進歩により、主スイッチの FET や 2 次側同期整流回路の FET のオン抵抗は非常に低くなっており、ZVS 動作、ZCS 動作と相ま

って、LLC 回路におけるスイッチング素子の損失は非常に小さくなっている (87)(88)。

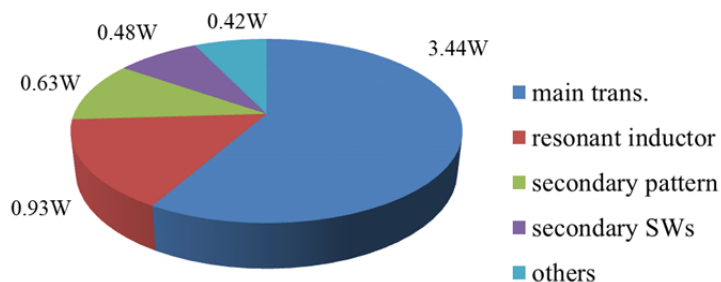


図 4-1 LLC 回路の損失分析例

また、LLC 回路のトランスの 1 次側電流波形は正弦波状であり、2 次側電流波形は、センタータップの場合正弦半波状となる。このため通常の電源と比較して、LLC 回路のトランスを流れる電流の実効値は高くなる。そのため、図 4-1 では主トランスの損失が全体の損失の 60%以上となっている。

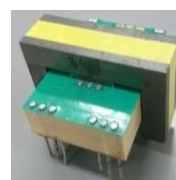
トランスの銅損を減らす方法としてプレーナトランスがある。図 4-2 に 3 種類の代表的なトランスの外観を示す。プレーナトランスは巻線部を銅パターン化し、1 次 2 次を交互に積み重ねる構造にすることが可能で、近接効果による交流抵抗の増加を抑えるものである。



(a) Usual trans.



(b) Separated trans.



(c) Planar trans.

図 4-2 3 種類の代表的なトランスの外観

図 4-3 に、3 種類の LLC 回路用トランスの交流抵抗を比較した例を示す。それぞれのグラフは、1 kHz 時の交流抵抗を 1 として正規化したものである。

1 次 2 次セパレートトランスとは、1 次と 2 次の巻線を分離することによって得られる漏れインダクタンスを共振成分として利用するものである。

図 4-3 より、この例では 50kHz 以上でプレーナトランスの優位性がみられ

る。

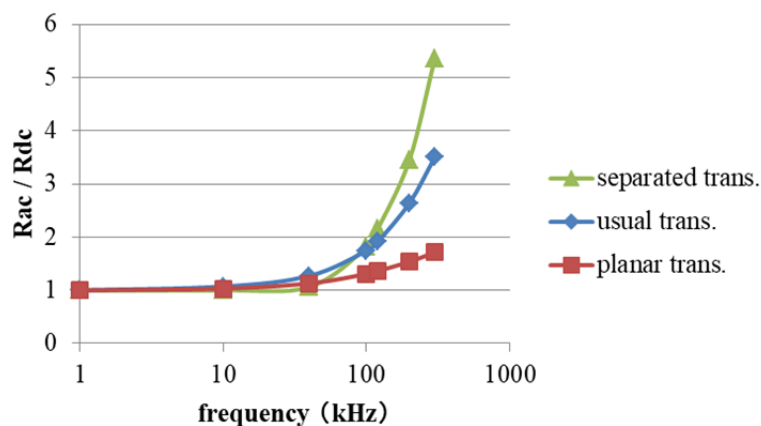


図 4-3 トランスの交流抵抗比較

そこで LLC 回路にプレーナトランスを使用したところ、2次側電流に高周波振動がみられ、効率も低下した。

図 4-4 に高周波振動を伴う 2 次側電流波形例を示す。

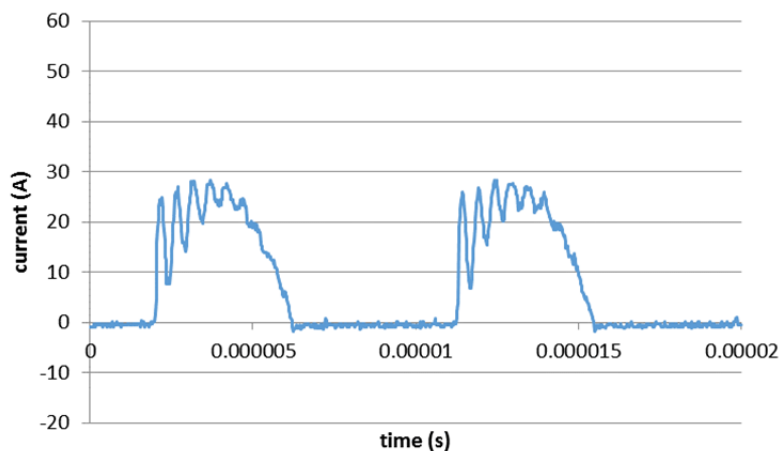


図 4-4 プレーナトランス使用時の 2 次側電流波形例

この振動電流はトランスの 1 次 2 次間キャパシタンスによるもので、プレーナトランスは 1 次巻線と 2 次巻線を積み重ねているために、通常の巻線トランスと比べてキャパシタンスが非常に大きくなる。

この 1 次 2 次間キャパシタンスに伴う損失を解明しなければプレーナトランスの LLC 回路への適用は不可能である。

## 4.2. プレーナトランスの1次2次間キャパシタンスと損失の関係

図 4-5 に 1 次 2 次間キャパシタンスを考慮した等価回路を示す。

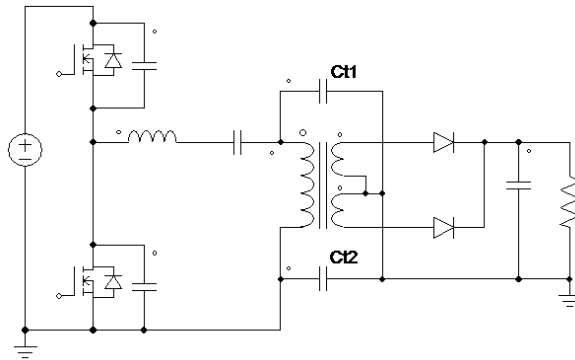


図 4-5 1 次 2 次間キャパシタンスを考慮した等価回路

$C_{n1}$ と $C_{t2}$ は1次巻線と2次巻線間のキャパシタンスである。これらのキャパシタンスはトランス内部の要素であり、分布容量として存在するが、図 4-5 では集中定数として表している。また検討を容易にするために1次2次を直接接続している。

CPS ロスは、実験値をもとに (4-1) 式によって計算した。

$$(CPS\ loss) = (transformer\ total\ loss) - (iron\ loss) - (copper\ loss) \quad (4-1)$$

1次2次巻線の相間厚を変化させることにより、1次2次間キャパシタンスの異なるプレーナトランスを数種類作成した。これらのプレーナトランスは、相間厚以外は、積層構造、銅厚などすべて同じである。

図 4-6 にプレーナトランスの1次2次間キャパシタンスを変化させたときの損失を示す。

ここで、鉄損は BH アナライザで測定している。また、巻線の交流抵抗は2次巻線をショートし、1次巻線側から見た抵抗値をインピーダンスアナライザで測定している。この交流抵抗と巻線を通れる電流値により銅損を算出している。

図 4-6 より、プレーナトランスの1次2次間キャパシタンスの増加に伴っ

て CPS ロスも増加することがわかる。一方、わずかではあるが 1 次 2 次間キャパシタンスの減少に伴って銅損が減少している。これは、この実験においては 1 次 2 次間厚によりキャパシタンスを変化させているので、1 次 2 次間キャパシタンスが小さいトランスは 1 次 2 次巻線間距離が近い。そのため 1 次 2 次間のカップリングが良く、銅損が減少したと考えられる。

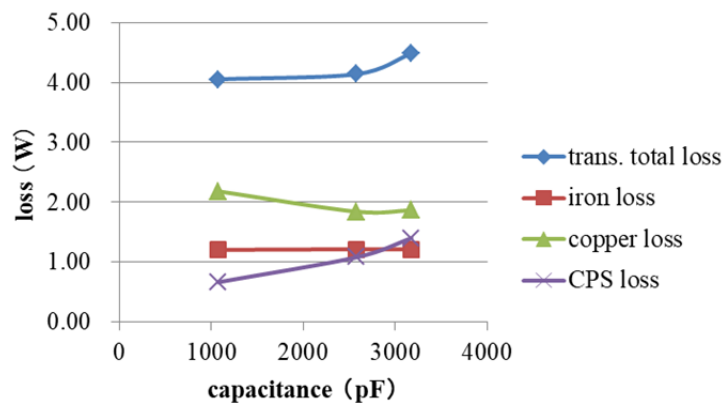


図 4-6 プレーナトランスの 1 次 2 次間キャパシタンスと損失

図 4-7 に LLC 回路の出力電力を変化させたときの損失の違いを示す。

トランスの総合損失は、出力電力の減少に伴って減っているが、CPS ロスはほとんど変化がない。そのため、全負荷だけでなく中間負荷時の効率を重視する電源を設計する場合は、CPS ロスを考慮することは非常に重要である。

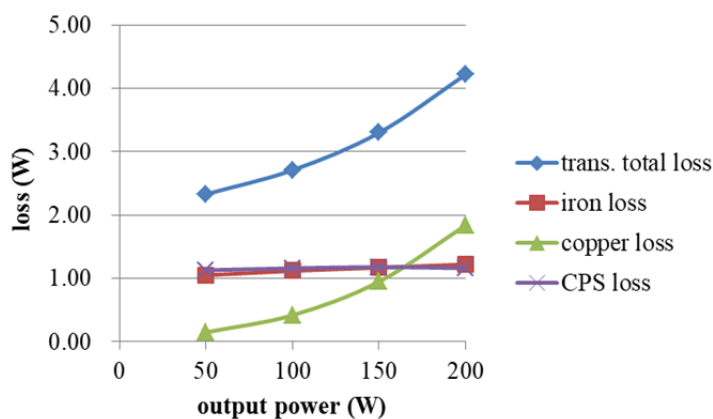


図 4-7 出力電力とトランスの損失

また、プレーナトランスの基材の比誘電率  $\epsilon_r$  を変化させた結果を図 4-8 に示す。表 4-1 に基材の材質を示す。基材の比誘電率を小さくすることにより、

CPS ロスが減少している。ただし、比誘電率が小さな基材はコストが高く、製造性も悪いことが多い。

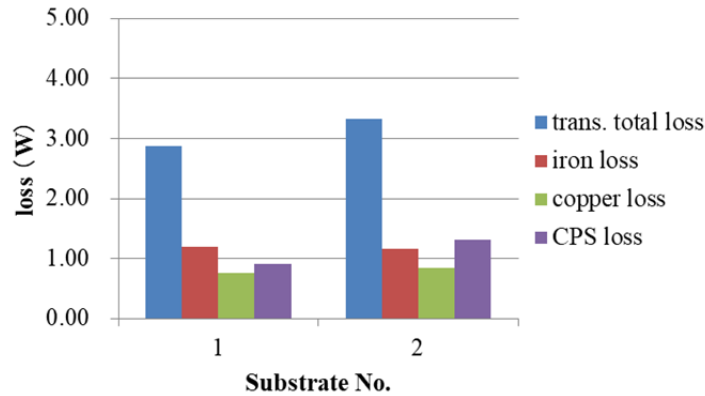


図 4-8  $\epsilon_r$  の損失への影響

表 4-1 基材の材質

Substrate No.	Relative permittivity	Tangent of the loss angle
1	3.5	0.0015
2	4.8	0.013

@1MHz

次にトランスの 1 次 2 次間電圧をシミュレーション (PSIM) により確認した。図 4-9 にシミュレーション回路図を示す。

また、図 4-9 の  $V_{ct1}$  のシミュレーション波形を図 4-10 に示す。 $V_{ct1}$  は急峻に変化する電圧波形となっている。この結果から  $V_{ct1}$  側の 1 次 2 次巻線を疎結合にすれば CPS ロスを減らせると考えられる。そのため、プレーナトランスにおいて、層構成を変えて損失を測定する実験を行った。

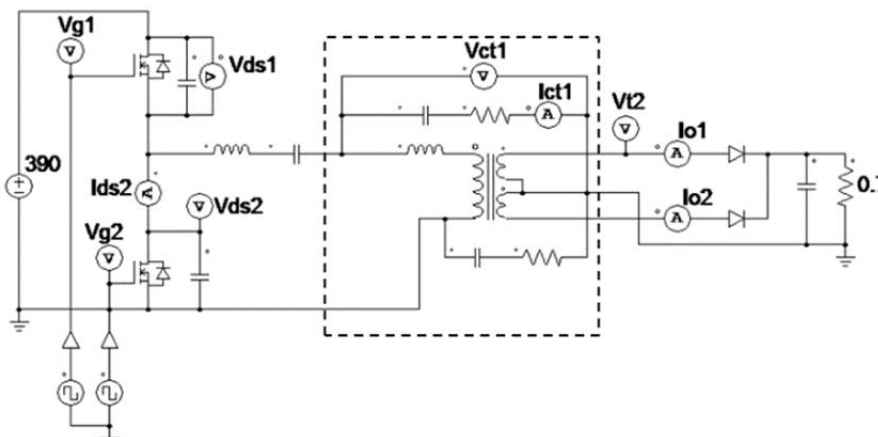


図 4-9 シミュレーション回路図

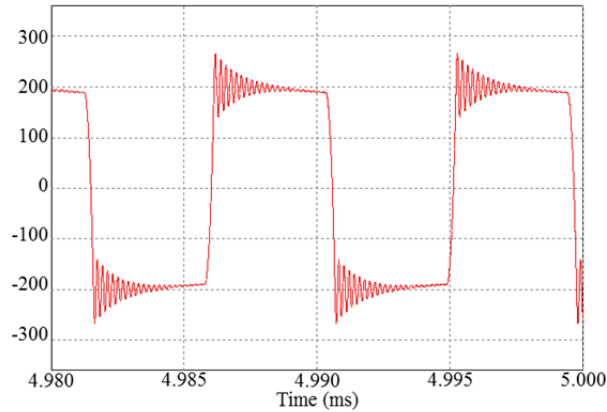


図 4-10  $V_{ct1}$ のシミュレーション波形  
(vertical, 100V/div; horizontal, 5 $\mu$ s/div).

図 4-11 に層構成を示す。青いブロックは 1 次巻線を示し、直列に接続されている。オレンジのブロックは 2 次巻線を示し、並列接続されている。今回の LLC 回路は 2 次側センタータップのため、オレンジのブロック 1 個は 2 つの 2 次巻線を表している。巻線構成以外、各巻線のパターンなどは変えていない。各トランスの疎結合部分の 1 次 2 次間キャパシタンスは小さい。

図 4-12 に層構成による損失の違いを示す。上部疎結合トランスの銅損はやや大きいが、CPS ロスが小さいため、トランスの総合損失は 3.8W と最も小さくなっている。1 次 2 次巻線が完全なサンドイッチ構造になっているトランスの総合損失は 4.9W であったので、トランスの層構成を変えるだけで 1.1W もの損失低減ができたことになる。

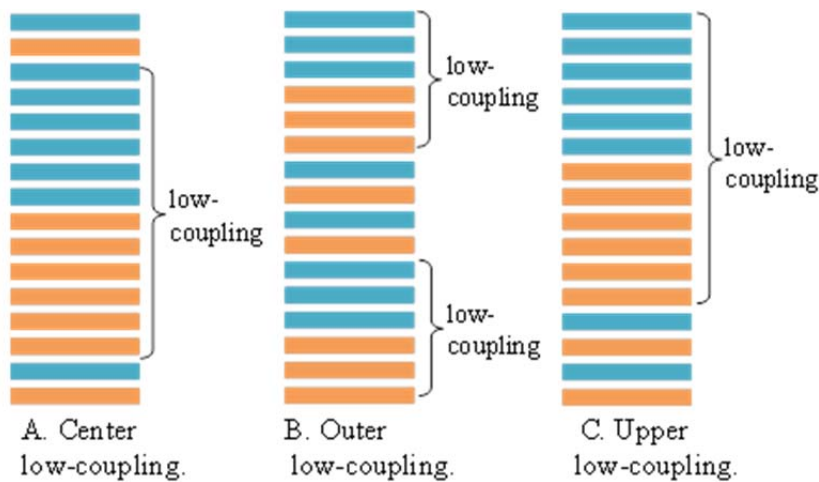


図 4-11 トランスの層構成

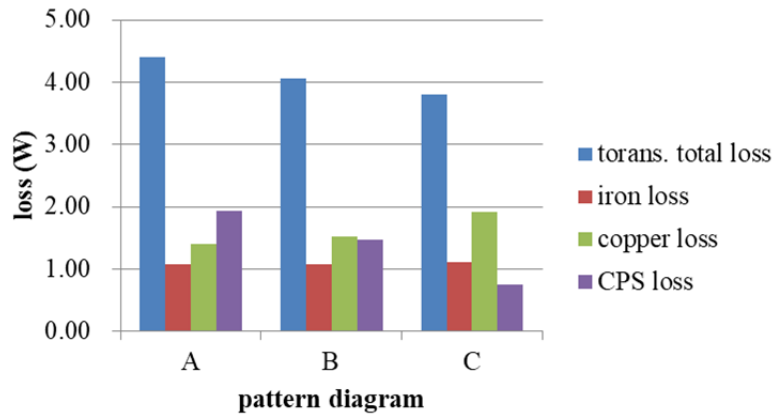


図 4-12 トランスの層構成による損失の違い

パルストランスで用いられる順巻キャパシタンス測定法と、この測定法で種々のトランスのキャパシタンスと CPS ロスの関係を測定した結果を図 4-13 に示す。良い相間が得られている。

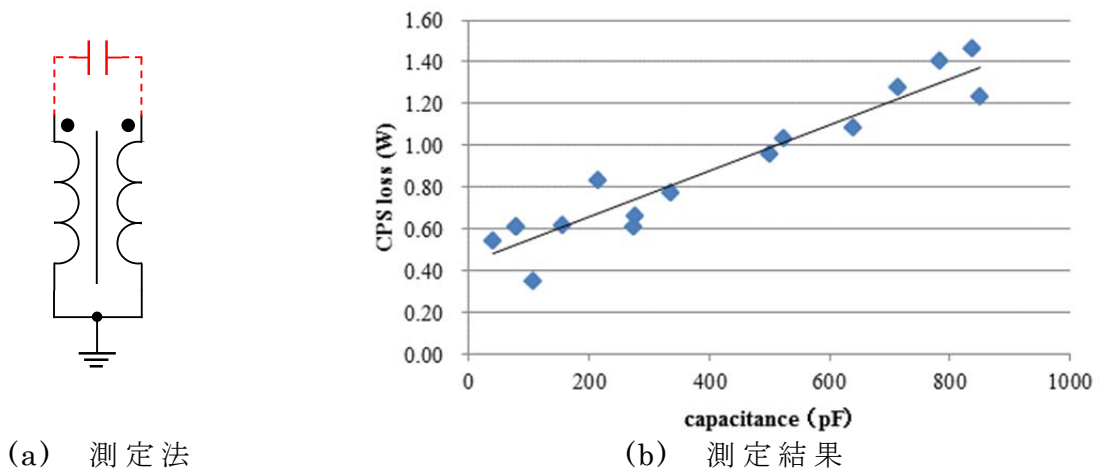


図 4-13 順巻のキャパシタンス測定

### 4.3. 実験機による検証

今までの結果をもとに実験機を作製した。

プレーナトランスは、低誘電率基材を使用し、24層で上部疎結合トランス構成とした。図 4-14 に実験機の写真を示す。表 4-2 に実験機的主要仕様を示す。



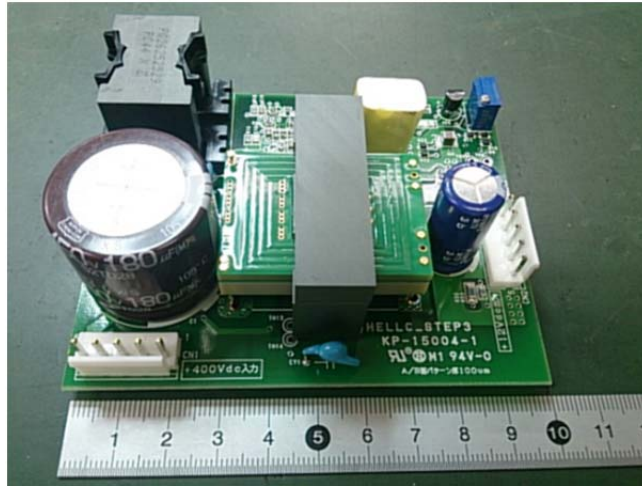


図 4-14 実験機の写真

表 4-2 実験機的主要仕様

Input voltage: 390 V <sub>dc</sub>
Output: 12 V, 200 W
Transformer winding number: 32:2:2
Magnetizing inductance: 1 mH
Resonant inductance: 100 μH

#### 4.4. CPS ロスの計算

次に図 4-9 の回路で、スイッチの切り替わり時に着目してシミュレーションを行った。図 4-15 にシミュレーション結果を示す。

1 次 2 次間キャパシタンスに伴う損失である CPS ロスは、トランス 2 次側に主電流が流れる瞬間の  $t_2$  における順巻キャパシタンス相当のキャパシタンスに蓄積されたエネルギーと漏れインダクタンスに蓄積されたエネルギーの合計値になると考えられる。

$$CPS\ loss = C_{t1}V_{ct1}^2f_{sw} + L_l I_{ct1}^2 f_{sw} \quad (4-2)$$

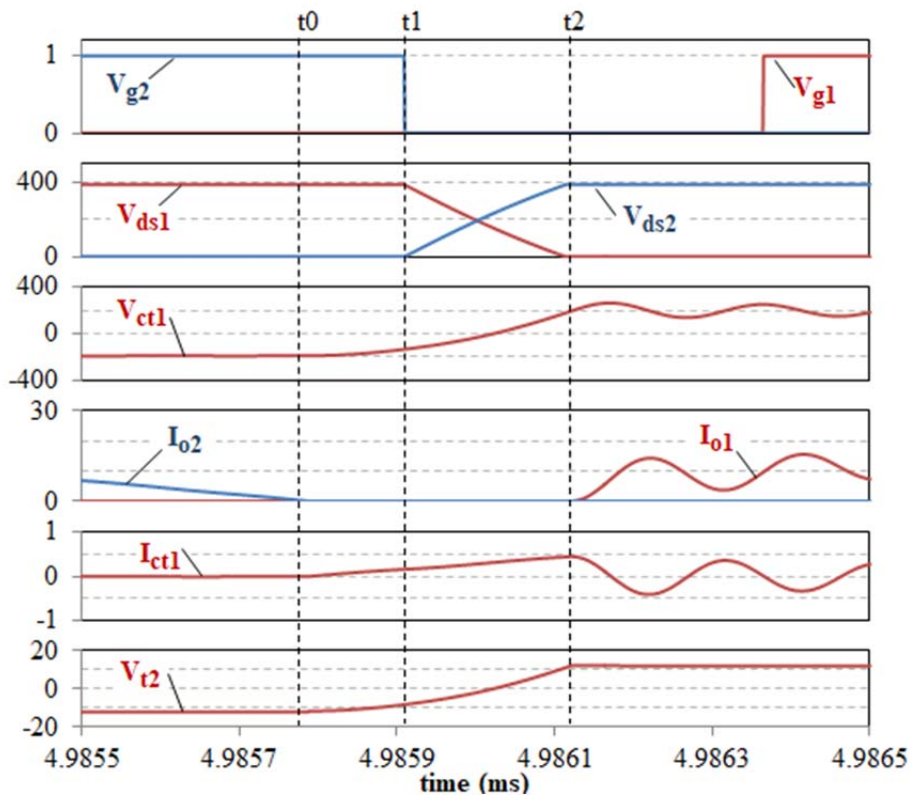


図 4-15 シミュレーション波形例

図 4-16 に各期間の等価回路を示す。

[期間 1 (~t0)]

2 次側に電流が流れている。

[期間 2 (t0~t2)]

t0 でトランスの 2 次電流が流れなくなり、出力が切り離される。

この期間中 t1 で主スイッチがオフになり、ZVS 動作を行う。

[期間 4 (t2~)]

t2 でトランスの 2 次電圧が出力電圧に達すると、2 次電流が流れ、電流振動が始まる。

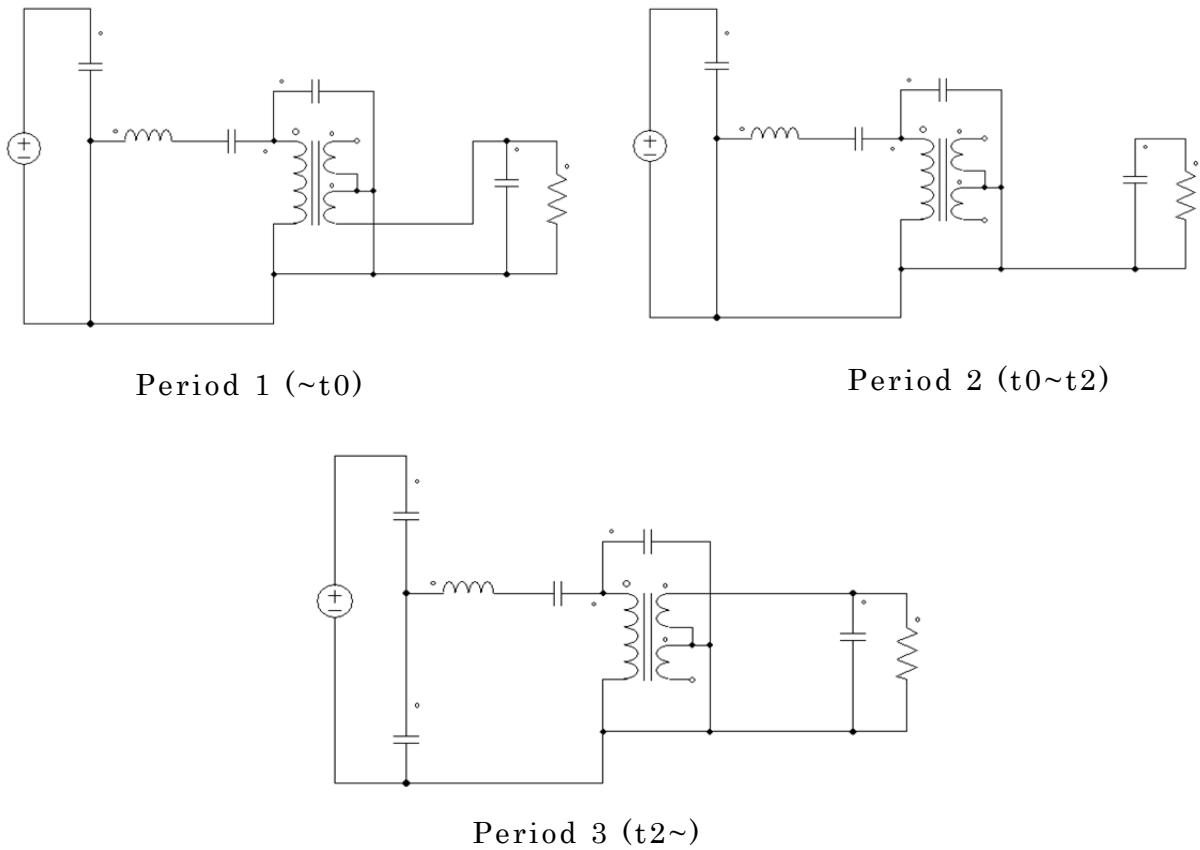


図 4-16 各期間の等価回路

$I_{ct1}(t_1)$ の導出は難しいのでシミュレーションにてキャパシタンスに伴う損失の割合を算出した。表 4-3 に結果を示す。

表 4-3 キャパシタンスに伴う損失割合

coupling	No. of trans.	A inductance loss (W)	B capacitance loss (W)	A+B (W)	A/(A+B) (%)	C copper loss (W)	A+B+C (W)
high ↑ ↓ low	1	0.105	1.086	1.191	8.8	1.100	2.291
	2	0.080	0.772	0.852	9.4	1.177	2.029
	3	0.061	0.481	0.542	11.3	1.297	1.839
	4	0.046	0.284	0.330	13.9	1.497	1.827
	5	0.046	0.176	0.222	20.9	1.755	1.977

シミュレーションによる検討の結果、漏れインダクタンスによる損失はキャパシタンスに伴う損失の 20%程度以下のため、簡易的な評価では漏れインダクタンスに蓄積されたエネルギーは無視できる。

図 4-17 に実験値と計算値のグラフを示す。計算値と実測値はよく一致して

いる。

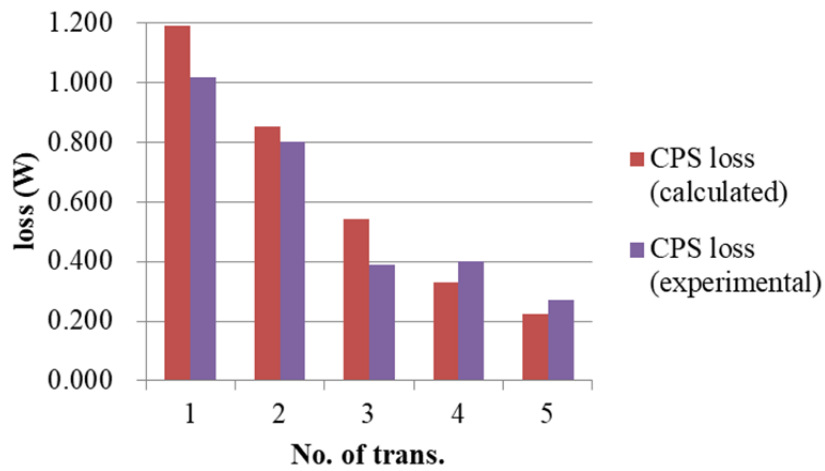
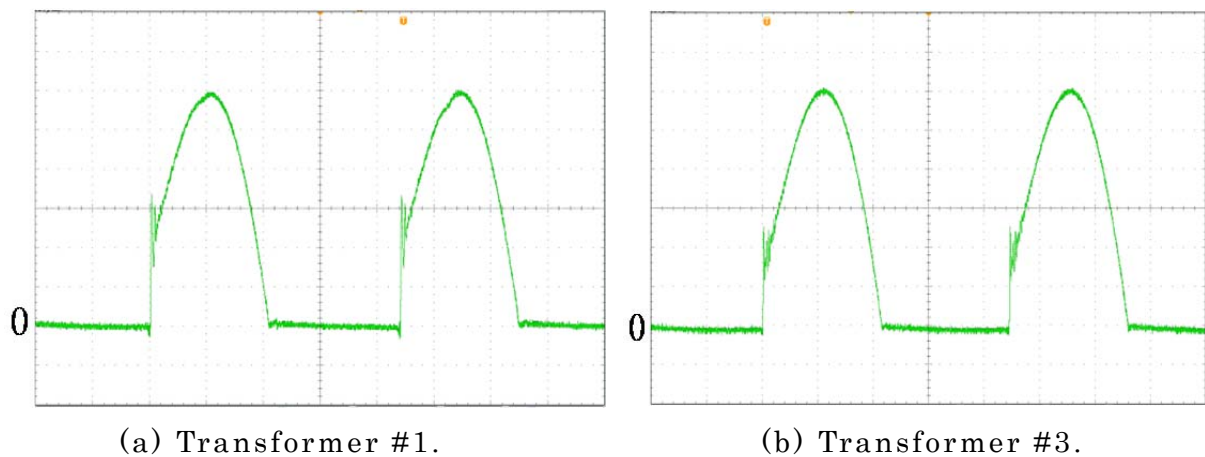


図 4-17 実験値と計算値

なお表 4-3 ではトランス#4 の損失が最も小さいが、LLC 回路搭載実験ではトランス#3 の方が全体損失が小さかったため、効率測定にはトランス#3 を使用した。

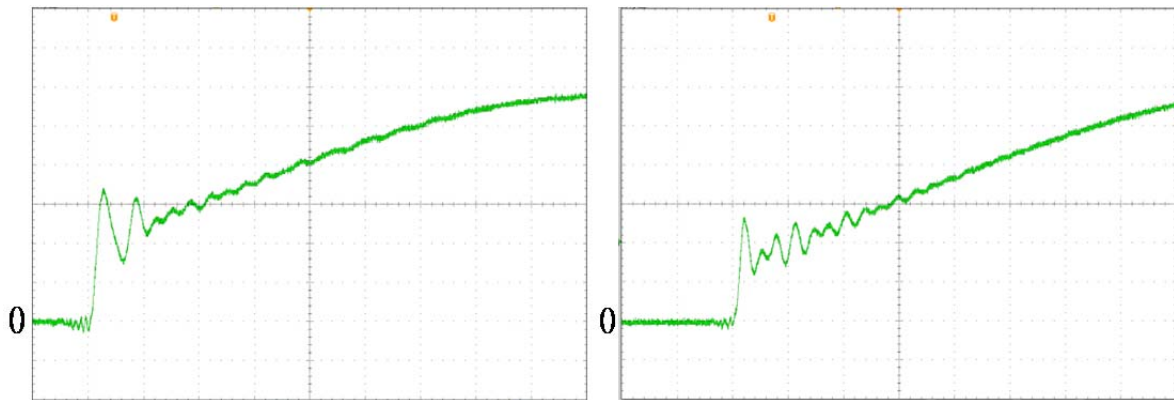
図 4-18 にトランス#1 の 2 次電流波形とトランス#3 の 2 次電流波形を示す。

図 4-19 にトランス#1 の振動部を拡大した 2 次電流波形とトランス#3 の振動部を拡大した波形を示す。



(vertical, 4A/div; horizontal, 4 $\mu$ s/div.)

図 4-18 トランス 2 次側電流



(a) Transformer #1.

(b) Transformer #3.

(vertical, 4A/div.; horizontal, 400ns/div.)

図 4-19 トランス 2 次側電流拡大波形

疎結合であるトランス#3のほうが振動の振幅が小さい。トランス#5のほうがさらに疎結合なのでキャパシタンスに伴う損失は減少するが、交流抵抗増加に伴う銅損が増大するため、総合損失はトランス#3が最も低くなる。図 4-20 にトランス#3の効率グラフを示す。出力 200W の時に効率 98.1%となった。

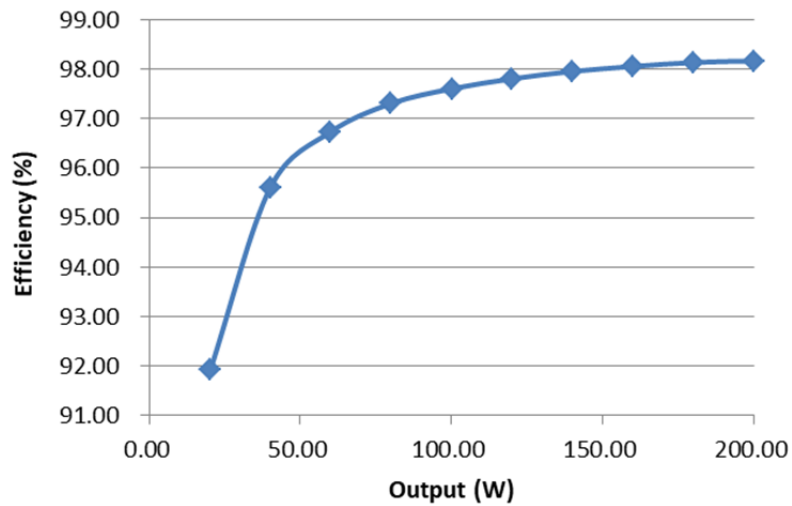


図 4-20 トランス#3 使用時の効率

## 4.5. まとめ

電気自動車や情報通信装置用に利用される商用電源を入力としたスイッチング電源の高効率化を目的とし、その構成要素である DC-DC 回路をソフトスイッチング化するのに適した LLC 回路を採用した場合において問題となる、積層(プレーナ)トランス巻線間キャパシタンスに起因する損失解析と、巻線間電圧を考慮した層レイアウト変更による損失改善検討を行い、以下の結果を得た。

- (1) 巻線間キャパシタンスに起因する損失 (CPS ロス) が発生することを示した。
- (2) 巻線間キャパシタンスに起因する損失が増減する特徴を実験結果から示した。
- (3) トランス巻線間寄生キャパシタンスを減少させるために、トランス巻線間の動作電圧を考慮し、各層の結合度合いを変える新しい手法を示した。この改善の結果、12V 200W 試作機において、効率 98.1%を実現した。
- (4) 損失の大きさに関係する巻線間のキャパシタンス値を測定する方法として、順巻きキャパシタンスという方法を新たに提案した。

# 第5章 LLC 回路における橋絡キャパシタを利用した損失改善

第4章では電気自動車や情報通信装置用に利用される商用電源を入力としたスイッチング電源の高効率化を目的とし、その構成要素である DC-DC 回路をソフトスイッチング化するのに適した LLC 回路を採用した場合において問題となる、積層（プレーナ）トランス巻線間キャパシタンスに起因する損失解析の結果を示した。

本章では、さらに LLC 回路に入出力ノイズフィルタが接続されている場合において、トランス巻線間の寄生キャパシタンスと入出力ノイズフィルタの Y キャパシタを介して循環電流が生じ、フィルタのコモンモードチョークの損失が増加する課題があることを詳しく示し、トランス巻線間に橋絡キャパシタを追加して、コモンモードチョークの損失を低減する新たな方法を述べる。

## 5.1. トランスの結合と銅損低減

実験に使用した LLC 回路を採用した情報通信機器用電源装置の DC-DC コンバータ部の回路図を図 5-1 に、入出力電圧と出力電力、動作周波数仕様を表 5-1 に示す。出力電力が 5000W で大電力のため、ハーフブリッジ回路を並列としている。

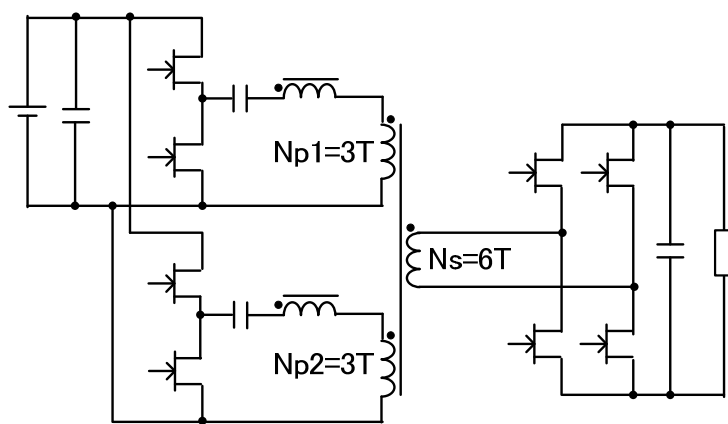


図 5-1 実験に使用した LLC 回路の基本回路図

表 5-1 LLC 回路の仕様

入力電圧	出力電圧	出力電力	動作周波数
DC400V	DC383V	5000W	600kHz

LLC 回路は、トランスの励磁電流を利用することによって全ての負荷電流範囲でゼロ電圧スイッチング（ZVS）を実現することが出来る。また LLC 電流共振方式の出力整流部は、電流臨界条件または電流不連続条件で動作するため、スイッチング時の電流は常にゼロである。したがって 2 次側のスイッチはゼロ電流スイッチング（ZCS）を行うことが出来るため<sup>(45)・(48)</sup>、高効率化に適した回路方式とされている。

しかしながら、LLC 回路は例えば位相シフト回路と比較し全体の損失に対するトランス損失が占める割合が高く、高効率化にはトランス損失（特に銅損）の低減が不可欠である<sup>(89)</sup>。トランスの銅損を低減する方法の 1 つは、スイッチング周波数での交流（AC）抵抗を下げることで、最良の方法はプレーナトランスを使用することである。プレーナトランスはインターリーブ構造を実現することができるが、インターリーブ構造は、1 次巻線と 2 次巻線を交互に配置することができるので、トランス巻線の近接効果が大きく低下し、LLC トランスの交流抵抗が減少できる<sup>(75)(76)(90)</sup>。

図 5-1 に示した LLC 回路で採用したプレーナトランスにおいて、図 5-2 のようにトランス巻線構造を変化させた場合の交流抵抗は図 5-3 の通りで、インターリーブ構造ほど交流抵抗が低減できることが確認出来ている。

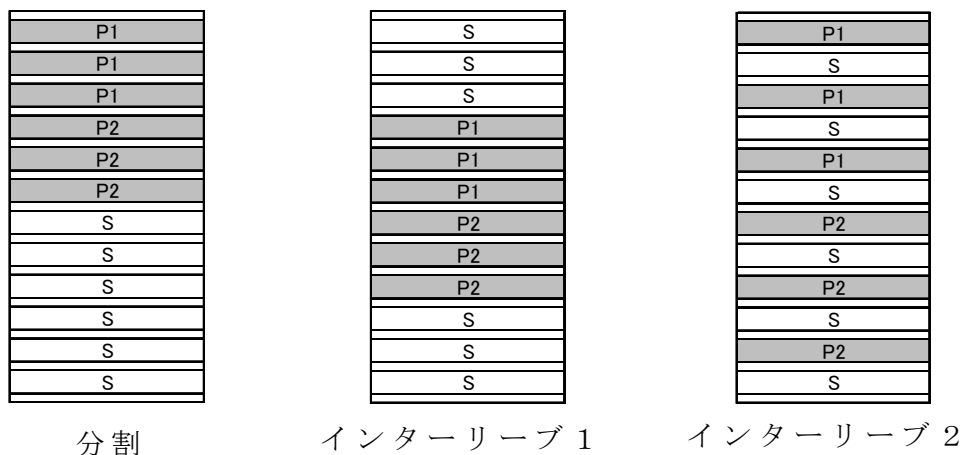


図 5-2 トランス巻線構造



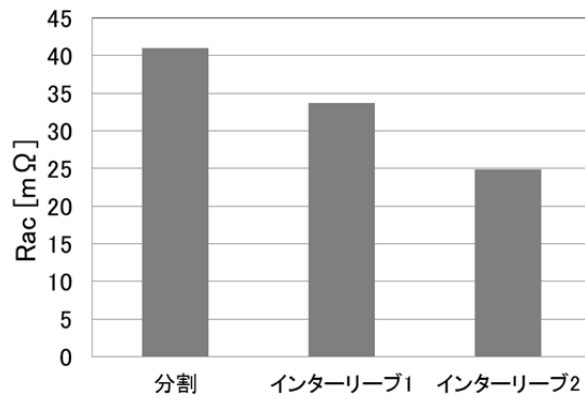


図 5-3 トランス巻線構造別交流抵抗(600kHz)

## 5.2. トランスの寄生キャパシタンスと損失影響

LLC 回路の高効率化としてトランス巻線のインターリーブ構造が交流抵抗を低減するのに有効であることが確認出来たが、インターリーブ構造は 1 次巻線と 2 次巻線との間のキャパシタンスを増加させるため、このキャパシタを介した循環電流の発生による損失増加や、ゼロボルトスイッチング (ZVS) 動作をさせた場合にスイッチ出力キャパシタンスを充放電する時間が増加し、デッドタイムを延長する必要が生じる弊害があることが報告されている<sup>(73)(91)(92)</sup>。

図 5-2 の各トランス巻線構造の 1 次、2 次間キャパシタンスは図 5-4 の通りで、インターリーブ数が多くなるほどキャパシタンス値が大きくなることが確認出来ている。

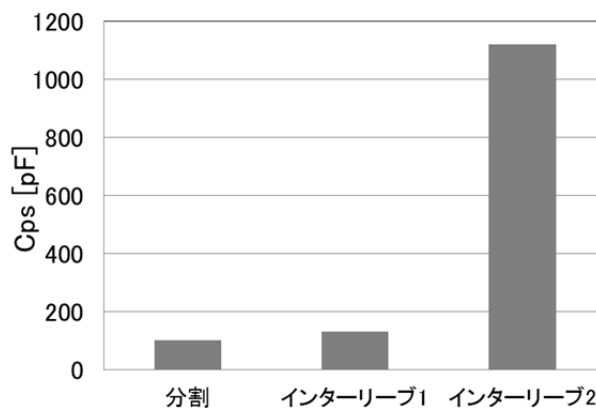


図 5-4 トランス 1 次、2 次間キャパシタンス

トランス巻線の寄生キャパシタンスの影響は、FG (Frame Ground を介して循環電流が生じ、入出力のコモンモードチョークの損失を増加させる懸念がある。

図 5-5 に入出力フィルタを含む回路図を示す。入力フィルタは主に入力帰還ノイズの抑制が目的で<sup>(93)</sup>、LLC 回路の前段に PFC 回路が接続される場合は入力端のフィルタで代用可能である。出力フィルタは主に負荷側に出力されるノイズの抑制が目的である。入力フィルタ、出力フィルタ共に EMI (電磁障害、Electro Magnetic Interference) 対策<sup>(94)</sup>としては一般的に不可欠である。

このような回路において、トランスの 1 次巻線と 2 次巻線との間のキャパシタンスが大きくなると、入出力フィルタ内の対 FG 間に接続されている Y キャパシタを介して循環電流が発生し、フィルタ内のコモンモードチョークに損失が発生することになる。インターリーブ 2 のトランスを用いた場合の Y キャパシタを介して FG 部に流れる電流波形を示したのが図 5-6 である。

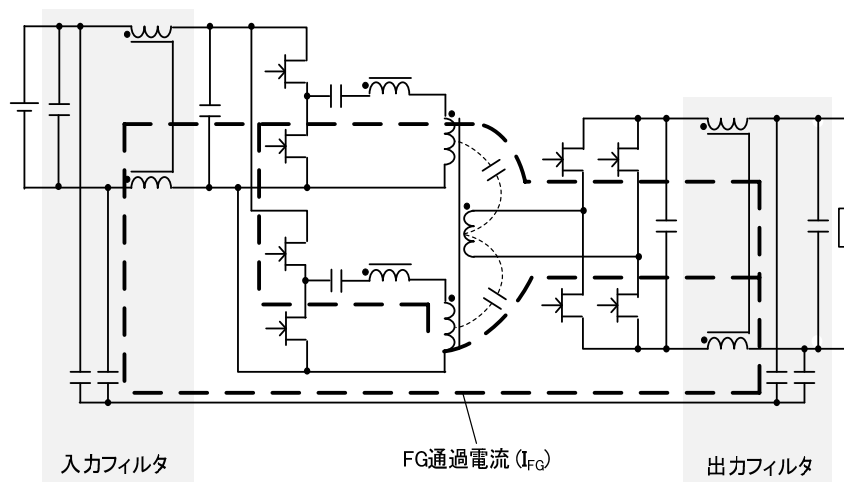


図 5-5 入出力フィルタを含んだ回路図

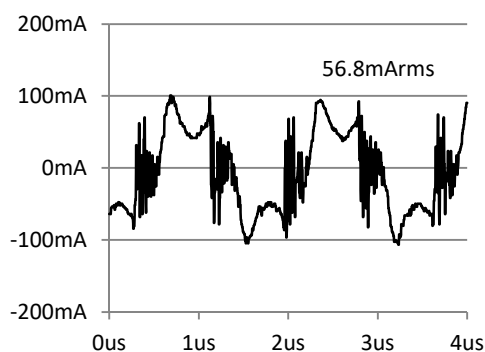


図 5-6 FG 通過電流波形 (トランス : インターリーブ 2)

図 5-7 にトランス巻線構造がインターリーブ 2 における入出力フィルタのコモンモードチョーク両端電圧を示す。コモンモード電流が通過しているためコモンモードチョーク両端に電圧が発生していることから、鉄損が生じていることが分かる。実際にコモンモードチョークコアの温度上昇も確認された。

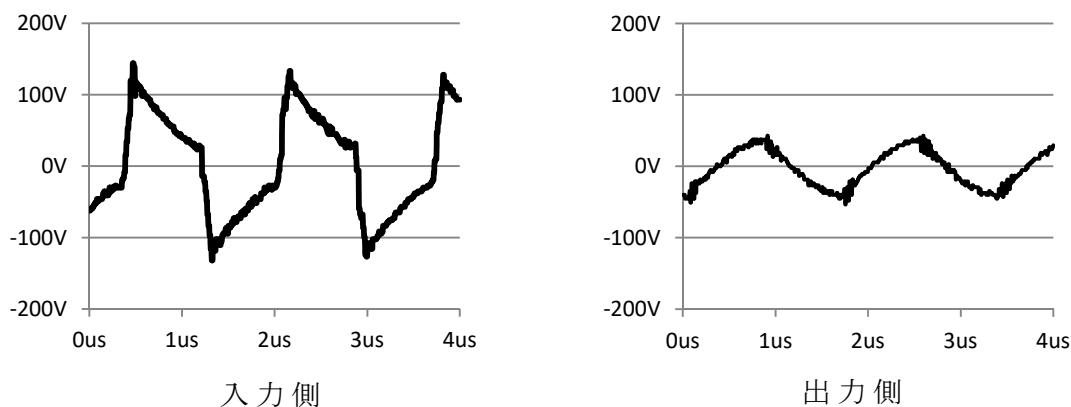


図 5-7 コモンモードチョーク両端電圧

### 5.3. Y キャパシタ 接続位置による損失低減

トランスの 1 次、2 次間キャパシタンスに起因する循環電流によるコモンモードチョーク損失を低減する方法として、図 5-8 に示す Y キャパシタ接続方法の違いによる効果の比較を行った。トランスは交流抵抗の最も小さいインターリーブ 2 の構造としている。

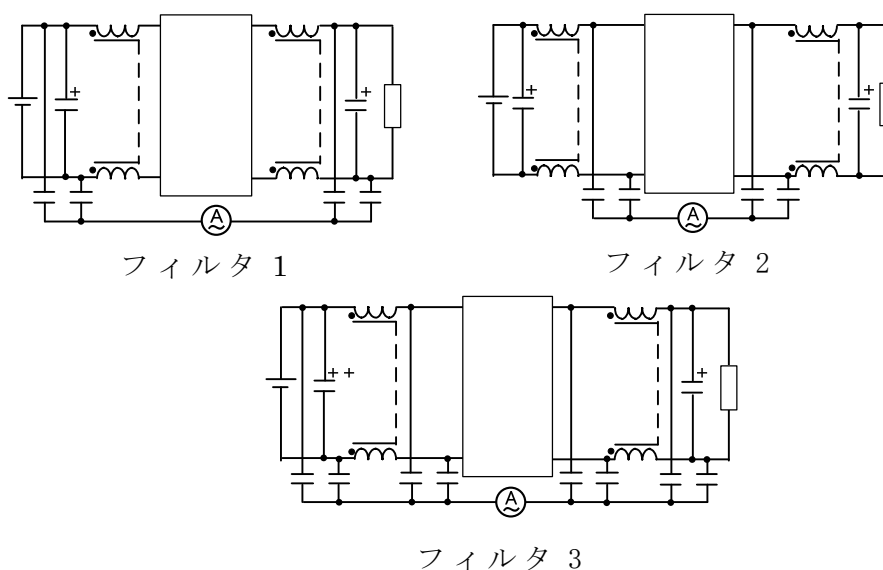


図 5-8 Y キャパシタ接続位置

各フィルタ回路におけるコモンモードチョーク両端電圧を示したのが図 5-9 で、Y キャパシタを介して FG に流れる電流値を示したのが図 5-10 である。Y キャパシタ接続位置変更によりコモンモードチョーク両端に印加される電圧が低減されることが分かるが、Y キャパシタを介して FG に流れる電流値が増大するため、放射ノイズが増加する懸念があり、トランスの 1 次、2 次間キャパシタンスに起因する循環電流によるコモンモードチョーク損失を低減する方法としてはふさわしくないことが分かった。

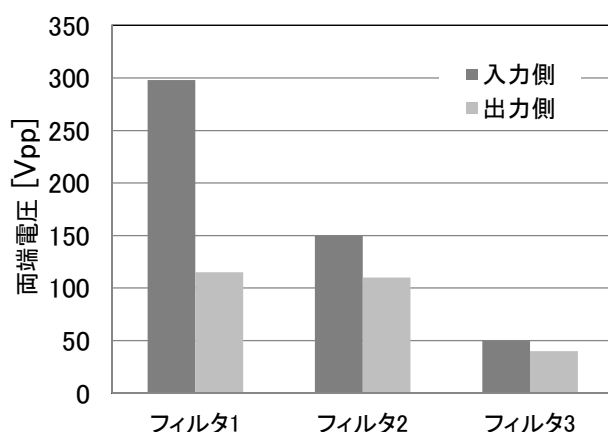


図 5-9 コモンモードチョーク両端電圧

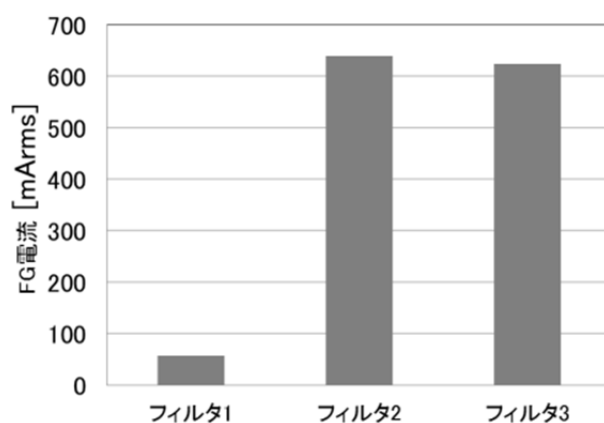


図 5-10 Y キャパシタ接続位置と FG 通過電流

## 5.4. 橋絡キャパシタによる損失改善

トランスの 1 次、2 次間キャパシタンスに起因する循環電流がコモンモードチョーク、FG いずれにも流れにくく出来れば、コモンモードチョーク損

失や放射ノイズの増加を抑制できると推定し、トランスの1次、2次間に橋絡キャパシタを追加する検討を行った。橋絡キャパシタによる EMI 対策の研究報告は多いが<sup>(95)-(101)</sup>、ノイズフィルタの損失低減に関してほとんど報告がない。

図 5-1 で示した LLC 回路の 1 次側ハーフブリッジ回路は並列回路で各部の動作電流、電圧が同一のため、単純な回路で考えた場合の橋絡キャパシタの接続位置としては、図 5-11 の V1~V5 の 5 通りが考えられる。

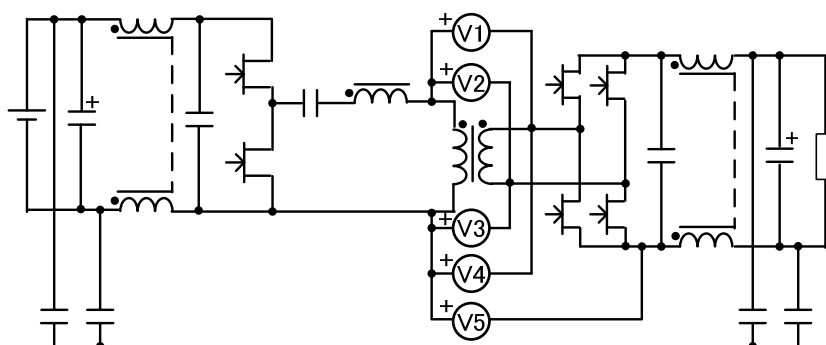


図 5-11 橋絡キャパシタ接続位置の候補

図 5-11 の V1~V5 の電圧波形を示したのが図 5-12 で、スイッチング周期での電圧変化が大きい部位では、橋絡キャパシタを接続すると、かえって循環電流を大きくしてしまう恐れがある。

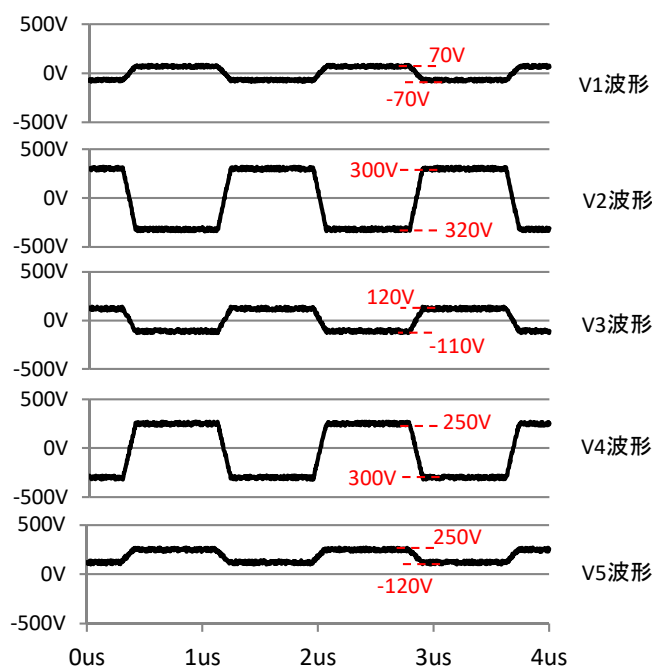


図 5-12 トランス両端電圧

実際に 470pF のキャパシタを追加したところ、表 5-2 の通り LLC 回路が正常動作しないか無負荷時入力電力が増加する結果となったが、V5 位置にキャパシタを追加した場合は損失低減効果が得られることが分かった。V5 位置の両端電圧は V1～V5 の電圧波形と比較しても、電圧の変動は比較的小さいことが分かる。

表 5-2 橋絡キャパシタ位置と損失低減

橋絡コンデンサ追加位置 (470pF)	無負荷時入力電力	動作異常
無し	70.4W	無し
V1	—	正常動作せず
V2	—	正常動作せず
V3	73.5W	無し
V4	—	正常動作せず
V5	69.2W	無し

図 5-13 に示した  $C_y$  の位置（表 5-2 の V5 の位置）に追加するキャパシタンスを変化させた場合の無負荷時の入力電力（≒ 損失）とキャパシタに流れる電流の実効値を示したのが図 5-14 である。キャパシタを全く接続しない場合と比較して 2200pF 追加時で 3.4W（全体損失の約 4.8%）の損失が低減可能なことが確認出来た。橋絡キャパシタに流れる電流は、キャパシタンスに比例して増加するが、Y キャパシタを介して FG に流れないため、放射ノイズの影響も少ないと考えられる。

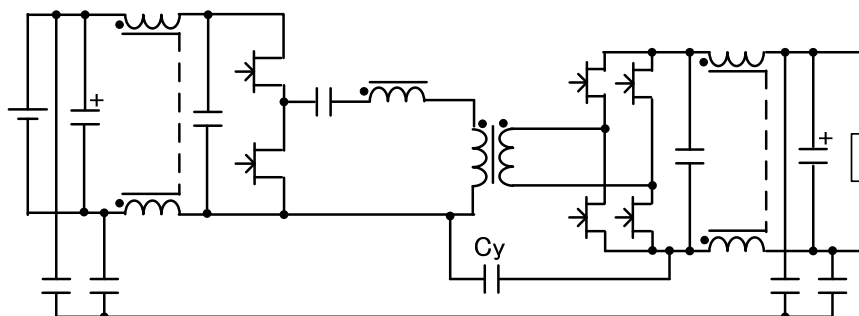


図 5-13 提案の橋絡キャパシタ  $C_y$  接続位置

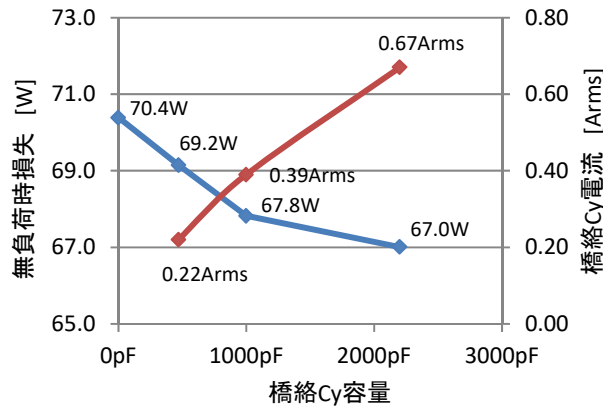


図 5-14 橋絡キャパシタに対する無負荷損失と  
橋絡キャパシタ電流

図 5-15 に橋絡キャパシタが無い場合と 2200pF 時の入力側コモンモードチョークの電圧、電流、損失波形を示す。橋絡コンデンサ追加により、損失が減少していることが分かる。この結果コモンモードチョークの温度も低下することが確認出来た。

図 5-16 に橋絡キャパシタが無い場合の出力側コモンモードチョークの電圧、電流、損失波形を示す。出力側は橋絡コンデンサ無しでもコモンモード電流が少なく損失が小さい。入力側とコモンモード電流波形が異なっているのは、制御回路などに差分のコモンモード電流が流れている可能性があり、さらに調査が必要である。

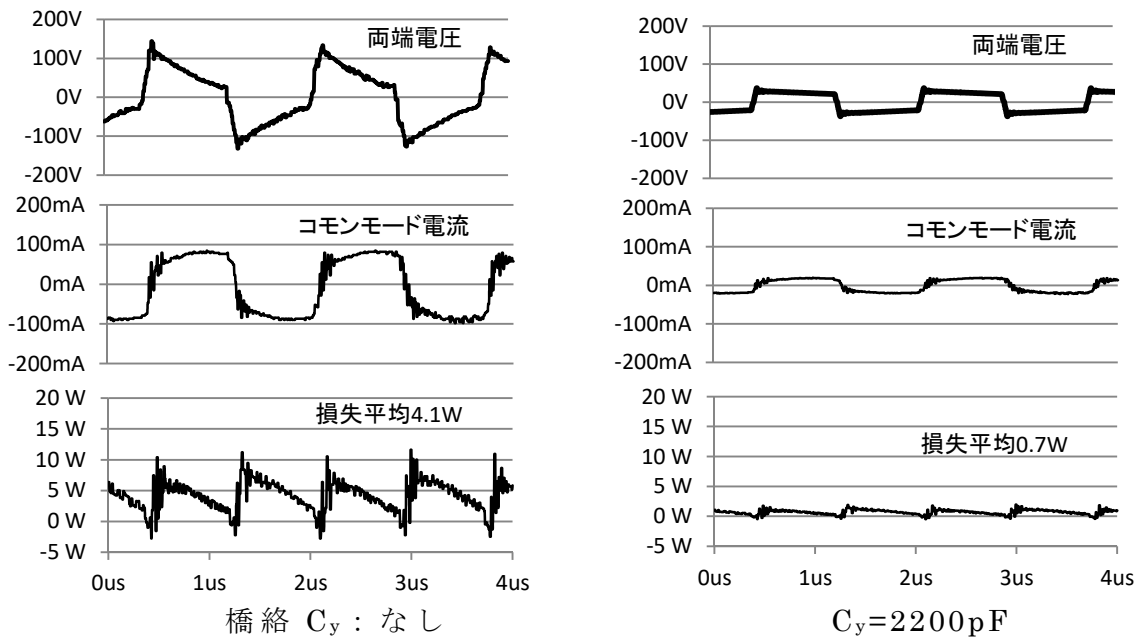


図 5-15 入力側コモンモードチョークの電圧、電流、損失波形

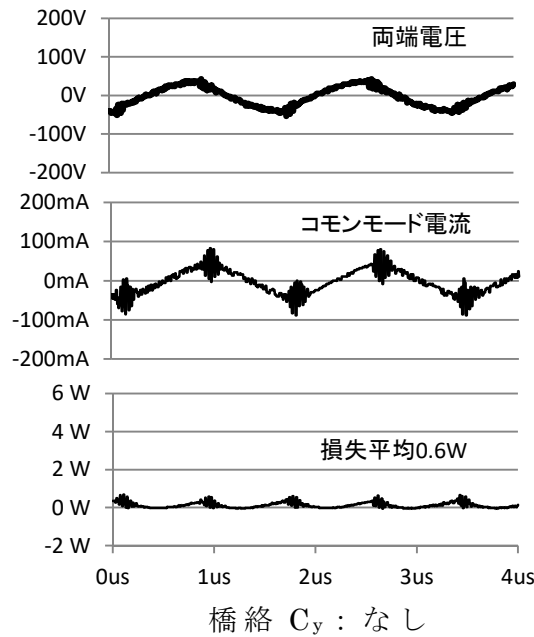


図 5-16 出力側コモンモードチョークの電圧、電流、損失波形

図 5-17 に橋絡キャパシタが 470pF と 2200pF 時の電流波形を示す。橋絡キャパシタに流れる電流は、図 5-12 に示した電圧波形が変化するデッドタイム期間  $t_d$  に流れるが、追加するキャパシタンスが大きくなると、デッドタイム期間後にも電流の振動が継続する。図 5-18 に橋絡キャパシタが 4700pF 時の橋絡キャパシタとトランス 1 次巻線電流波形を示す。ここまで橋絡キャパシタ容量を増やすと、橋絡キャパシタに流れる電流が電流共振波形に重畳されることが確認された（矢印部）。これは半導体スイッチ、共振回路素子などに流れ損失を発生させることになるため、追加できるキャパシタンスには限度があり、損失低減を行うには最適化が必要となることが分かる。

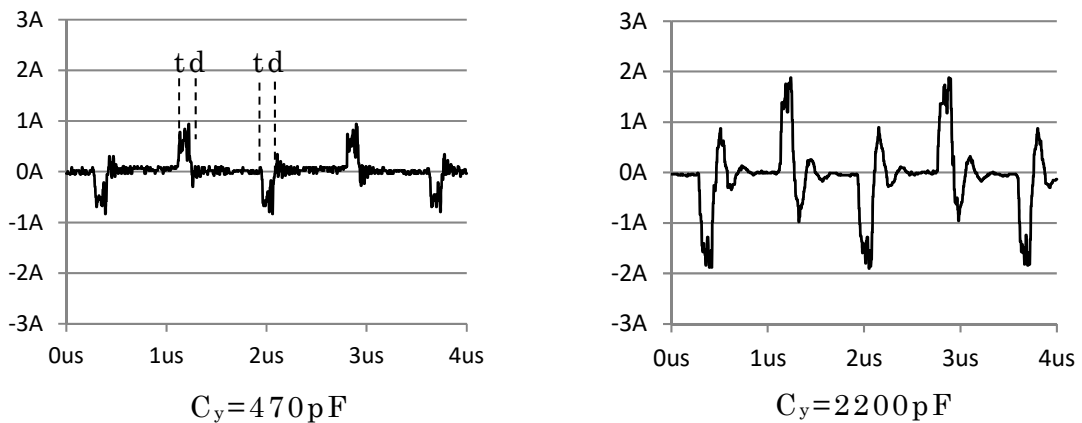


図 5-17 橋絡キャパシタ電流波形（実測値）



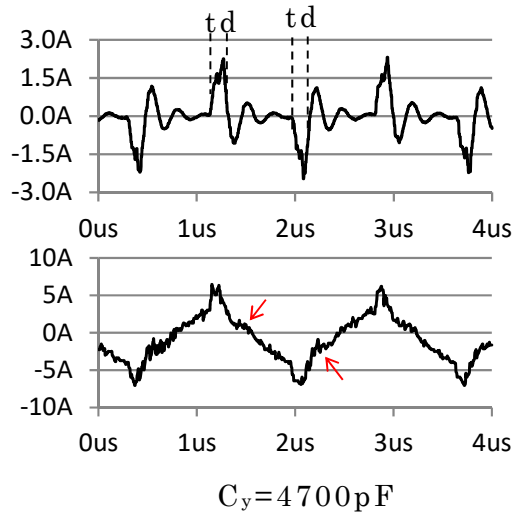


図 5-18 橋絡キャパシタとトランス 1 次巻線の電流波形

## 5.5. シミュレーションによる確認

図 5-19 に示す回路にてシミュレーションによる再現性の確認を行った。シミュレータには LTspice<sup>(102)</sup>を用いている。図 5-20 に、フィルタに用いたコモンモードチョークモデルの、コモンモードとノーマルモード時の減衰特性を示す。

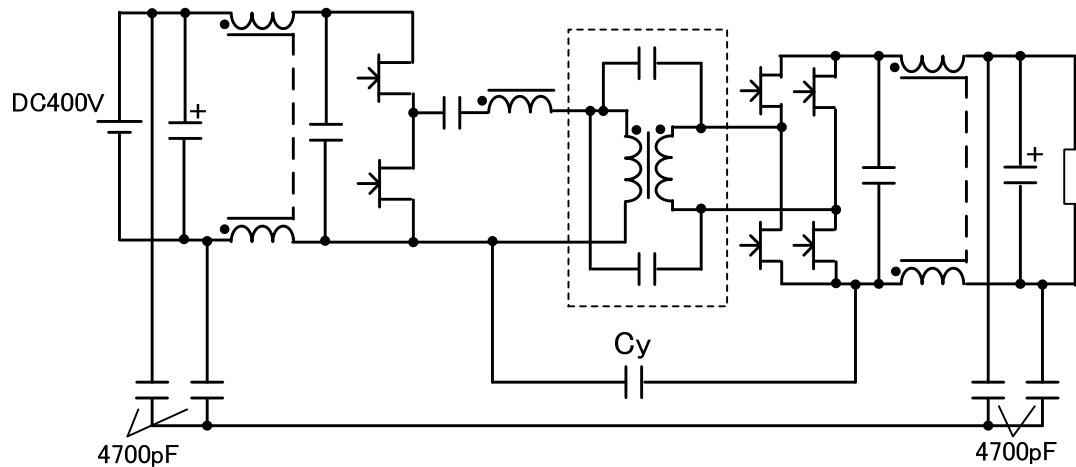


図 5-19 シミュレーション回路

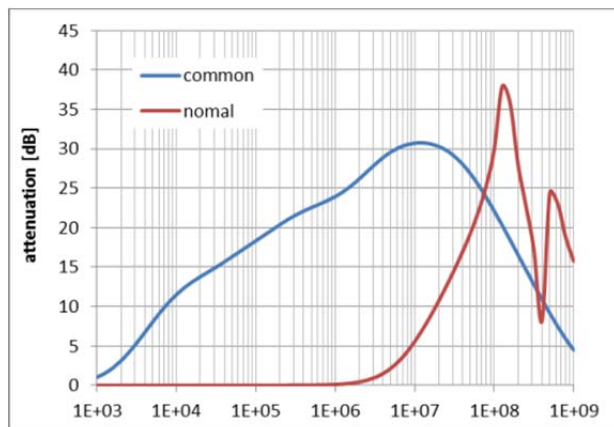


図 5-20 コモンモードチョークモデルの減衰特性

図 5-21 に橋絡キャパシタ容量変化時のコモンモードチョーク両端電圧のシミュレーション値を示す。橋絡キャパシタ追加により、コモンモードチョークに印加される電圧が抑制されていることが分かる。また、この傾向は図 5-15 の実測波形とも傾向が一致している。

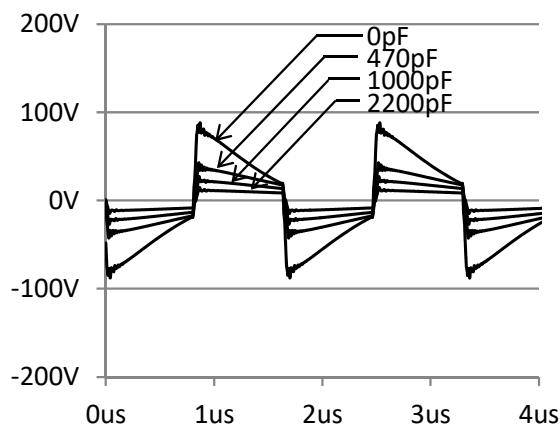


図 5-21 コモンモードチョーク両端電圧

図 5-22 に橋絡キャパシタ変化時の FG 通過電流の実測値とシミュレーション値を示す。橋絡キャパシタ追加により、FG 通過電流も抑制されていることが分かる。このため入出力フィルタを通過する電流も抑制され、コモンモードチョークの損失を低減することが可能となる。

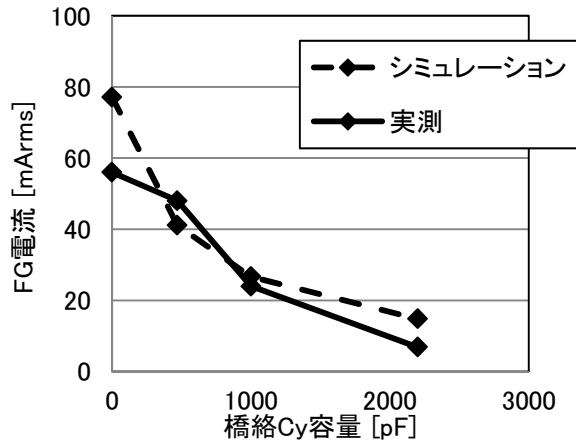


図 5-22 橋絡キャパシタ容量と FG 電流

図 5-23 に橋絡キャパシタが 470pF と 2200pF 時の橋絡キャパシタ電流シミュレーション波形を示す。図 5-17 で示した実測値と傾向が近い波形が得られているが、図 5-17 の実測波形では振動の継続が確認されており、実測とシミュレーションにおける橋絡キャパシタに流れる電流ルート上の寄生インダクタの違いが影響していると推定される。

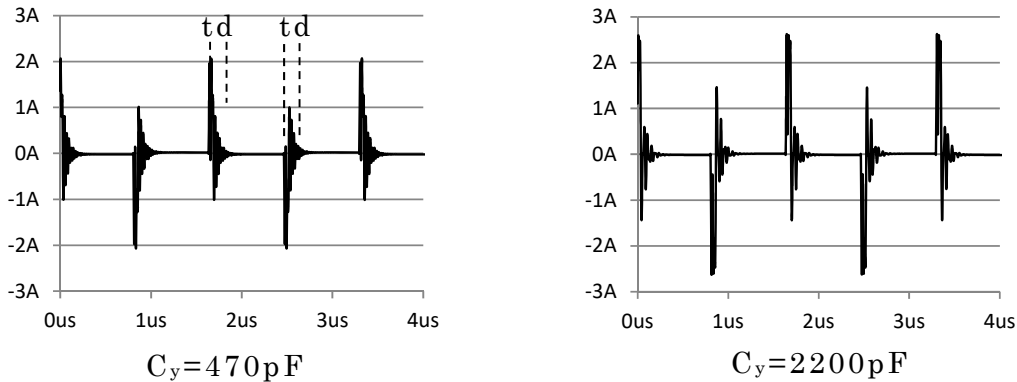


図 5-23 橋絡キャパシタ電流波形 (シミュレーション値)

図 5-24 に橋絡キャパシタ電流の実測値とシミュレーション値を示す。追加する橋絡キャパシタの静電容量が大きくなると、橋絡キャパシタに流れる電流も大きくなる傾向は、実測と一致している。容量値が大きい場合に実測値が大きくなっているのは、実測波形に見られる振動の継続による影響と考えられる。

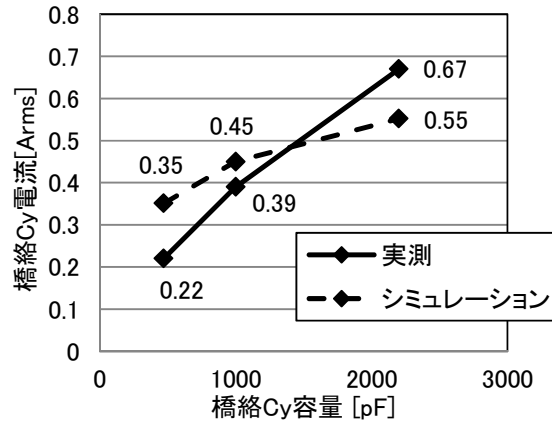


図 5-24 橋絡キャパシタ電流

図 5-25 に橋絡キャパシタとコモンモードチョーク損失を示す。コモンモードチョーク損失はコモンモードチョークの両端電圧とコモンモード電流との積分で求めている。

橋絡キャパシタ容量増加により FG 通過電流が抑制され、コモンモードチョーク両端電圧も減少するため、損失も低下することが確認出来る。

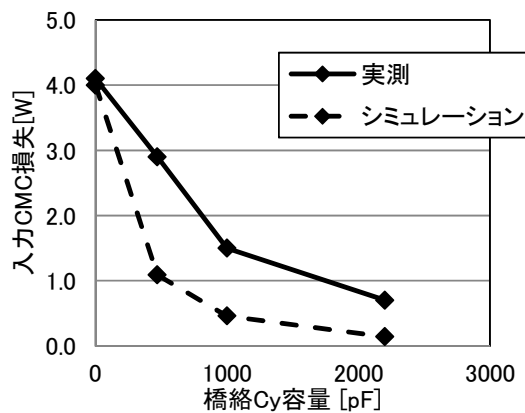


図 5-25 橋絡キャパシタ容量とコモンモードチョーク損失

## 5.6. ノイズ影響

図 5-26 に入力帰還ノイズ（雑音端子電圧）<sup>(103)</sup>のシミュレーション回路を示す。入力部に LISN（疑似電源回路網、Line Impedance Stabilization Network）<sup>(104)</sup>の等価回路を挿入し、検出したノイズ電圧の FFT（高速フー

リエ変換、Fast Fourier transform) を行った。図 5-27 にスイッチング周波数の基本波の 600kHz 成分について橋絡キャパシタ追加によるノイズ低減効果を示す。橋絡キャパシタの静電容量の増加に伴いノイズ低減効果が増加することが確認でき、2200pF 時では、約 14dBuV の抑制効果が得られる。

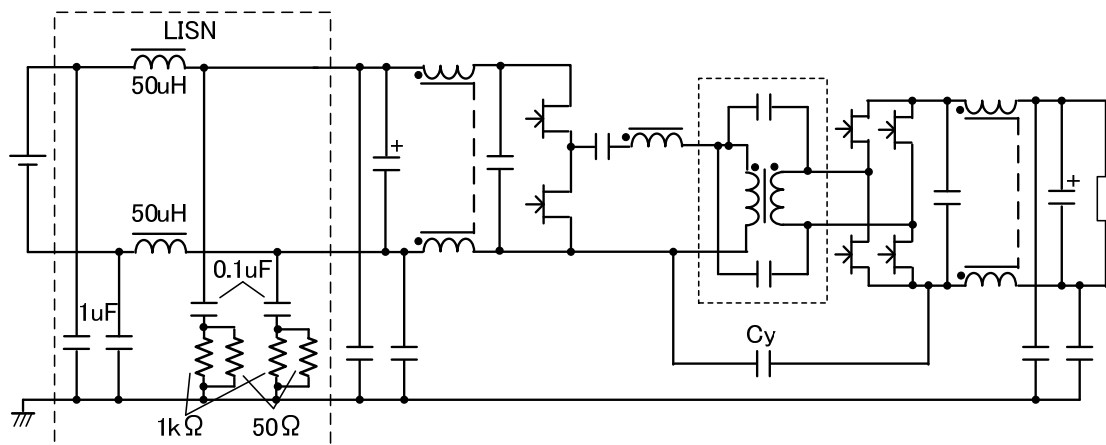


図 5-26 入力帰還ノイズシミュレーション回路

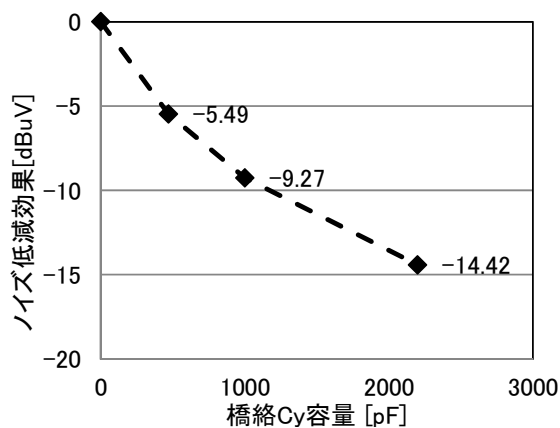


図 5-27 橋絡キャパシタによるノイズ低減効果(600kHz 時)

## 5.7. まとめ

電気自動車や情報通信装置用に利用される商用電源を入力としたスイッチング電源の高効率化を目的とし、その構成要素である DC-DC 回路をソフトスイッチング化するのに適した LLC 回路を採用した場合、LLC 回路の高効率化に必要な不可欠なトランス銅損低減として、トランスの 1 次、2 次巻線の

結合を高くして交流抵抗を低減する方法は最も有効な方法の一つであるが、巻線の結合向上によりトランス1次、2次間の寄生キャパシタンスが増加した場合、この寄生キャパシタンスと入出力フィルタのYキャパシタを介して循環電流が生じ、フィルタのコモンモードチョークの損失が増加する影響があることを示した。

さらに、トランス1次、2次間に橋絡キャパシタを追加してコモンモードチョークの損失を低減する方法を新たに提示し、シミュレーションでの再現性について確認した。

また実際の電源にて最適な橋絡キャパシタを追加することで、無負荷時損失を約4.8%低減できることを確認した。

## 第6章 結論

電気自動車や IoT、および再生可能エネルギーなどの広い分野で利用される商用電源を入力とするスイッチング電源の高効率化を目的とし、ソフトスイッチング化するのに適した昇圧チョッパ型電流臨界 PFC 回路と LLC 回路を採用した場合に課題となる、寄生キャパシタンスの影響と高効率化に関する本研究の成果は、以下のように要約できる。

- (1) ソフトスイッチングが可能な電流臨界モード昇圧型 PFC において、整流スイッチング素子の導通損失を低減するため低オン抵抗の素子を使用した場合、この素子の出力キャパシタンスの影響により入力電流のゼロクロス付近で波形が歪み、力率が低下する問題に対し、現在量産されているスイッチング素子の中でオン抵抗が低く、かつ低コストで汎用的ではあるが、出力キャパシタンスが大きい Si-MOSFET の使用を前提とした力率改善方法として、以下の検討を行いその効果を明らかにした。
  - (ア) 整流スイッチ出力キャパシタンスの電圧依存性を改善する方法では、素子の出力キャパシタンスの電圧依存特性が変わっても、整流スイッチの出力キャパシタンスを充電する総電荷量が同じであれば、逆流電流は同じであるため力率改善の効果が得られないことが確認出来た。
  - (イ) 昇圧回路の多相化については、昇圧回路 1 回路当たりの電力が分割される分、整流スイッチに電流定格が小さく出力キャパシタンスが小さい素子を使用出来ても、整流スイッチの出力キャパシタンスを充電する電流（負電流）と、負荷側に供給される電流それぞれが小さくなるため、平均電流は増加せず力率が改善されないことが確認出来た。
  - (ウ) 高効率化のため低オン抵抗のスイッチを選定した場合、出力キャパシタンスはオン抵抗に反比例し大きくなる傾向を示す点に着目し、低入力電流領域で出力キャパシタンスが小さいスイッチを使用した昇圧回路に切り替えることで力率低下を改善出来ることを確認

した。

(2) ソフトスイッチングが可能な DC-DC コンバータとして広く利用されている LLC 回路と位相シフト回路について、情報通信機器用に製造された電源を使用して同じサイズの条件下で損失を比較し、LLC 回路の発生損失の特徴と位相シフト回路に対する優位性、さらなる損失改善方法について以下の内容を明らかにした。

(ア) LLC 回路は 2 次側整流スイッチに低オン抵抗素子を使用できる利点がある一方で、全損失に対するトランスの損失の割合が、位相シフト回路のそれよりもはるかに高く、両方式の効率の差が小さいことを示した。

(イ) LLC 回路の全損失に対するトランスの損失の割合が高い要因が、トランスの巻数の違いによることを明らかにし、この巻数の違いが最小入力電圧時に出力電圧を確保する条件から決まることを示した。

(ウ) 上記の結果から、位相シフト回路と LLC 回路のどちらが低損失の点で優位になるかは、2 次側整流素子のオン抵抗と、トランスの 1 次巻数の差によって決定づけられることを明らかにした。

(エ) トランスの 1 次巻線と 2 次巻線との間の結合を改善することによって巻線抵抗を減少させトランス損失を効果的に改善させられれば、位相シフト回路の効率 95.8% に対し LLC 回路の効率が 96.2% となり、LLC 回路が損失的に優位とすることが出来ることを確認した。

(3) LLC 回路において損失の割合が高いトランスに対し、銅損の低減が期待できるプレーナトランスを適用した場合の、寄生キャパシタンスの影響と、その改善方法を以下の通り明らかにした。

(ア) 巻線間キャパシタンスに起因する損失 (CPS ロス) が発生することを示した。

(イ) 巻線間キャパシタンスに起因する損失が増減する特徴を実験結果から示した。

(ウ) CPS ロスを減少させるために、トランス巻線間の動作電圧を考慮し、各層の結合度合いを変える新しい手法を示した。この改善の結



果、12V200W 試作機において、効率 98.1%を実現した。

- (エ) 損失の大きさに関する巻線間のキャパシタンス値を測定する方法として、順巻きキャパシタンスという方法を新たに提案した。
- (4) LLC 回路の高効率化に必要な不可欠なトランス銅損低減として、巻線間の結合が高く交流抵抗が低いプレーナトランスなどを使用した場合において、トランス巻線の寄生キャパシタンスが入出力フィルタに与える影響と、その改善方法を以下の通り明らかにした。
  - (ア) 巻線間キャパシタンスが増加しこの寄生キャパシタンスと入出力フィルタの Y キャパシタを介して循環電流が生じ、フィルタのコモンモードチョークの損失が増加する影響があることを示した。
  - (イ) トランス 1 次、2 次間に橋絡キャパシタを追加して、このコモンモードチョークの損失を低減する新たな方法を示した。この改善の結果、無負荷時損失を約 4.8%低減できることを確認した。

以上の成果は、今後更に市場が拡大する自動車や情報通信、再生可能エネルギー分野において広く利用される商用電源を入力とする昇圧型電流臨界 PFC と LLC 回路で構成されるソフトスイッチング電源において、さらに高効率化する上で阻害要因となる寄生キャパシタンスの影響を低減することに貢献するため、省エネルギー化につながり地球環境問題を解決することにも寄与すると信ずる。

本研究の今後の課題と将来展望としては、直接的または間接的に省エネルギー化に影響する機器のサイズや重量といった課題に対し、小型・軽量化が可能となるスイッチング周波数の高周波化が今後予想されることから、さらに寄生キャパシタンスや寄生インダクタンスが悪影響を及ぼすことを抑制する研究が必要と考えられる。スイッチング素子についても、従来素子と比較し高速スイッチングに適する SiC-MOSFET や GaN-HEMT といった素子の高性能化が進められているため、このような側面からもスイッチング周波数の高周波化と寄生成分による影響低減の期待は高まると予想する。

## 謝辞

本研究の題目を与えていただき、終始ご指導およびご鞭撻を賜った元長崎大学大学院工学研究科教授（平成 29 年 3 月ご退職）で、現在は長崎総合科学大学大学院新技術創成研究所に所属されている黒川不二雄学術教授に心から感謝の意を表します。ここまで研究を成し遂げられたのも、ひとえにこれまでの温かいご指導と激励をいただいたおかげです。この経験を、今後の研究活動にも活かしてまいりたい所存です。

学位審査の主査をお引き受けくださいました柴田裕一郎教授に心から感謝申し上げます。

学位審査の副査をお引き受け頂き、貴重なご助言を頂きました山下敬彦教授、中野正基教授、植木弘信教授および丸田英徳准教授に厚く御礼申し上げます。丸田准教授には学生生活のサポートもしていただき、無事に本課程を修了することが出来ました。

崇城大学情報学部情報学科の西嶋仁浩准教授には共著者としてサポートして頂き、広い視野からのご助言や論文の質を高めることにご尽力頂いたことに改めて感謝申し上げます。

長崎大学大学院博士後期課程へ進学の機会を与えて下さいました新電元工業株式会社佐々木正博技術開発センター長に深く感謝いたします。本研究を進める間、設計開発業務にご配慮とご協力頂きました貫井靖之部長、水越康太郎課長、比留間義明部長、鈴木健一課長に感謝いたします。本研究において全般的にサポート頂きました押方哲也氏をはじめ、協力頂いた芳賀浩之氏、岩尾健一氏、渡辺晴夫氏、吉川薫平氏に感謝いたします。

最後に研究活動の間、支えて頂いた家族に感謝します。

## 参考文献

- (1) 経済産業省 資源エネルギー庁, "私たちの暮らしとエネルギー 社会科 2 (6) 地球環境問題とは," [Online]. Available: <https://www.enecho.meti.go.jp/category/others/tyousakouhou/kyouikuhuku/fukukyouzai/ck/2-6.html>.
- (2) 一般財団法人 日本気象協会, "気候変動の観測・予測及び影響評価総合レポート 日本の気候変動とその影響 2012年度版".
- (3) 環境省, "2017年度(平成29年度)温室効果ガス排出量," [Online]. Available: <https://www.env.go.jp/earth/ondanka/ghg-mrv/emissions/results/honbun2017-2.pdf>.
- (4) 国立研究開発法人 国立環境研究所, "日本の温室効果ガス排出量データ(1990～2017年度確報値)," [Online]. Available: [http://www-gio.nies.go.jp/aboutghg/data/2018/L5-7gas\\_preliminary\\_2019-gioweb\\_1.0.xlsx](http://www-gio.nies.go.jp/aboutghg/data/2018/L5-7gas_preliminary_2019-gioweb_1.0.xlsx).
- (5) 株式会社オールアバウト, "電気自動車とは," [Online]. Available: <https://allabout.co.jp/gm/gc/420833/>.
- (6) 山本真義, "プラグイン・ハイブリッド・カーのバッテリー充電回路," トランジスタ技術, vol. 50, no.10, pp. 62-69, 2013.
- (7) 土本和秀, "高電圧直流給電システムに用いる高電力密度絶縁形DC-DCコンバータの開発に関する研究," 長崎大学, 2016年.
- (8) NTT History Center of Technologies, "直流供給方式の装置構成," [Online]. Available: [http://www.hct.ecl.ntt.co.jp/panel/pdf/1\\_Db\\_3\\_2.pdf](http://www.hct.ecl.ntt.co.jp/panel/pdf/1_Db_3_2.pdf).
- (9) 財団法人 自然エネルギー財団, "EV普及の動向と展望," pp. 1, 8, 2018年6月.
- (10) NEDO, "第1回グリーンネットワーク・システム技術研究開発プロジェクト(中間評価)分科会資料6-1," 2010. [Online]. Available: [https://www.nedo.go.jp/introducing/iinkai/kenkyuu\\_bunkakai\\_](https://www.nedo.go.jp/introducing/iinkai/kenkyuu_bunkakai_)

22h\_chuukan\_14\_1\_index.html.

- (11) ZDNet Japan, "DC 市場, 消費電力量の推移予想," [Online]. Available: <https://japan.zdnet.com/article/35079935/>.
- (12) 戸川治朗, 「実用電源回路設計ハンドブック」, CQ出版株式会社, 1995, pp. 72-73.
- (13) 名倉広明, "スイッチング電源で, 今後の成長が期待される電源市場は," *電子技術*, vol.36, no.3, pp. 5-8, 1994.
- (14) 山本真義, "写真で見る電気自動車のパワー制御回路," *トランジスタ技術スペシャル*, 増刊, pp. 13-23, 2019.
- (15) 原田耕介, 「スイッチング電源ハンドブック」, 日刊工業新聞社, 1993, pp. 8-13, 199-200, 305-365, 463-466.
- (16) 堀敏夫, 「電源回路の図式解析と設計法」, 総合電子出版社, 1999, pp. 21-22.
- (17) T. Jin, L. Li and K. Smedley, "A universal vector controller for three-phase PFC, APF, STATCOM, and grid-connected inverter," in Proc. IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 594-600, Feb. 2004.
- (18) 電気学会・半導体電力変換システム調査専門委員会, 「パワーエレクトロニクス回路」, オーム社: 株式会社オーム社, 2000, pp. 39-41, 266-278.
- (19) Schneider Electric Japan, Inc., "高調波および中性線の過負荷による危険性," [Online]. Available: [http://catalog.clubapc.jp/pdf/wp/SADE-5TNQZ5\\_R0\\_JA.pdf](http://catalog.clubapc.jp/pdf/wp/SADE-5TNQZ5_R0_JA.pdf).
- (20) 一般社団法人 電子情報技術産業協会 EMC委員会, "高調波抑制対策の継続実施及び調査・報告の廃止について (別紙)高調波電流抑制対策実施要領," [Online]. Available: <https://home.jeita.or.jp/enzen/taisaku/>.
- (21) 通信用電源研究会, 「通信用電源」, 社団法人電気通信協会, 1986, pp. 62-79.

- (22) T. S. Gray, "Applied electronics", The Technology Press of M.I.T, pp. 277-364, 1954.
- (23) M. Kohno and E. Miyachika, "A saturable reactor controlled ringing choke converter," in Proc. IEEE International Telecommunications Energy Conference (INTELEC), pp. 265-271, Nov. 1979.
- (24) J. G. Kassakian, M. F. Schlecht and G. C. Verghese, "Principles of power electronics", Addison-Wesley Publishing Co., 1991.
- (25) P. C. TODD, "UC3854 controlled power factor correction circuit design," [Online]. Available: <http://www.ti.com/jp/lit/an/slua144/slua144.pdf>.
- (26) M. Kohno and T. Suzuki, "Simplified isolated forward converter," in Proc. IEEE International Telecommunications Energy Conference (INTELEC), pp. 450-456, Nov. 1982.
- (27) 白庄司進, 戸川治朗, 「スイッチングレギュレーターの設計法とパワーデバイスの使いかた」, 株式会社誠文堂新光社, 1989, pp. 58-61.
- (28) J. G. Kassakian, M. F. Schlecht, G. C. Verghese, 「パワーエレクトロニクス」, 日刊工業新聞社, 1997, pp. 345-351.
- (29) 李炅烈, 「パワーMOSFET<技術と回路>入門」, 日刊工業新聞社, 2013, pp. 85-87.
- (30) 松波弘之, 「半導体 SiC 技術と応用」, 日刊工業新聞社, 2003, pp. 186-190.
- (31) 谷内利明, "新デバイスの動向," *電子情報通信学会誌*, vol.101, no.4, pp. 372-376, 2018.
- (32) 柳原学, 上田哲三, "高周波化に向けた GaN 系パワーデバイスの開発," *電気学会誌*, vol.139, no.2, pp. 80-83, 2019.
- (33) A. Abramovitz, "Effect of the ripple current on power factor of CRM boost APFC," in Proc. IEEE International Power Electronics and Motion Control Conference (IPEMC), 4 pages, Aug. 2006.
- (34) M. G. J. Fry, "A switch mode power supply," in Proc. IEEE

- International Telecommunications Energy Conference (INTELEC), pp. 277-284, Nov. 1982.
- (35) 大野 榮一, 「パワーエレクトロニクス入門」, 株式会社オーム社, 2010, pp. 34-36.
- (36) 青木 英彦, 「アナログ IC の機能回路設計入門」, CQ 出版株式会社, 2002, pp. 130-131.
- (37) Texas Instruments Incorporated, "Natural interleaving transition-mode PFC controller with improved audible noise immunity," March 2012. [Online]. Available: <http://www.ti.com/jp/lit/ds/symlink/ucc28061-q1.pdf>.
- (38) 佐藤 守男, 「スイッチング電源設計入門」, 日刊工業新聞社, 1998, pp. 83-96.
- (39) N. Hanaoka, H. Matsumori, T. Tanaka and T. Babasaki, "Constitution method of power supply system in telecommunication buildings and data centers," in Proc. IEICE General Conference, pp. 349, March 2014.
- (40) K. Hirose, T. Matsumura and M. Yamasaki, "A basic study of optimum power supply configuration for customers requiring higher electric reliability," IEICE Technical Report, pp. 59-64, July 2009.
- (41) J.-S. Lai and D. Chen, "Design consideration for power factor correction boost converter operating at the boundary of continuous conduction mode and discontinuous conduction mode," in Proc. IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 267-273, March 1993.
- (42) R. Redl, L. Balogh and D. W. Edwards, "Switch transitions in the soft-switching full-bridge PWM phase-shift DC/DC converter: analysis and improvements," in Proc. IEEE International Telecommunications Energy Conference (INTELEC), pp. 350-357, Sept. 1993.

- (43) 喜多村守, "フェーズ・シフト・フル・ブリッジ ZVS 電源の設計と試作," トランジスタ技術スペシャル増刊 グリーン・エレクトロニクス, vol. 1, pp. 66-83, 2010.
- (44) R. L. Steigerwald, "A Comparison of Half-Bridge Resonant Converter Topologies," IEEE Transactions on Power Electronics, vol. 3, no. 2, pp. 174-182, April 1988.
- (45) B. Yang, F. C. Lee, A. J. Zhang and G. Huang, "LLC resonant converter for front end DC/DC conversion," in Proc. IEEE Applied Power Electronics Conference and Exposition (APEC), vol. 2, pp. 1108-1112, March 2002.
- (46) B. C. Hyeon, J. T. Kim and B. H. Cho, "A half bridge LC resonant converter with reduced current ripple of the output capacitor," in Proc. IEEE International Telecommunications Energy Conference (INTELEC), 5pages, Oct. 2009.
- (47) K. H. Liu and F. C. Lee, "Zero voltage switching technique in DC-DC converters," IEEE Transaction on Power Electronics, vol. 5, no. 3, pp.293-304, July 1990.
- (48) K. Liu, R. Oruganti and F. C. Lee, "Resonant switches, topologies and characteristics," in Proc. IEEE Power Electronics Specialists Conference (PESC), pp.106-116, June 1985.
- (49) Y. Fang, D. Xu, Y. Zhang, F. Gao and L. Zhu, "Design of high power density LLC resonant converter with extra wide input range," in Proc. IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 976-981, Feb. 2007.
- (50) O. R. Schmidt and E. Myhre, "380Vdc/48Vdc/ 3kw dc/dc converter with 98.2% efficiency," in Proc. IEEE International Telecommunications Energy Conference (INTELEC), pp. 130-135, Oct. 2015.
- (51) Y. Jeong, G. W. Moon and J. K. Kim, "Analysis on half-bridge LLC resonant converter by using variable inductance for high efficiency

- and power density server power supply," in Proc. IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 170-177, March 2017.
- (52) M. Joung, H. Kim and J. Baek, "Dynamic analysis and optimal design of high efficiency full bridge LLC resonant converter for server power system," in Proc. IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 1292-1297, March 2012.
- (53) H. Haga and F. Kurokawa, "Dynamic analysis of the three-level LLC resonant converter for a rectifier in HVDC distribution system," in Proc. IEEE International Telecommunications Energy Conference (INTELEC), 6 pages, Oct. 2015.
- (54) Z.-J. Su and Y.-S. Lai, "On-line DC-link voltage control of LLC resonant converter for server power applications," in Proc. IEEE Energy Conversion Congress and Exposition (ECCE), pp. 5422-5428, Sept. 2014.
- (55) H. Ding, "Design guide for LLC converter with ICE2HS01G," Infineon Technologies Asia Pacific Pte Ltd, July 2011. [Online]. Available: [https://www.infineon.com/dgdl/Infineon-Design\\_guide\\_LLC\\_converter\\_ICE2HS01G-AN-v01\\_00-EN.pdf](https://www.infineon.com/dgdl/Infineon-Design_guide_LLC_converter_ICE2HS01G-AN-v01_00-EN.pdf).
- (56) 下蔵良信, "LLC 共振コンバータ方式によるスイッチング電源の設計," トランジスタ技術スペシャル, 増刊, pp. 104-117, 2019.
- (57) 芳賀浩之, "マルチレベル LLC コンバータに関する研究," 長崎大学, 2017.
- (58) A. F. Souza and I. Barbi, "A new ZVS semiresonant high power factor rectifier with reduced conduction losses," Industrial Electronics, IEEE Transactions on Industrial Electronics, vol.46, no.1, pp. 82-90, Feb. 1999.
- (59) E. Firmansyah, S. Tomioka, S. Abe, M. Shoyama and T. Ninomiya, "A critical-conduction-mode bridgeless interleaved boost power factor correction," in Proc. IEEE International Conference on



- Power Electronics and Drive Systems (PEDS), 5 pages, April 2005.
- (60) L. Huber, B. T. Irving and M. M. Jovanović, "Effect of valley switching and switching-frequency limitation on line-current distortions of DCM/CCM boundary boost PFC converters," *IEEE Transactions on Power electronics*, vol.24, no.2, pp. 339-347, Feb. 2009.
  - (61) J. Kim, S. Choi and K. Kim, "Variable on-time control of the critical conduction mode boost power factor correction converter to improve zero-crossing distortion," in *proc. International Conference on Power Electronics and Drives Systems (PEDS)*, pp. 1542-1546, Dec. 2005.
  - (62) Z. Guo, X. Ren, H. Gui, Y. Wu, Z. Zhang and Q. Chen, "A universal variable on-time compensation to improve THD of high-frequency CRM boost PFC converter," in *proc. IEEE Energy Conversion Congress and Exposition (ECCE)*, 6 pages, Sept. 2016.
  - (63) Z. Guo, X. Ren, Y. Wu, Z. Zhang and Q. Chen, "A novel simplified variable on-time method for CRM boost PFC converter," in *Proc. IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 1778-1784, March 2017.
  - (64) Z. Liu, B. Li, F. C and Q. Li, "Design of CRM AC/DC converter for very high-frequency high-density WBG-based 6.6kW bidirectional on-board battery charger," in *proc. IEEE Energy Conversion Congress and Exposition (ECCE)*, 8 pages, Sept. 2016.
  - (65) Z. Liu, F. C. Lee, Q. Li and Y. Yang, "Design of GaN-based MHz totem-pole PFC rectifier," *IEEE journal of emerging and selected topics in power electronics* pp. 799-807, May 2016.
  - (66) 池田敏, 末次正, "スイッチング電源の高周波化の動向," *電子情報通信学会誌*, vol.101, no.4, pp. 377-381.
  - (67) M. O. Z. Li and M. A. E. Andersen, "High frequency LLC resonant converter with magnetic shunt integrated planar transformer," in

- Proc. IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 2678-2685, March 2018.
- (68) S. Yang, S. Abe and M. Shoyama, "Parametric analysis of LLC resonant converter using flat transformer for loss reduction," in Proc. IEEE International Power Electronics and Motion Control Conference (EPE-PEMC), pp. T2-204 - T2-209, March 2010.
- (69) 鈴木茂夫, 「わかりやすい高周波技術入門」, 日刊工業新聞社, 2006, pp. 30-31.
- (70) 長谷川彰, 「スイッチング・レギュレータ設計ノウハウ」, CQ出版株式会社, 1995, p. 98.
- (71) 北原覚, "トランス設計 基礎の基礎," トランジスタ技術スペシャル, 増刊, pp. 32-41, 2019.
- (72) R. Prieto, J. A. Cobos, O. Garcia, P. Alou and J. Uceda, "Taking into account all the parasitic effects in the design of magnetic components," in Proc. IEEE Applied Power Electronics Conference and Exposition (APEC), vol. 1, pp. 400-406, Feb. 1998.
- (73) W. Zhang, Y. Long, Y. Cui, S. Henning, J. Moses and R. Dean, "Impact of planar transformer winding capacitance on Si-based and GaN-based LLC resonant converter," in Proc. IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 1668-1674, May 2013.
- (74) M. A. Saket, N. Shafiei, M. Ordonez, M. Craciun and C. Botting, "Low parasitic planar transformer for LLC resonant battery chargers," in Proc. IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 854-858, May 2016.
- (75) J. Zhang, W. G. Hurley, W. H. Wolfle and M. C. Duffy, "Optimized design of LLC resonant converters incorporating planar magnetics," in Proc. IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 1683-1688, March 2013.
- (76) J. Zhang, W. G. Hurley, Wölfle and W. H., "Design of the planar

- transformer in LLC resonant converters for micro-grid applications," in Proc. IEEE International Symposium on Power Electronics for Distributed Generation Systems (PEDG), 7 pages, June 2014.
- (77) 鈴木正太郎, 「オンボード電源の設計と活用」, CQ出版株式会社, 2003, pp. 200-206.
- (78) アンダーライターズ ラボラトリーズ INC. (UL), 「情報技術機器の安全に関する UL 規格・安全性・一般要求事項, UL60950-1」, アンダーライターズ ラボラトリーズ INC. (UL), 2003, p. 48.
- (79) R. Miftakhutdinov, "New aspects on analyzing ZVS conditions for converters using superjunction Si and wide bandgap SiC and GaN power FETs," in proc. IEEE European Conference on Power Electronics and Applications, 9 pages, Aug. 2014.
- (80) M y w a y プラス株式会社, "PSIM(ピーシム)とは," [Online]. Available: [https:// www.myway.co.jp/ products/ psim/ what-is/ index.html](https://www.myway.co.jp/products/psim/what-is/index.html).
- (81) M. O'Loughlin, "UCC28950 600-W, phase-shifted, full-bridge application report," Texas Instruments Incorporated, June 2011. [Online]. Available: [http:// www.ti.com/ lit/ an/ slua560c/ slua560c.pdf](http://www.ti.com/lit/an/slua560c/slua560c.pdf).
- (82) L. Jianwei and L. Dong, "Design of resonant half-bridge converter using IRS2795(1,2) control IC," Infineon Technologies AG, [Online]. Available: [https:// www.infineon.com/ dgdl/ an-1160.pdf](https://www.infineon.com/dgdl/an-1160.pdf). [Accessed April 27. 2019].
- (83) D. Y. Kim, C. E. Kim and G. W. Moon, "A new control method in phase-shifted full bridge converter for reduced power consumption under light load conditions," in Proc. IEEE Industrial Electronics Society (IECON), pp. 86–91, Oct. 2012.
- (84) C. W. T. McLyman, "Transformer and inductor design handbook", New York: Marcel Dekker, Inc, 2004.

- (85) B. Becker, H. Grotstollen and L. Heinemann, "Computer aided design and modeling of high frequency magnetic components," in Proc. IEEE Applied Power Electronics Conference and Exposition (APEC), vol. 5, pp.335-341, March 1995.
- (86) F. Robert, P. Mathys, B. Celaerts and J. P. Schauwers, "Copper losses and power density of power transformer technologies," in Proc. IEEE International Telecommunications Energy Conference (INTELEC), pp. 73-80, Oct. 2001.
- (87) W. Zhang, Y. Long, Z. Zhang, F. Wang, L. M. Tolbert, B. J. Blalock, S. Henning, C. Wilson and R. Dean, "Evaluation and comparison of silicon and gallium nitride power transistors in LLC resonant converter," in Proc. IEEE Energy Conversion Congress and Exposition (ECCE), pp. 1362-1366, Sept. 2012.
- (88) C. H. Yang, T. J. Liang, K. H. Chen, J. S. Li and J. S. Lee, "Loss analysis of half-bridge LLC resonant converter," in Proc. IEEE International Future Energy Electronics Conference (IFEEC), pp. 155-160, Nov. 2013.
- (89) T. Watanabe and F. Kurokawa, "Efficiency comparison between phase shift and LLC converters as power supply for information and communication equipments," in Proc. IEEE International Telecommunications Energy Conference (INTELEC), 5 pages, Oct. 2015.
- (90) H. Choi, K. S. Chung and G. Li, "Analysis on the loss of hybrid transformer winding for multi-output high frequency (300W) LLC resonance converters," in Proc. IEEE International Telecommunications Energy Conference (INTELEC), 4 pages, Oct. 2015.
- (91) T. Watanabe, T. Oshikata, K. Nishijima and F. Kurokawa, "A new approach of improvement of dissipation caused by capacitance between primary and secondary windings of LLC transformer," in

- Proc. IEEE International Conference on Renewable Energy Research and Applications (ICRERA), pp. 484-488, Nov. 2015.
- (92) N. Wang, H. Jia, M. Tian, Z. Li, G. Xu and X. Yang, "Impact of transformer stray capacitance on the conduction loss in a GaN-based LLC resonant converter," in Proc. IEEE Energy Conversion Congress and Exposition (ECCE), pp. 1334-1338, June 2017.
- (93) 木下敏雄, 「EMC の基礎と実践」, 日刊工業新聞社, 1997, pp. 71-74.
- (94) 坂本幸夫, 「図解ノイズ対策部品と EMC 設計」, 株式会社工業調査会, 2005, pp. 12-19, 58-59.
- (95) J.-h. Choi, M. Madafshar and K. Parmenter, "Designing common-mode(CM) EMI noise cancellation without Y-capacitor," in Proc. IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 936-940, March 2007.
- (96) X. Pingfan, Q. Dongyuan and Z. Bo, "Conducted EMI suppression method based on obstructing grounding loops," in Proc. International Power Electronics and Motion Control Conference (IPEMC), pp. 2669-2672, May 2009.
- (97) A. Majid, J. Saleem, F. Alam and K. Bertilsson, "Analysis of radiated EMI for power converters switching in MHz frequency range," in proc. IEEE International Symposium on Diagnostics for Electric Machines, Power Electronics and Drives (SDEMPED), pp. 428-432, Aug. 2013.
- (98) Y. Bai, W. Chen, R. He, D. Zhang and X. Yang, "EMI noise cancelation by optimizing transformer design without need for the traditional Y-capacitor," in proc. IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 766-771, March 2016.
- (99) R. B. Elliott, "Effective, small, and inexpensive common-mode EMI reduction using inverse secondary current cancellation," in proc. IEEE International Symposium on Electromagnetic Compatibility

- (EMC), pp. 542-546, July 2016.
- (100) G. Lan, S. Zhang and X. Wu, "Analysis and reduction of common mode current of the transformer in a full-bridge LLC battery charger," in proc. IEEE Transportation Electrification Conference and Expo, Asia-Pacific (ITEC Asia-Pacific), 5 pages, Aug. 2017.
- (101) Y. Bai, X. Yang, D. Zhang, X. Li, W. Chen and W. Hu, "Conducted EMI mitigation schemes in isolated switching-mode power supply without the need of a Y-capacitor," IEEE Transactions on Power Electronics, vol. 32, no. 4, pp. 2687-2703, APRIL 2017.
- (102) Analog Devices, Inc., "LTspice," [Online]. Available: <https://www.analog.com/jp/design-center/design-tools-and-calculators/ltspice-simulator.html>.
- (103) 坂巻佳壽美, 「見てわかるノイズの試験法と対策」, 株式会社工業調査会, 1998, pp. 26-28.
- (104) 清水康敬, 杉浦行, 「電磁妨害波の基本と対策」, 社団法人電子情報通信学会, 1995, pp. 146-147.

# 付録

なし